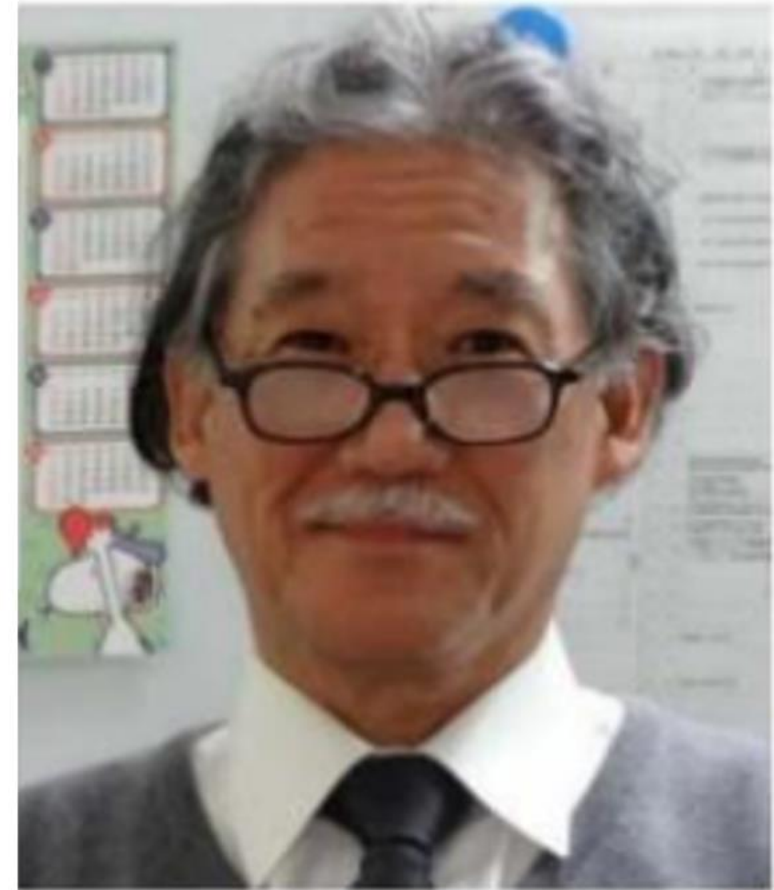


受光表面P+層と裏面のP+層の両面がピン留め接地された、P+PNPP+接合型新型太陽電池の提案

非常に複雑な半導体電子デバイスの物理動作とその構造の説明に挑戦する事になる。できるだけ直観に訴える方法で説明し、数式は極力さけて、基本原理動作を直観的なイメージで理解できる様に工夫をこらして文系の一般社会人の皆様にも親しみを感じる半導体の基礎知識の紹介となればと希望する。

- (1) 金属と絶縁体の違い
- (2) 半導体の基本特性
- (3) single接合型のダイオードの整流特性
- (4) double 接合型バイポーラトランジスタの電流増幅特性
- (5) triple 接合型サイリスタ型の理想的な高速Switch動作特性
- (6) MOS型のトランジスタの電流増幅特性
- (7) CMOS型インバータ回路の省エネ特性
- (8) 超光感度のCMOS型イメージセンサーの特性
- (9) double接合型の新型太陽電池の構造とその動作原理



崇城大学 理事長付き 特任教授
IEEE Life Fellow, Ph.D., 工学博士

(8) 超光感度のCMOS型イメージセンサーの特性

詳細は青山社出版の人工知能パートナーシステム(AIPS)を支える「デジタル回路の世界」に記載。

<https://www.seizansha.co.jp/ISBN/ISBN978-4-88359-339-2.html>

<https://www.seizansha.co.jp/>



崇城大学 理事長付き 特任教授
IEEE Life Fellow, Ph.D., 工学博士

仕様:B5判上製

475ページ

ISBN978-4-88359-339-2

発行日:2016/03/01



人工知能パートナーシステム(AIPS)を支える デジタル回路の世界

IEEE Life Fellow, Ph.D.

萩原 良昭 著

ISBN978-4-88359-339-2 B5判 上製 475頁

定価(本体9,000円+税)

未来の人間社会には人工知能パートナーシステム(AIPS)とも言える人間にやさしい支援システムが出現すると期待している。AIPS搭載の自動走行車や老人介護システム、人間型歩行ロボットやロボット・ハウスなどである。そこで本書では、そのAIPSを支える「デジタル回路の世界」と題し、ハードとソフトの両面で、人とコンピュータをつなぐデジタル技術について紹介している。図や絵をたくさん用意して、基礎からやさしく解説している。

Recent Publications on Pinned Photodiode by Hagiwara (AIPS)

+++++

(1) [P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf](#)

(2) [P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf](#)

[EDTM2020_Paper_on_the_P+PN+P_Junction_Pinned_Photodiode_and_Schottky_Barrier_Photodiode.html](#)

(3) [P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.pdf](#)

[P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.html](#)

(4) [P2021_ICECET2021_Paper61.pdf](#)

[P2021_ICECET2021_Paper61_html](#)

(5) [P2021ICECET2021_Paper75.pdf](#)

[P2021_ICECET2021_Paper75_html](#)

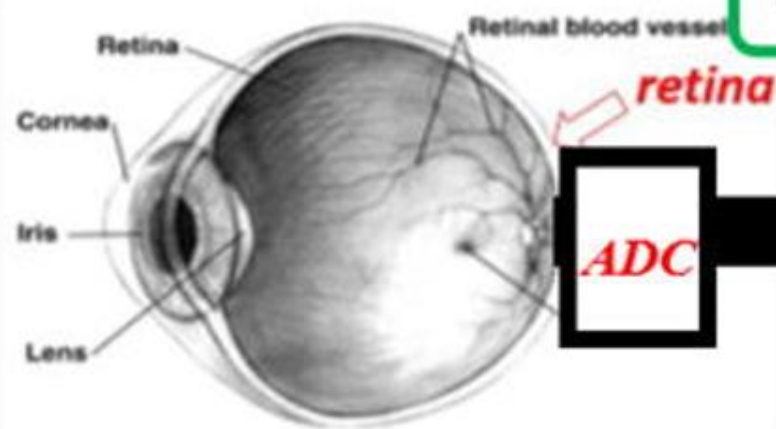
+++++

Digital CMOS image sensor

with highly sensitive and no image lag Hagiwara Diode (pinned photo diode)

We need also an AD convertor absolutely !!!

(1) Retina Nerve Cells



We don't need CCD any more !

(3) Brain Memory Cells

(2) Charge Transfer Nerve Fibers

(2) CMOS type digital CTD

Cache
memory

NVRAM

(1) Hagiwara 1975 Retina Diode (pinned photo diode)

But we still need Hagiwara Diode to achieve high sensitivity and no image lag.

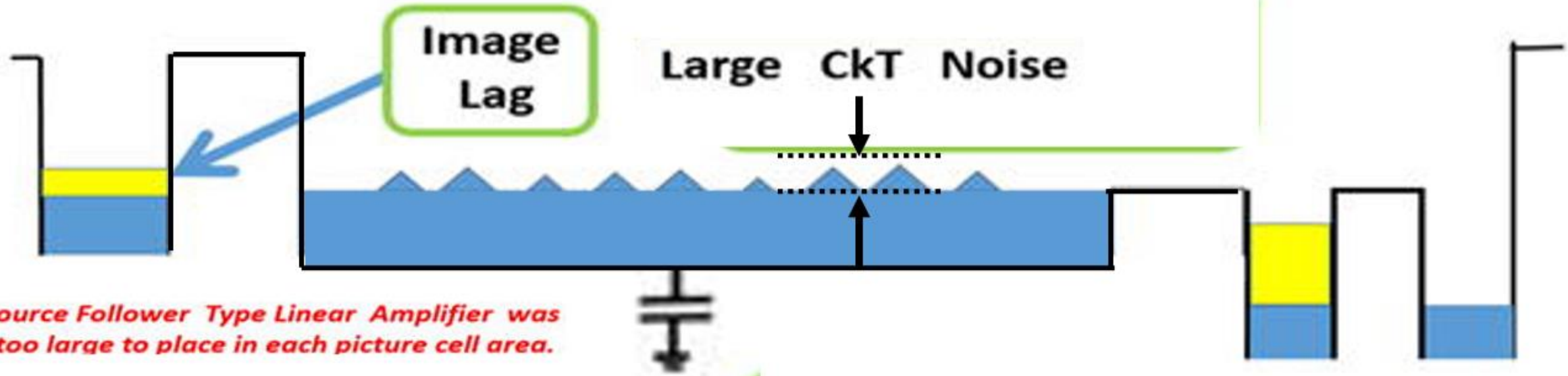
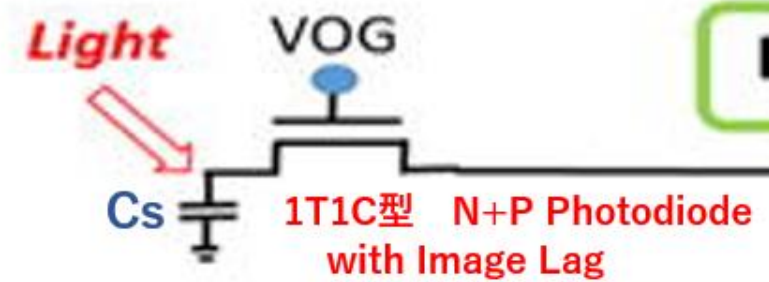
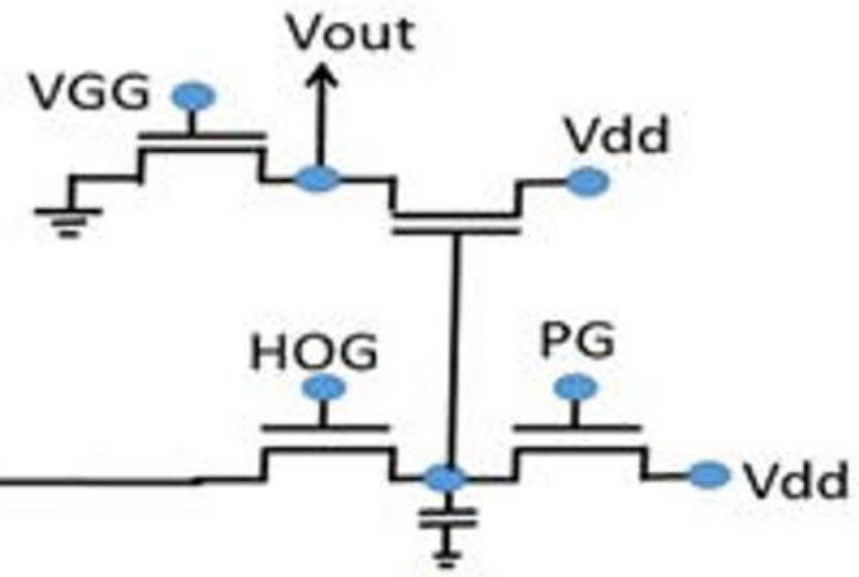
Classic MOS image sensor had Large Clock Noise, CkT Noise and Image Lag

$$C_s \ll C_{out}$$

$$V_{out} = \frac{C_s}{C_{out}} V_s$$

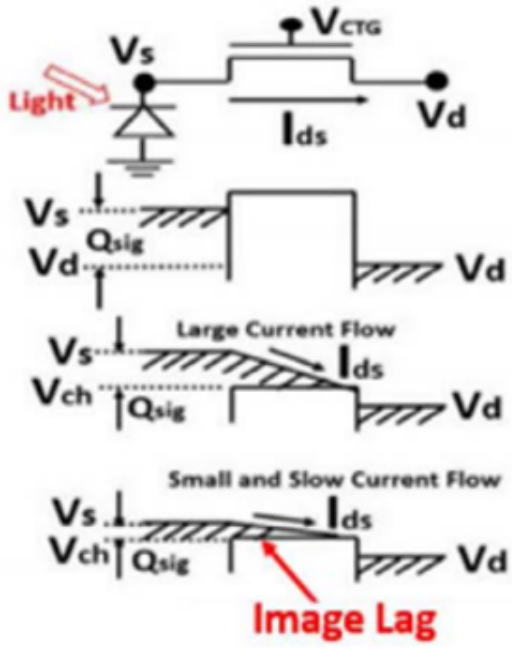
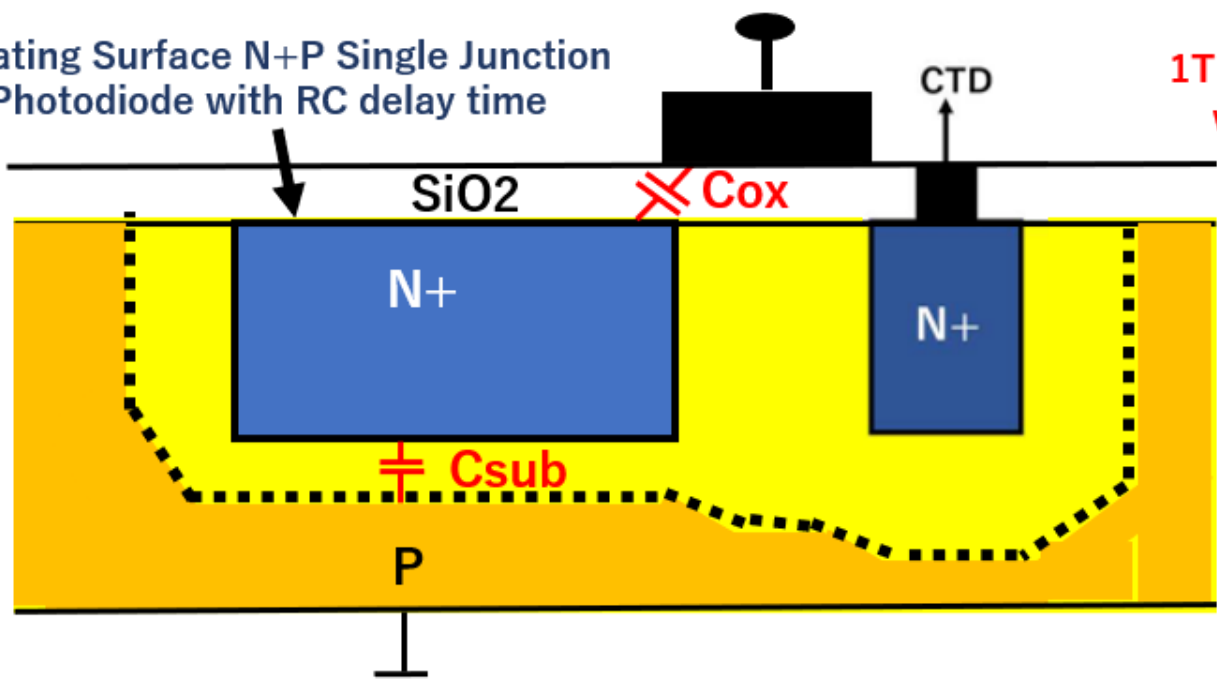
$$V_{out} \sim CkT \ll V_s$$

Large CkT Noise



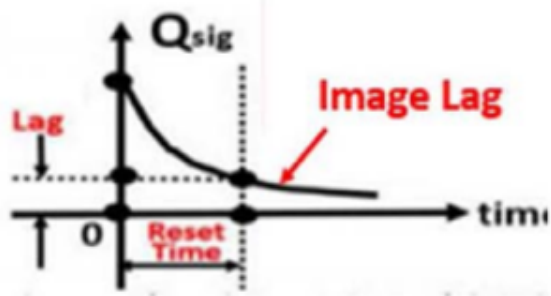
Source Follower Type Linear Amplifier was too large to place in each picture cell area.

Floating Surface N+P Single Junction Photodiode with RC delay time

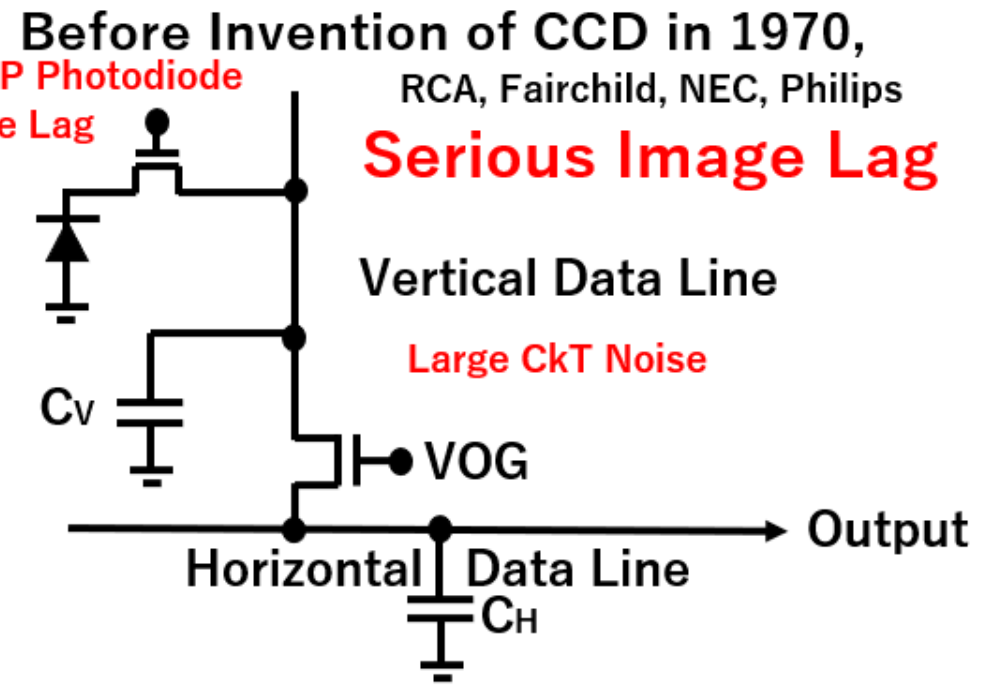


$$I_{ds}(t) = I_0 (V_s - V_{ch})^2$$

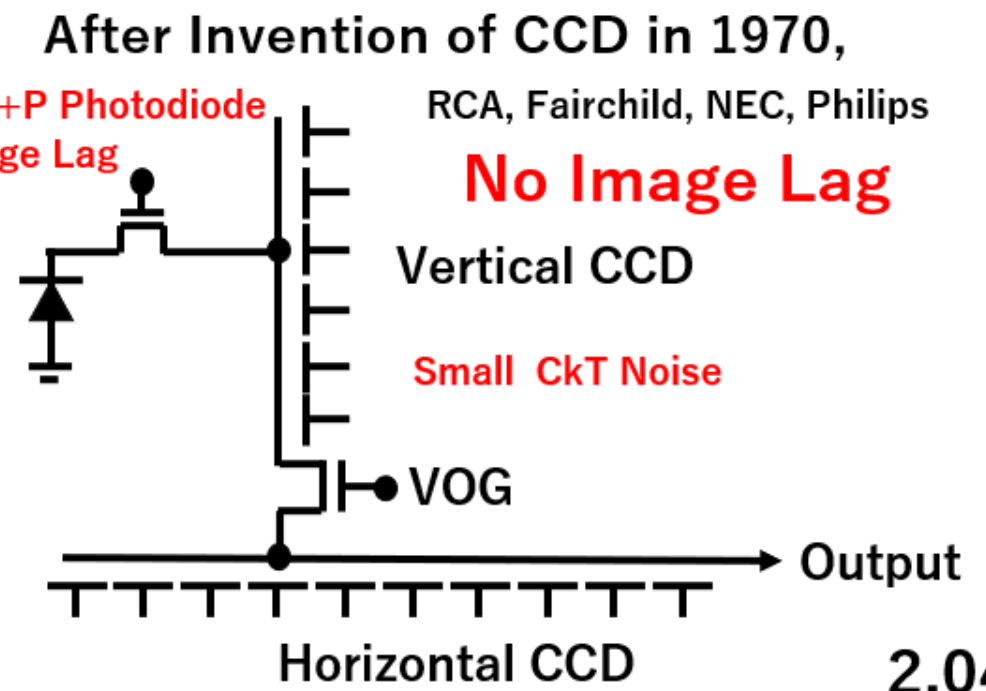
$$Q_{sig}(t) = Q_0 \exp(-t/\tau)$$



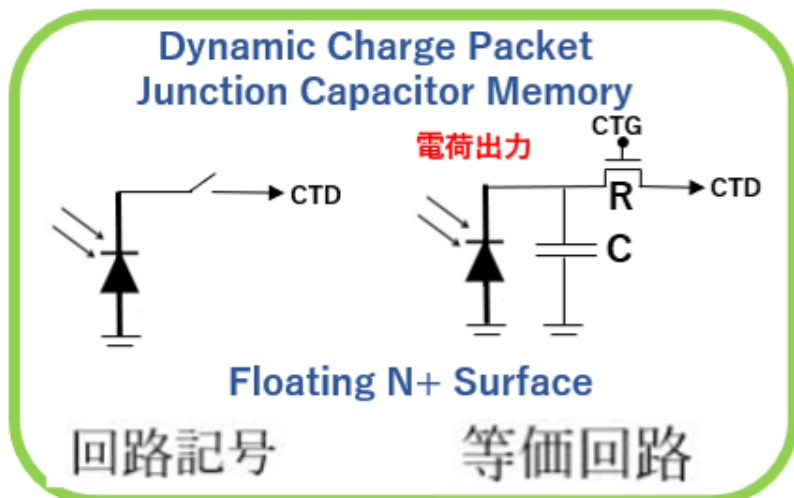
1T1C型 N+P Photodiode with Image Lag



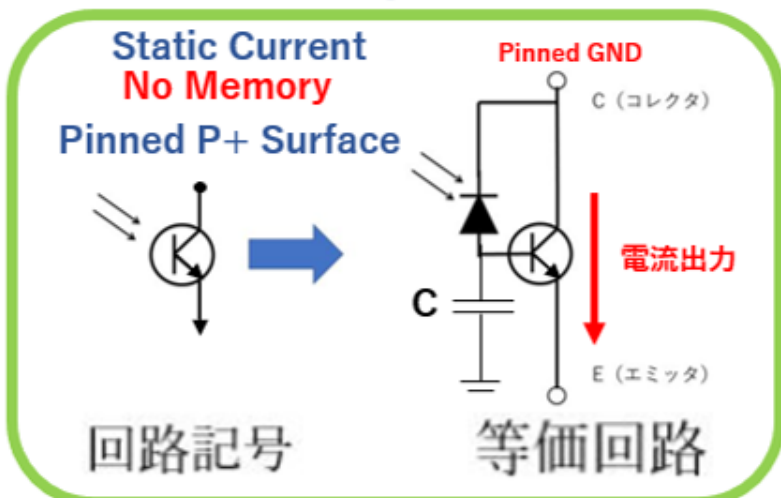
1T1C型 N+P Photodiode with Image Lag



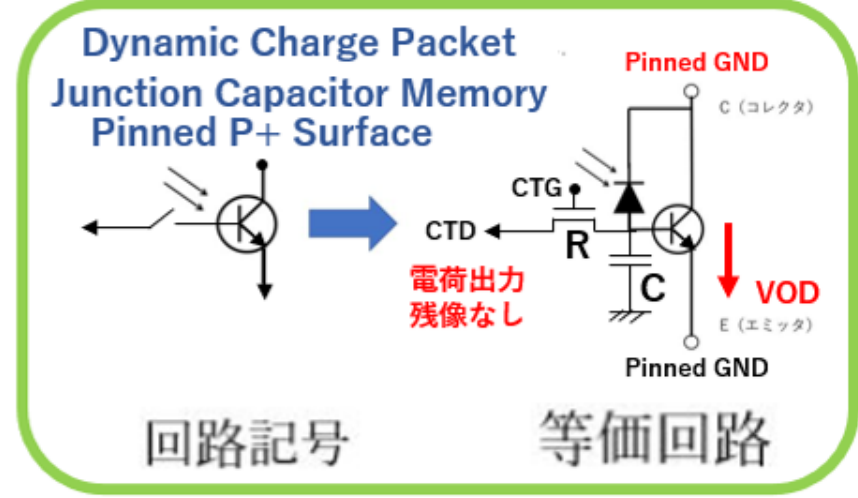
Dynamic N+P junction Photodiode 1966



Static PNP Photo Transistor John Northrup Shive 1950



Dynamic PNP Photo Transistor Yoshiaki Hagiwara 1975



電気容量(C)に電荷(Q)を蓄積・保存する事によりメモリ機能を持つが、書き込みと読み出しの為に必要な、アクセス時間・遅延時間 (RC)が生じる。

Dynamic N+P junction Photodiode

Static PNP junction Photo Transistor (Shive 1950)

Dynamic PNP junction Photo Transistor (Hagiwara 1975)

Dynamic PNP junction Photo Thyristor (Hagiwara 1975)

機能	N+P 接合	PNP接合	PNP接合	PNPN接合
光電流量	少ない (電荷出力)	多い (電流出力)	少ない (電荷出力)	少ない (電荷出力)
応答速度	速い (大きな信号電流)	遅い (大きな信号電流)	速い (小さな信号電荷量)	速い (小さな信号電荷量)
直線性	良い	悪い	良い	良い
温度変化に対する出力変化	小さい	大きい	小さい	小さい
電子シャッター機能	なし (残像あり)	なし (残像あり)	あり (残像なし)	あり (残像なし)

JPA1975_127646_裏面照射型_Global_Shutter機能つき_Pinned_Photodiode
萩原の1975年3月5日の発明が44年後の2019年3月になり実現しました。

<https://www.sony.com/ja/SonyInfo/News/Press/201903/19-023/>

SONY

ホーム

事業・製品

ソニーグループについて

テクノロジー

人材

サステナビリティ

デザイン

投資家情報

お問い合わせ

採用情報

🔍

ホーム > ソニーグループについて > ニュースリリース > 2019 > 独自の裏面照射型画素構造グローバルシャッター機能搭載の積層型CMOSイメージセンサー技術を開発

ニュースリリース

English | コンテンツメニュー | ☰

萩原の1975年の発明が44年後の2019年になり実現した。

ソニー独自の裏面照射型画素構造のグローバルシャッター機能を搭載し、
高い撮像性能と小型化の両立を実現した積層型CMOSイメージセンサー技術を開発

スマート化が進む産業機器の生産性向上に貢献

ソニー株式会社

ソニーセミコンダクタソリューションズ株式会社

JPA1975_127646_裏面照射型_Global_Shutter機能つき_Pinned_Photodiode
萩原の1975年3月5日の発明が44年後の2019年3月になり実現しました。

International Journal of Systems Science and Applied Mathematics

2021; 6(2): 55-76

<http://www.sciencepublishinggroup.com/ijssam>

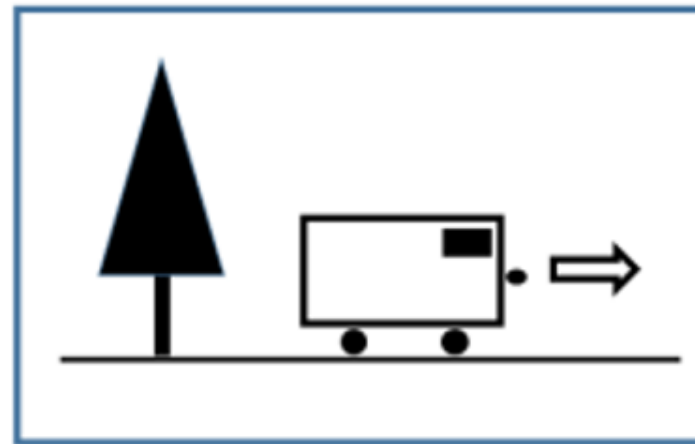
doi: 10.11648/j.ijssam.20210602.13

ISSN: 2575-5838 (Print); ISSN: 2575-5803 (Online)

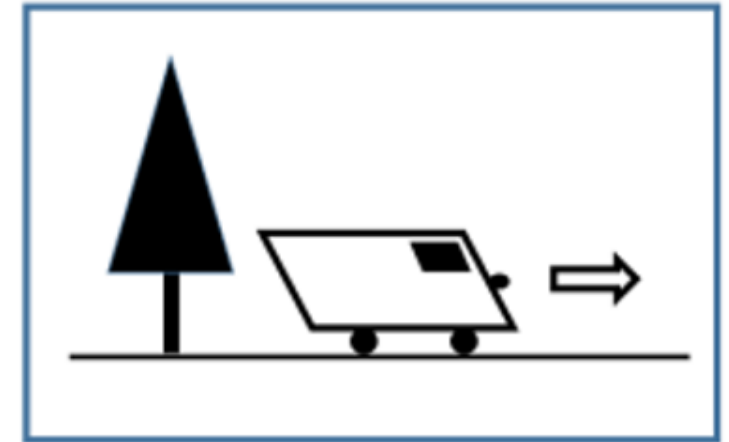


Electrostatic and Dynamic Analysis of P+PNP Double Junction Type and P+PNPN Triple Junction Type Pinned Photodiodes

IJSSAM2021の6月ジャーナル論文の中で、萩原は1975年に出願した日本国出願特許 JPA1975-127647を詳細に英語で初めて紹介した。このJPA1975-127647特許は萩原がCMOS Image Sensorに不可欠なGlobal Shutter機能の発明者であることを示す証拠となる。



the CCD image sensors with the Built in Global Shutter Function



the classical CMOS image sensors with rotary shutter effect

Figure 23. Undesired Rotary Shutter Effect of Conventional CMOS Image Sensors.

JPA1975_127646_裏面照射型_Global_Shutter機能つき_Pinned_Phodiode

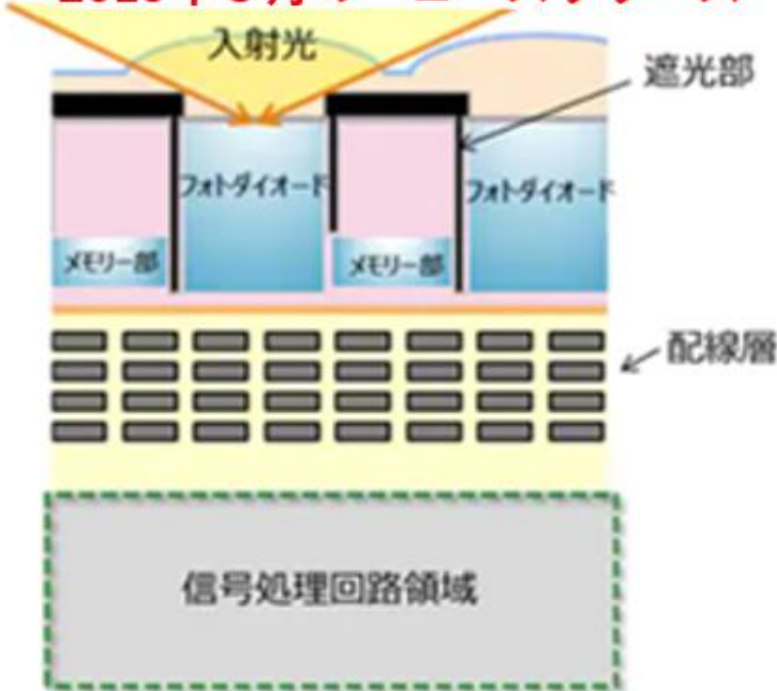
2019年9月に仙台で開催の3次元集積回路のIEEEの国際学会（英語圏）で初めて紹介できた。

2019 International 3D Systems Integration Conference (3DIC)

Multichip CMOS Image Sensor Structure
for Flash Image Acquisition
by Yoshiaki Hagiwara (AIPS)

チップ断面イメージ図

2019年3月のニュースリリース



新開発のグローバルシャッター機能搭載
積層型構造

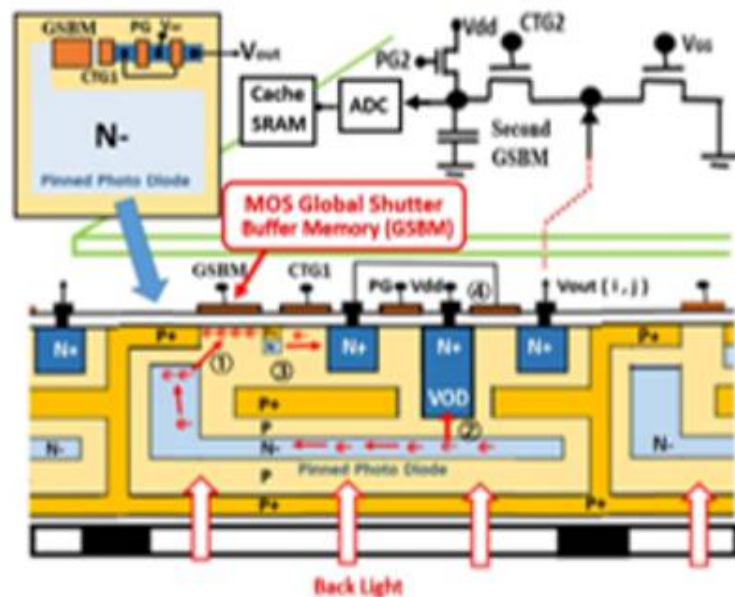


Fig. 1: Cross Section of Buried Depletion Pinned Photodiode stacked with two Global Shutter Buffer Memory (GSBM) and CTG stages in two chip configuration for synchronizing data transfer to the receiving ADC and Cache SRAM chips.

JPA1975-127646

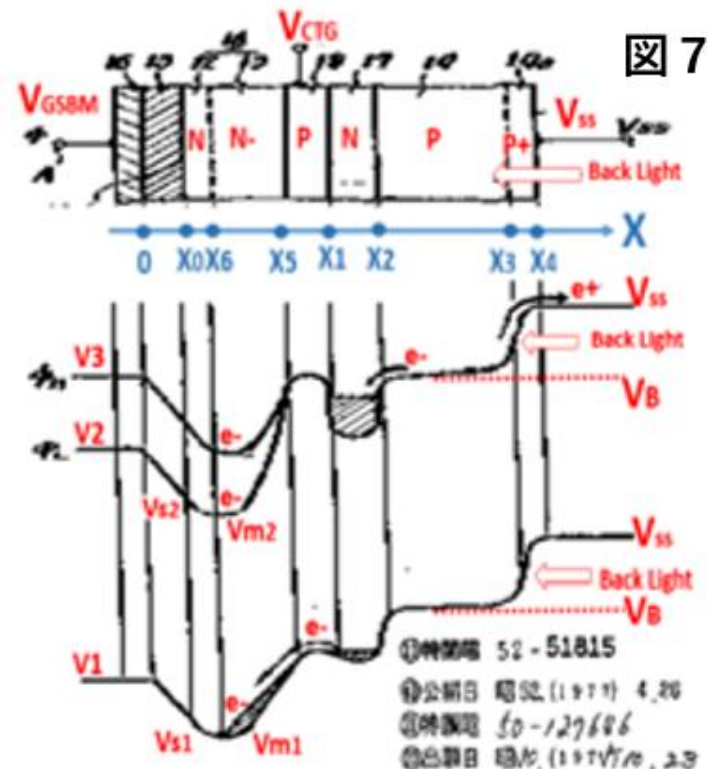


Fig. 8: The P+PNPN junction type Pinned Photodiode^① with Global Shutter MOS Buffer Memory (GSBM) and the NPN junction type vertical charge transfer gating (CTG).

2019年9月の仙台での国際学会での論文発表

2.08

1980年の特許にもIEDM1982の論文にもLocos Isolationの記載は皆無である。いつの間にかこの論文にはLocos Isolationが受光部に採用されている。

2014年12月1日(月)

映像情報メディア学会技術報告

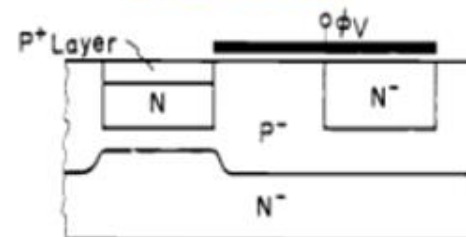
ITE Technical Report Vol.38, No.47
IST2014-52(Dec.2014)

(Invited) Effect and Limitation of Pinned Photodiode

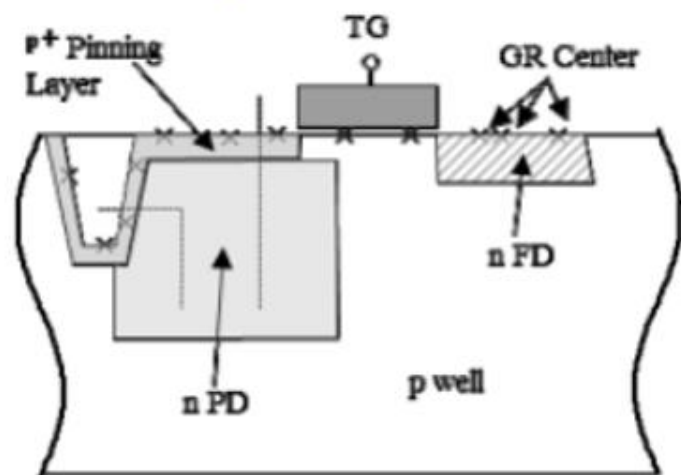
Nobukazu Teranishi^{1,2}

Abstract The pinned photodiode (PPD) is the primary technology for image sensors and used in almost all CCD image sensors and CMOS image sensors. This paper discusses effect and limitation of PPD, especially dark current and electronic shuttering. Even when PPD is used and silicon surface is neutralized, proposed model explains that GR centers at the silicon surface contribute the dark current. The temperature dependence is an activation type with activation energy, E_g , not $E_g/2$. It is important to reduce GR centers for dark current reduction at PPD also. It is also noted that the vertical overflow drain (VOD) shutter combined with PPD has potential of high speed shuttering with small skew.

(1) NEC (Teranishi)
Buried Photodiode
at IEDM1982

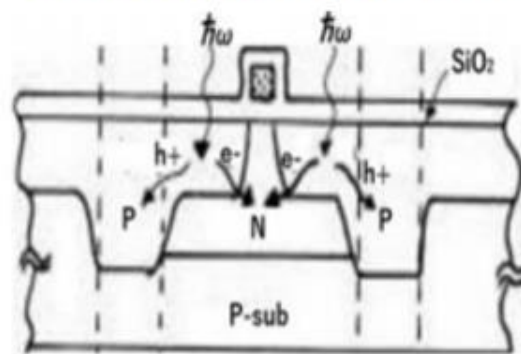


(2) Pinned Photodiode with LOCOS Isolation
described by Teranishi in 2014

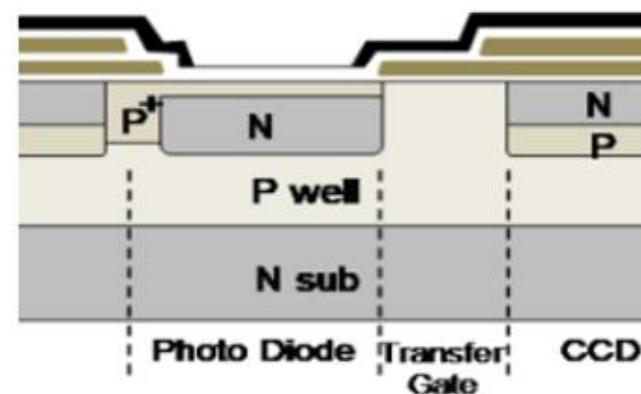


Practical and Actual Pinned Photodiode does not use LOCOS isolation, but with the adjacent P+ channel stops formed by Deep High Energy Implantation with Lamp Anneal technology developed by Kazuo Nishiyama at Sony in 1978

(3) Pinned Photodiode
Sony(Hagiwara) 1978



(4) Pinned Photodiode explained by
Semiconductor History Museum



38万画素に達した固体撮像素子

最低照度5lxの高感度 インターライン型CCD

基板に余剰電荷を掃き出し、可変電子シャッタを実現

ソニー 半導体事業本部 CCD 事業部

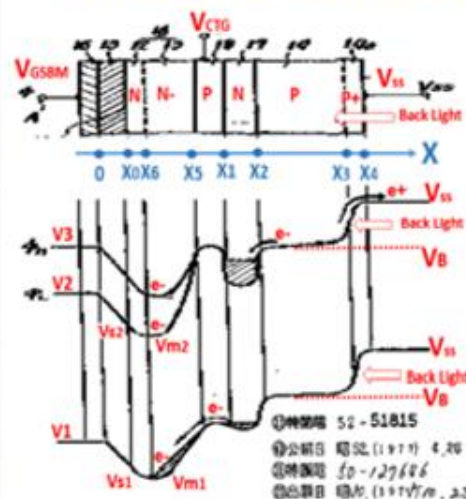
浜崎 正治
鈴木 智行
賀川 能明
石川 貴久枝
宮田 克郎

ソニー国分セミコンダクタ CCD 製造部

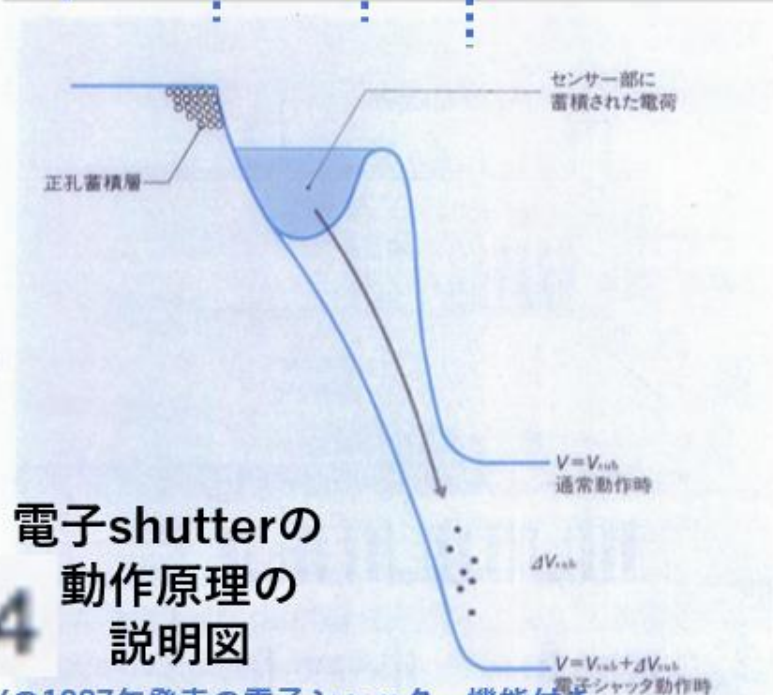
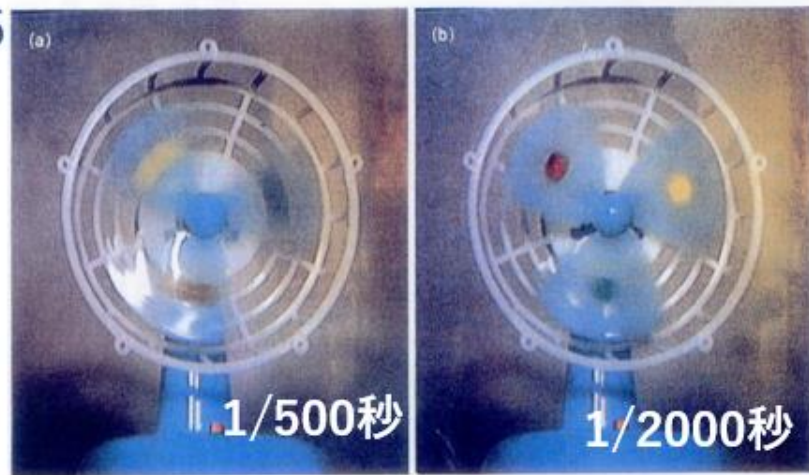
神戸 秀夫

最も一般的な固体撮像素子であるインターライン型 CCD で、2/3 インチで 38 万と大規模な画素数を持つ素子をソニーが製品化した。画素面積が小さくなることで減少する信号量を確保するため、縦型オーバーフロー・ドレインを採用して開口率を上げ、補色フィルタで光の利用効率を上げた。さらに界面準位からの暗電流を抑えている。この結果、81 dB のダイナミック・レンジが得られた。

JPA1975-127646



JPA1975-127646の図7と同一受光構造である。受光表面はGNDにピン留めされた、P+NPNsub 接合型、すなわち Triple 接合型の Pinned Photodiode.



電子shutterの動作原理の説明図

P+PN-PP+接合型太陽電池の提案

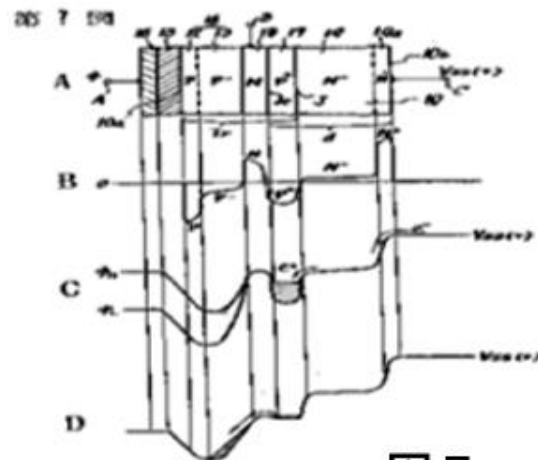
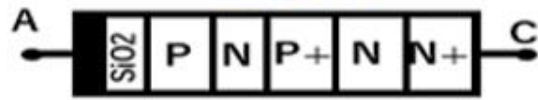
信号電荷は基板側だけでなく受光面側でも掃き出すことができる事を明示している。

1975年の萩原の3件の出願特許は、「萩原が電子シャッターとGlobal シャッターの両方の発明者である」ことの証拠になります。

JPA1975-127646

Oct 23, 1975

Pinned Surface
N+NP+NP
Triple 接合型
受光素子

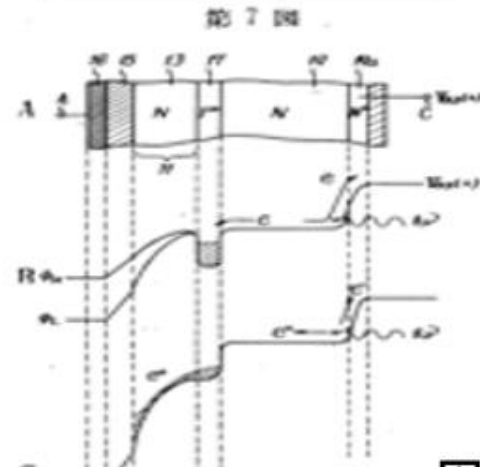
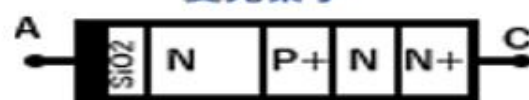


JPA1975-127646 図7

JPA1975-127647

Oct 23, 1975

Pinned Surface
N+NP+N
Double 接合型
受光素子

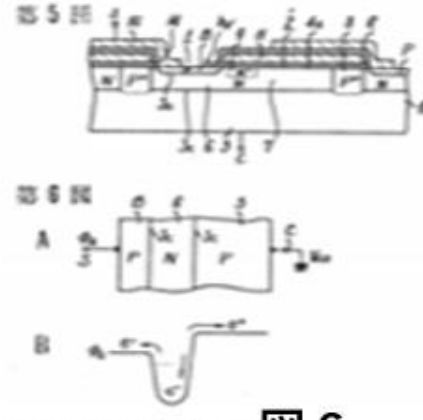
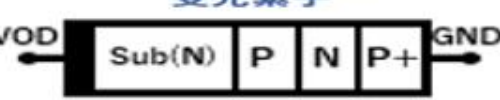


JPA1975-127647 図7

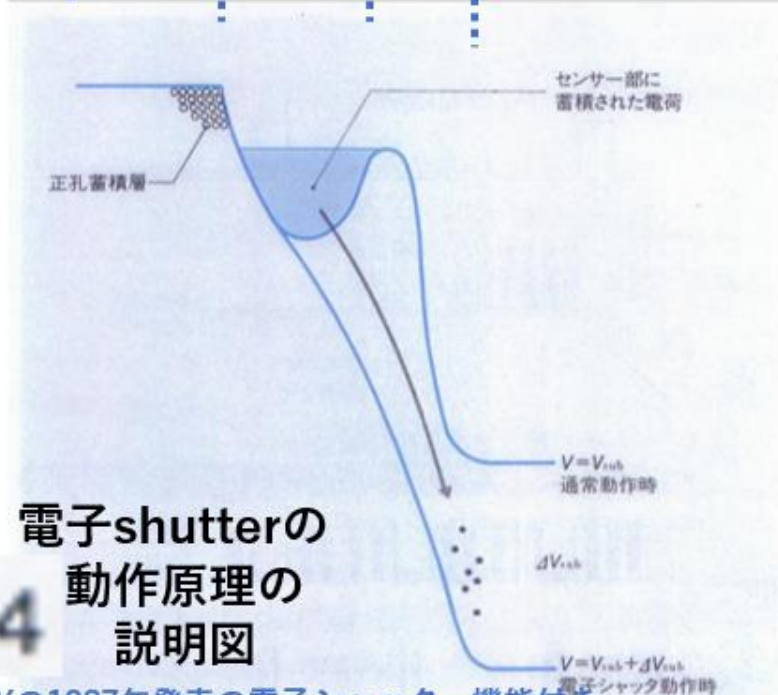
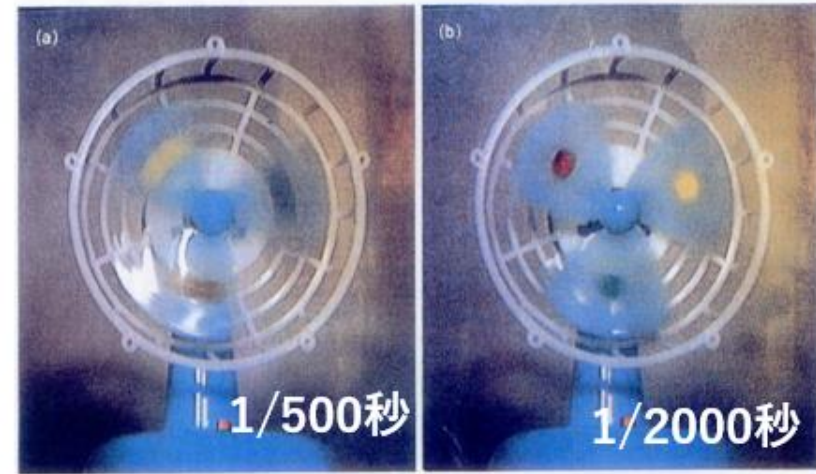
JPA1975-134985

Nov 10, 1975

Pinned Surface
PNP
Double 接合型
受光素子



JPA1975-134985 図6



電子shutterの動作原理の説明図

図4

SONYの1987年発表の電子シャッター機能付き Hole Accumulation Diode (HAD) 受光素子構造 2.11

- http://www.aiplab.com/JPA_1975_127646_on_NPNP_type_PPD.html
- http://www.aiplab.com/JPA_1975_127647_on_NPN_type_PPD.html
- http://www.aiplab.com/JPA_1975_134985_on_PPD_with_VOD.html
- http://www.aiplab.com/JPA_1977_126885_on_Electric_Shutter.html
- http://www.aiplab.com/JPA_2020_131313_on_PPD_Solar_Cell.html

Sonyは「1975年に萩原がVOD機能を持つPinned Photodiode (PPD)の発明者だ」と断定した。

SONY

ホーム

事業・製品

ソニーグループについて

テクノロジー

人材

サステナビリティ

デザイン

投資家情報

お問い合わせ 採用情報

Q

2020年6月26日発表

日本語 | [English](#)

積層型多機能CMOSイメージセンサーを支える代表的なソニー発明について

1975年の萩原の3件の出願特許は、「萩原が電子シャッターとGlobal シャッターの両方の発明者である」ことの証拠になります。

ソニー株式会社

ソニーセミコンダクタソリューションズ株式会社

裏面照射型CMOSイメージセンサーに採用されたPinned Photodiode

ソニーのイメージセンサーの発明の歴史は、古くはCCDの時代までさかのぼる。中でもPinned Photodiodeは、裏面照射型CMOSセンサーの性能向上にも貢献する技術であり、その発明と製品開発の歴史を紐解く。

ソニーは1975年、裏面照射型のN+NP+N接合型とN+NP+NP接合型のPinned Photodiode (PPD) を採用したCCDイメージセンサーを発明した（出願特許1975-127646,1975-127647 萩原 良昭）。同年、その構造をヒントに、VOD（縦型オーバーフロードレイン）機能を持つ、PNP接合型PPDを発明した（特許第1215101号 萩原 良昭）。ソニーはその後、イオン打ち込み技術により濃いP+のチャンネルストップ領域をその受光部近傍に形成したPNP接合型のPPD技術を採用したフレームトランスファー型CCDイメージセンサーの原理試作に世界で初めて成功し、1978年のSSDM1978の学会で論文を発表した（Y. Hagiwara, M. Abe, and C. Okada, "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, Tokyo, (1978)）。

1980年にはソニーはこのPNP接合型PPD を採用したワンチップのフレームトランスファーCCDイメージセンサーを使ったカメラ一体型VTRの試作に成功し、東京では当時社長の岩間が、ニューヨークでは会長の盛田が同日記者会見をして世界を驚かせた。1987年にはソニーは、VOD（縦型オーバーフロードレイン）機能を持つ「イオン打ち込み技術により濃いP+のチャンネルストップ領域をその受光部近傍に形成したPPD」をインターライン転送型CCDイメージセンサーに世界で初めて採用した8ミリビデオのカムコーダーの開発に成功しビデオカメラの市場を開拓した。

このような長い歴史を経て育まれてきたPPDの技術が今も裏面照射型CMOSイメージセンサーに採用されている。

半導体産業人協会の日本半導体歴史館は「萩原が1975年にPinned Photodiodeを提案した」と断定している。 <http://www.shmj.or.jp> イメージセンサ用フォトダイオードの改良 (ソニー、日立、nec、東芝) ([shmj.or.jp](http://www.shmj.or.jp))

<http://www.shmj.or.jp/museum2010/exhibi1005.html>

半導体イメージセンサでは受光素子にフォトダイオードが用いられる。1987年、ソニーは現在ピン留めフォトダイオード(Pinned Photodiode)と呼ばれている受光素子(ソニーはこのフォトダイオードをHAD: Hole Accumulation Diodeと呼んだ)を用いた2/3インチ38万画素IT(Interline Transfer)-CCDイメージセンサを搭載した、8ミリVTR一体型ビデオカメラ「CCD-V90」を発表した^[1]。

ピン留めフォトダイオードは図1に示すように、N層全体をP層で覆い、受光面のP層を高濃度P⁺にしたフォトダイオードである。この構造では、受光面のP⁺表面が基板電位にピン留めされるため、1984年にKodakによってピン留めフォトダイオードと命名された。高感度受光、広いダイナミックレンジに加えて、残像の発生もなく、受光表面のGRセンターの影響低下による暗電流・白傷の大幅低減などの特長があり、イメージセンサ用フォトダイオードとして極めて優れた性能を有する。

1975年、ソニーからPNPトランジスタを受光素子とする提案がなされた^[3]。受光部をP⁺層(エミッタ)にすることにより従来のフォトダイオードのように表面電位を制御するセンサー電極で受光面全面を覆う必要をなくし、受光感度を大幅に向上させることを目的とした。受光部表面をP⁺層にするピン留めフォトダイオードの基本となる提案であった。

Pinned Photodiode

続いてフォトダイオードの受光面P⁺層を基板電位にする提案が日立とソニーからなされた。日立からは1977年、表面高濃度P⁺層をP型基板(ウエル)に接続し基板と同じ電位にピン留めすることで電荷蓄積容量を増加し、フォトダイオードのダイナミックレンジを広げる構造が提示された^[4]。またソニーは1978年、同じ構造のフォトダイオードを用いたFT(Frame Transfer)-CCDイメージセンサを発表した^[5]。それを発展させた2/3インチ型28万画素FT-CCDイメージセンサを用いた、

【参考文献】

【1】 浜崎正治、鈴木智行、賀川能明、石川貴久枝、宮田克郎、神戸秀夫、“可変速電子シャッタ付IT-CCD撮像素子”、テレビジョン学会技術報告、vol. 12, no. 12, pp. 31-36, (1988)

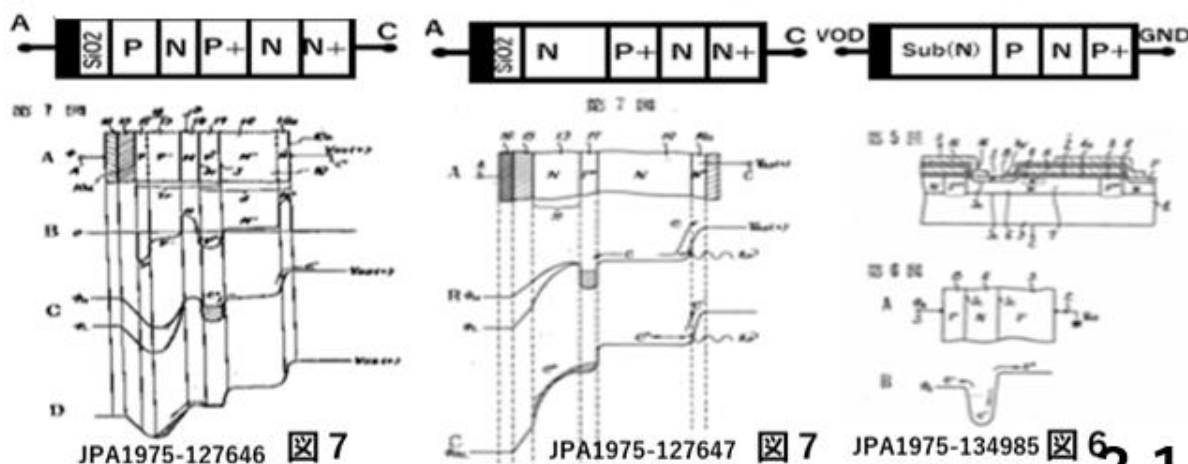
【2】 池田勝己、関根弘一、金子武彦、山田哲生、郡戸久美男、“1/3インチ36万画素IT-CCDセンサー”、テレビジョン学会技術報告、vol. 15, no. 16, pp. 31-36, (1991)

【3】 萩原良昭、“固体撮像装置”、特許公報 昭58-46905 (1975年11月10日出願) **JPA1975-134985**

【4】 小池紀雄、竹本一八男、“固体撮像装置”特許公報 昭62-20750 (1977年1月10日出願)

【5】 Y. Hagiwara, M. Abe, and C. Okada, “A 380H x 488V CCD imager with narrow channel transfer gates”, Proc. The 10th Conference on Solid State Devices, Tokyo, (1978): Japanese Journal of Applied Physics, vol. 18, Supplements 18-1, pp. 335-340, (1979)

【6】 梶野功、島田勝、中田康雄、平田芳美、萩原良昭、“ナローチャネルCCD単板カメラ”、テレビジョン学会技術報告、vol. 5, no. 29, pp. 32-36, (1981)



半導体産業人協会日本半導体歴史館は「萩原が Pinned Photodiodeの基本提案者」と断定している。

<http://www.shmj.or.jp> イメージセンサ用フォトダイオードの改良 (ソニー、日立、nec、東芝) ([shmj.or.jp](http://www.shmj.or.jp))

<http://www.shmj.or.jp/museum2010/exhibi1005.html>

半導体イメージセンサでは受光素子にフォトダイオードが用いられる。1987年、ソニーは現在ピン留めフォトダイオード(Pinned Photodiode)と呼ばれている受光素子(ソニーはこのフォトダイオードをHAD : Hole Accumulation Diodeと呼んだ)を用いた2/3インチ38万画素IT(Interline Transfer)-CCDイメージセンサを搭載した、8ミリVTR一体型ビデオカメラ「CCD-V90」を発表した【1】。

ピン留めフォトダイオードは図1に示すように、N層全体をP層で覆い、受光面のP層を高濃度P⁺にしたフォトダイオードである。この構造では、受光面のP⁺表面が基板電位にピン留めされるため、1984年にKodakによってピン留めフォトダイオードと命名された。高感度受光、広いダイナミックレンジに加えて、残像の発生もなく、受光表面のGRセンターの影響低下による暗電流・白傷の大幅低減などの特長があり、イメージセンサ用フォトダイオードとして極めて優れた性能を有する。

1975年、ソニーからPNPトランジスタを受光素子とする提案がなされた【3】。受光部をP⁺層(エミッタ)にすることにより従来のフォトダイオードのように表面電位を制御するセンサー電極で受光面全面を覆う必要をなくし、受光感度を大幅に向上させることを目的とした。受光部表面をP⁺層にするピン留めフォトダイオードの基本となる提案であった。

続いてフォトダイオードの受光面P⁺層を基板電位にする提案が日立とソニーからなされた。日立からは1977年、表面高濃度P⁺層をP型基板(ウエル)に接続し基板と同じ電位にピン留めすることで電荷蓄積容量を増加し、フォトダイオードのダイナミックレンジを広げる構造が提示された【4】。またソニーは1978年、同じ構造のフォトダイオードを用いたFT(Frame Transfer)-CCDイメージセンサを発表した【5】。それを発展させた2/3インチ型28万画素FT-CCDイメージセンサを用いた

【参考文献】

【1】 浜崎正治、鈴木智行、賀川能明、石川貴久枝、宮田克郎、神戸秀夫、“可変速電子シャッタ付IT-CCD撮像素子”、テレビジョン学会技術報告、vol. 12, no. 12, pp. 31-36, (1988)

【2】 池田勝己、関根弘一、金子武彦、山田哲生、郡戸久美男、“1/3インチ36万画素IT-CCDセンサー”、テレビジョン学会技術報告、vol. 15, no. 16, pp. 31-36, (1991)

【3】 萩原良昭、“固体撮像装置”、特許公報 昭58-46905 (1975年11月10日出願)

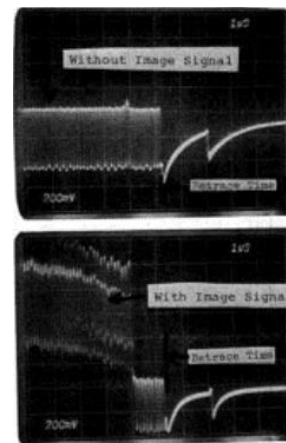
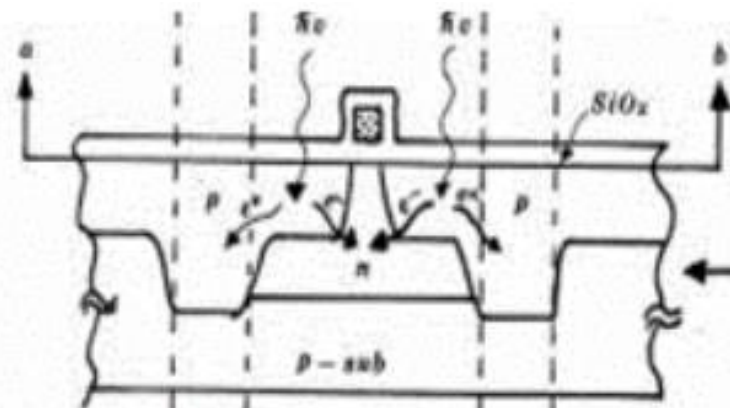
【4】 小池紀雄、竹本一八男、“固体撮像装置”特許公報 昭62-20750 (1977年1月10日出願)

【5】 Y. Hagiwara, M. Abe, and C. Okada, “A 380H x 488V CCD imager with narrow channel transfer gates”, Proc. The 10th Conference on Solid State Devices, Tokyo, (1978): Japanese Journal of Applied Physics, vol. 18, Supplements 18-1, pp. 335-340, (1979)

【6】 梶野功、島田勝、中田康雄、平田芳美、萩原良昭、“ナローチャンネルCCD単板カメラ”、テレビジョン学会技術報告、vol. 5, no. 29, pp. 32-36, (1981)

Excellent Blue Light Sensitivity and No Image Lag with Adjacent P+ Channel Stops

Sony SSDM1978 Paper by Hagiwara



半導体産業人協会日本半導体歴史館は「萩原が Pinned Photodiodeの基本提案者」と断定している。 イメージセンサ用フォトダイオードの改良（ソニー、日立、nec、東芝）(shmj.or.jp)

<http://www.shmj.or.jp/museum2010/exhibi1005.html>

半導体イメージセンサでは受光素子にフォトダイオードが用いられる。1987年、ソニーは現在ピン留めフォトダイオード(Pinned Photodiode)と呼ばれている受光素子(ソニーはこのフォトダイオードをHAD: Hole Accumulation Diodeと呼んだ)を用いた2/3インチ38万画素IT(Interline Transfer)-CCDイメージセンサを搭載した、8ミリVTR一体型ビデオカメラ「CCD-V90」を発表した【1】。

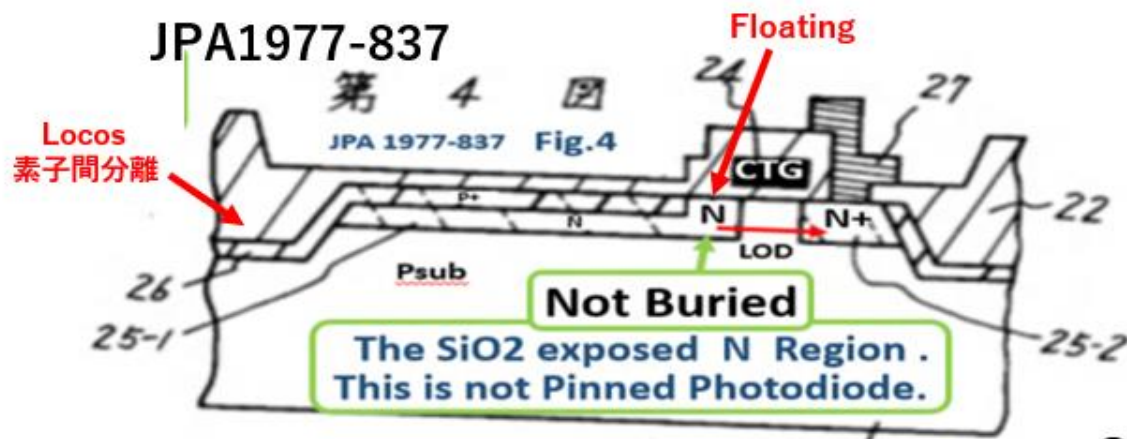
ピン留めフォトダイオードは図1に示すように、N層全体をP層で覆い、受光面のP層を高濃度P⁺にしたフォトダイオードである。この構造では、受光面のP⁺表面が基板電位にピン留めされるため、1984年にKodakによってピン留めフォトダイオードと命名された。高感度受光、広いダイナミックレンジに加えて、残像の発生もなく、受光表面のGRセンターの影響低下による暗電流・白傷の大幅低減などの特長があり、イメージセンサ用フォトダイオードとして極めて優れた性能を有する。

1975年、ソニーからPNPトランジスタを受光素子とする提案がなされた【3】。受光部をP⁺層(エミッタ)にすることにより従来のフォトダイオードのように表面電位を制御するセンサー電極で受光面全面を覆う必要をなくし、受光感度を大幅に向上させることを目的とした。受光部表面をP⁺層にするピン留めフォトダイオードの基本となる提案であった。

続いてフォトダイオードの受光面P⁺層を基板電位にする提案が日立とソニーからなされた。日立からは1977年、表面高濃度P⁺層をP型基板(ウエル)に接続し基板と同じ電位にピン留めすることで電荷蓄積容量を増加し、フォトダイオードのダイナミックレンジを広げる構造が提示された【4】。またソニーは1978年、同じ構造のフォトダイオードを用いたFT(Frame Transfer)-CCDイメージセンサを発表した【5】。それを発展させた2/3インチ型28万画素FT-CCDイメージセンサを用いた、

【参考文献】

- 【1】 浜崎正治、鈴木智行、賀川能明、石川貴久枝、宮田克郎、神戸秀夫、“可変速電子シャタ付IT-CCD撮像素子”、テレビジョン学会技術報告、vol. 12, no. 12, pp. 31-36, (1988)
- 【2】 池田勝己、関根弘一、金子武彦、山田哲生、郡戸久美男、“1/3インチ36万画素IT-CCDセンサー”、テレビジョン学会技術報告、vol. 15, no. 16, pp. 31-36, (1991)
- 【3】 萩原良昭、“固体撮像装置”、特許公報 昭58-46905 (1975年11月10日出願)
- 【4】 小池紀雄、竹本一八男、“固体撮像装置”特許公報 昭62-20750 (1977年1月10日出願)
- 【5】 Y. Hagiwara, M. Abe, and C. Okada, “A 380H x 488V CCD imager with narrow channel transfer gates”, Proc. The 10th Conference on Solid State Devices, Tokyo, (1978): Japanese Journal of Applied Physics, vol. 18, Supplements 18-1, pp. 335-340, (1979)
- 【6】 梶野功、島田勝、中田康雄、平田芳美、萩原良昭、“ナローチャネルCCD単板カメラ”、テレビジョン学会技術報告、vol. 5, no. 29, pp. 32-36, (1981)



半導体産業人協会日本半導体歴史館は「萩原が Pinned Photodiodeの基本提案者」と断定している。 イメージセンサ用フォトダイオードの改良（ソニー、日立、nec、東芝）(shmj.or.jp)

<http://www.shmj.or.jp/museum2010/exhibi1005.html>

半導体イメージセンサでは受光素子にフォトダイオードが用いられる。1987年、ソニーは現在ピン留めフォトダイオード(Pinned Photodiode)と呼ばれている受光素子(ソニーはこのフォトダイオードをHAD: Hole Accumulation Diodeと呼んだ)を用いた2/3インチ38万画素IT(Interline Transfer)-CCDイメージセンサを搭載した、8ミリVTR一体型ビデオカメラ「CCD-V90」を発表した【1】。

ピン留めフォトダイオードは図1に示すように、N層全体をP層で覆い、受光面のP層を高濃度P⁺にしたフォトダイオードである。この構造では、受光面のP⁺表面が基板電位にピン留めされるため、1984年にKodakによってピン留めフォトダイオードと命名された。高感度受光、広いダイナミックレンジに加えて、残像の発生もなく、受光表面のGRセンターの影響低下による暗電流・白傷の大幅低減などの特長があり、イメージセンサ用フォトダイオードとして極めて優れた性能を有する。

1975年、ソニーからPNPトランジスタを受光素子とする提案がなされた【3】。受光部をP⁺層(エミッタ)にすることにより従来のフォトダイオードのように表面電位を制御するセンサー電極で受光面全面を覆う必要をなくし、受光感度を大幅に向上させることを目的とした。受光部表面をP⁺層にするピン留めフォトダイオードの基本となる提案であった。

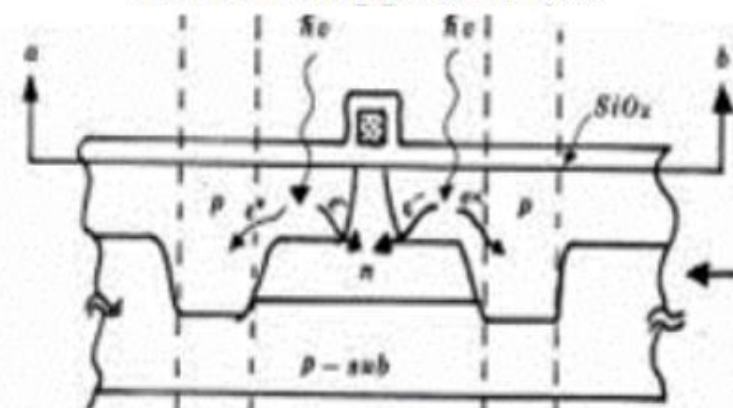
続いてフォトダイオードの受光面P⁺層を基板電位にする提案が日立とソニーからなされた。日立からは1977年、表面高濃度P⁺層をP型基板(ウェル)に接続し基板と同じ電位にピン留めすることで電荷蓄積容量を増加し、フォトダイオードのダイナミックレンジを広げる構造が提示された【4】。またソニーは1978年、同じ構造のフォトダイオードを用いたFT(Frame Transfer)-CCDイメージセンサを発表した【5】。それを発展させた2/3インチ型28万画素FT-CCDイメージセンサを用いた。

【参考文献】

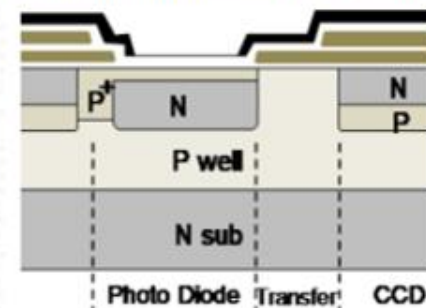
- 【1】 浜崎正治、鈴木智行、賀川能明、石川貴久枝、宮田克郎、神戸秀夫、“可変速電子シャッタ付IT-CCD撮像素子”、テレビジョン学会技術報告、vol. 12, no. 12, pp. 31-36, (1988)
- 【2】 池田勝己、関根弘一、金子武彦、山田哲生、郡戸久美男、“1/3インチ36万画素IT-CCDセンサー”、テレビジョン学会技術報告、vol. 15, no. 16, pp. 31-36, (1991)
- 【3】 萩原良昭、“固体撮像装置”、特許公報 昭58-46905 (1975年11月10日出願)
- 【4】 小池紀雄、竹本一八男、“固体撮像装置”特許公報 昭62-20750 (1977年1月10日出願)
- 【5】 Y. Hagiwara, M. Abe, and C. Okada, “A 380H x 488V CCD imager with narrow channel transfer gates”, Proc. The 10th Conference on Solid State Devices, Tokyo, (1978): Japanese Journal of Applied Physics, vol. 18, Supplements 18-1, pp. 335-340, (1979)
- 【6】 梶野功、島田勝、中田康雄、平田芳美、萩原良昭、“ナローチャネルCCD単板カメラ”、テレビジョン学会技術報告、vol. 5, no. 29, pp. 32-36, (1981)

Excellent Blue Light Sensitivity and No Image Lag with Adjacent P+ Channel Stops

Sony SSDM1978 Paper by Hagiwara



Pinned Photodiode explained by Semiconductor History Museum



Sonyは「1975年に萩原がVOD機能を持つPinned Photodiode (PPD)の発明者だ」と断定した。

SONY

ホーム

事業・製品

ソニーグループについて

テクノロジー

人材

サステナビリティ

デザイン

投資家情報

お問い合わせ 採用情報



2020年6月26日発表

日本語 | [English](#)

積層型多機能CMOSイメージセンサーを支える代表的なソニー発明について

1975年の萩原の3件の出願特許は、「萩原が電子シャッターとGlobal シャッターの両方の発明者である」ことの証拠になります。

ソニー株式会社

ソニーセミコンダクタソリューションズ株式会社

裏面照射型CMOSイメージセンサーに採用されたPinned Photodiode

ソニーのイメージセンサーの発明の歴史は、古くはCCDの時代までさかのぼる。中でもPinned Photodiodeは、裏面照射型CMOSセンサーの性能向上にも貢献する技術であり、その発明と製品開発の歴史を紐解く。

ソニーは1975年、裏面照射型のN+NP+N接合型とN+NP+NP接合型のPinned Photodiode (PPD) を採用したCCDイメージセンサーを発明した（出願特許1975-127646,1975-127647 萩原 良昭）。同年、その構造をヒントに、VOD（縦型オーバーフローレイン）機能を持つ、PNP接合型PPDを発明した（特許第1215101号 萩原 良昭）。ソニーはその後、イオン打ち込み技術により濃いP+のチャンネルストップ領域をその受光部近傍に形成したPNP接合型のPPD技術を採用したフレームトランスファー型CCDイメージセンサーの原理試作に世界で初めて成功し、1978年のSSDM1978の学会で論文を発表した（Y. Hagiwara, M. Abe, and C. Okada, "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, Tokyo, (1978)）。

1980年にはソニーはこのPNP接合型PPD を採用したワンチップのフレームトランスファーCCDイメージセンサーを使ったカメラ一体型VTRの試作に成功し、東京では当時社長の岩間が、ニューヨークでは会長の盛田が同日記者会見をして世界を驚かせた。1987年にはソニーは、VOD（縦型オーバーフローレイン）機能を持つ「イオン打ち込み技術により濃いP+のチャンネルストップ領域をその受光部近傍に形成したPPD」をインターライン転送型CCDイメージセンサーに世界で初めて採用した8ミリビデオのカムコーダーの開発に成功しビデオカメラの市場を開拓した。

このような長い歴史を経て育まれてきたPPDの技術が今も裏面照射型CMOSイメージセンサーに採用されている。

1980年の特許にもIEDM1982の論文にもLocos Isolationの記載は皆無である。いつの間にかこの論文にはLocos Isolationが受光部に採用されている。

2014年12月1日(月)

映像情報メディア学会技術報告

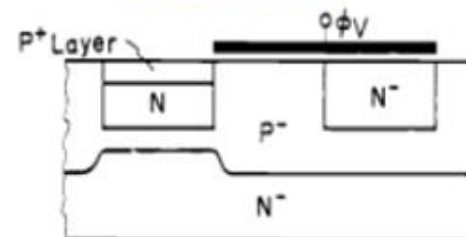
ITE Technical Report Vol.38, No.47
IST2014-52(Dec. 2014)

(Invited) Effect and Limitation of Pinned Photodiode

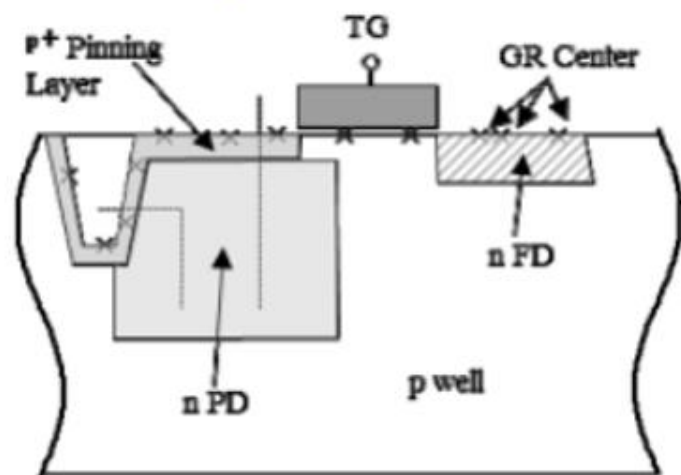
Nobukazu Teranishi^{1,2}

Abstract The pinned photodiode (PPD) is the primary technology for image sensors and used in almost all CCD image sensors and CMOS image sensors. This paper discusses effect and limitation of PPD, especially dark current and electronic shuttering. Even when PPD is used and silicon surface is neutralized, proposed model explains that GR centers at the silicon surface contribute the dark current. The temperature dependence is an activation type with activation energy, E_g , not $E_g/2$. It is important to reduce GR centers for dark current reduction at PPD also. It is also noted that the vertical overflow drain (VOD) shutter combined with PPD has potential of high speed shuttering with small skew.

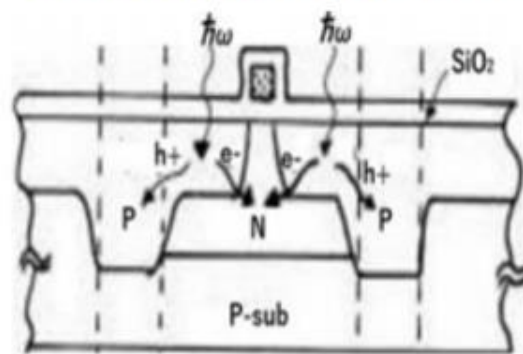
(1) NEC (Teranishi)
Buried Photodiode
at IEDM1982



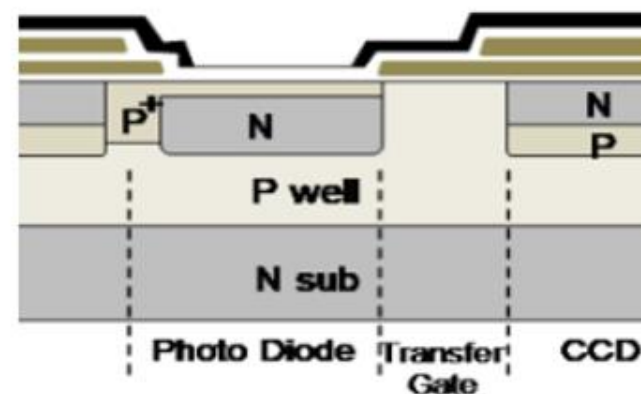
(2) Pinned Photodiode with LOCOS Isolation described by Teranishi in 2014



(3) Pinned Photodiode
Sony(Hagiwara) 1978

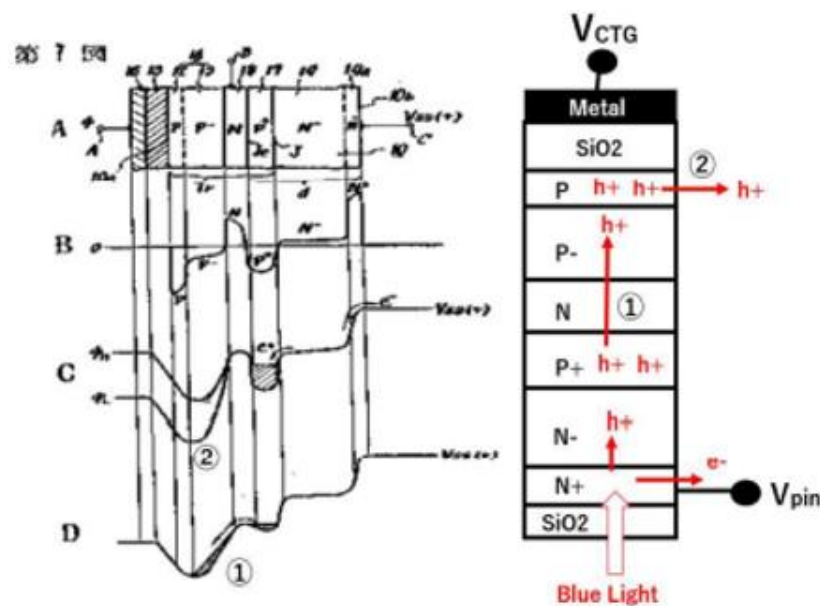


(4) Pinned Photodiode explained by
Semiconductor History Museum



Proc. of the International Conference on Electrical, Computer and Energy Technologies (ICECET)
9-10 December 2021, Cape Town-South Africa

Invention and Historical Development Efforts of Pinned Buried Photodiode



Yoshiaki Hagiwara
AIPLAB
Artificial Intelligent Partner System (AIPS)
Atsugi-city, Japan
hagiwara-yoshiaki@aiplab.com

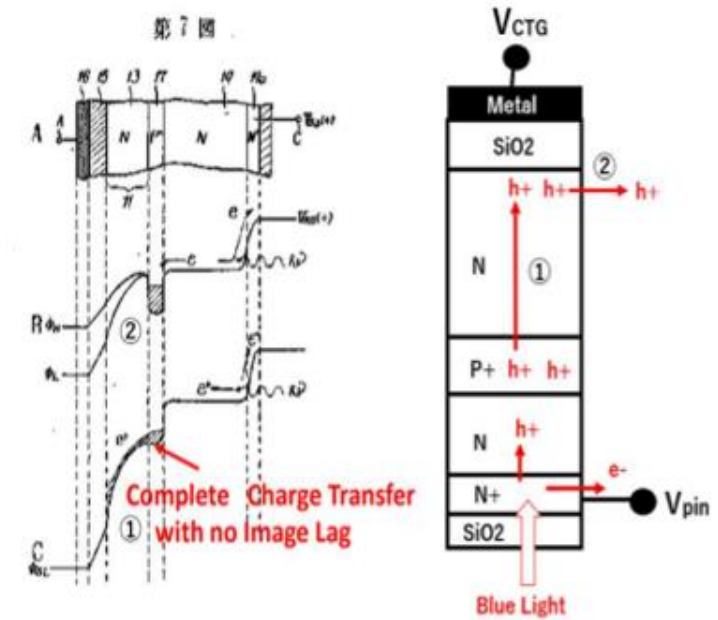


Fig. 5 The N+N-P+NP-N triple junction Pinned Photodiode which is a reproduction of a figure drawn in Japanese patent application JPA1975-127646.

Fig. 6 The N+N-P+N double junction Pinned Photodiode which is a reproduction of a figure drawn in Japanese patent application JPA1975-127647.

1975年の特許出願は日本語で記載されたものである。IEEEの国際学会などの、英語圏の学会ではまったくその発明の内容を紹介していなかった。2021年12月になり、初めて、英語圏の学会で詳細に、「残像のないVOD付きのPinned Photodiodeの発明者は萩原だ」と説明した。

*Proc. of the International Conference on Electrical, Computer and Energy Technologies (ICECET)
9-10 December 2021, Cape Town-South Africa*

Pinned Buried PIN Photodiode Type Solar Cell

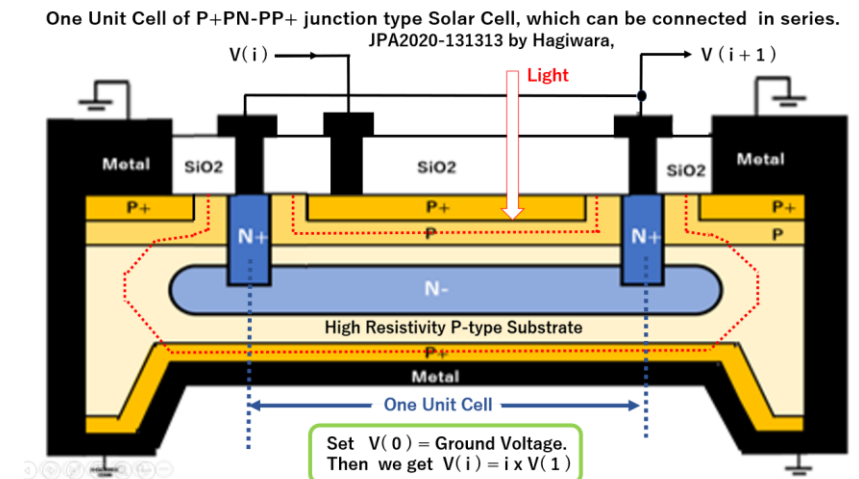
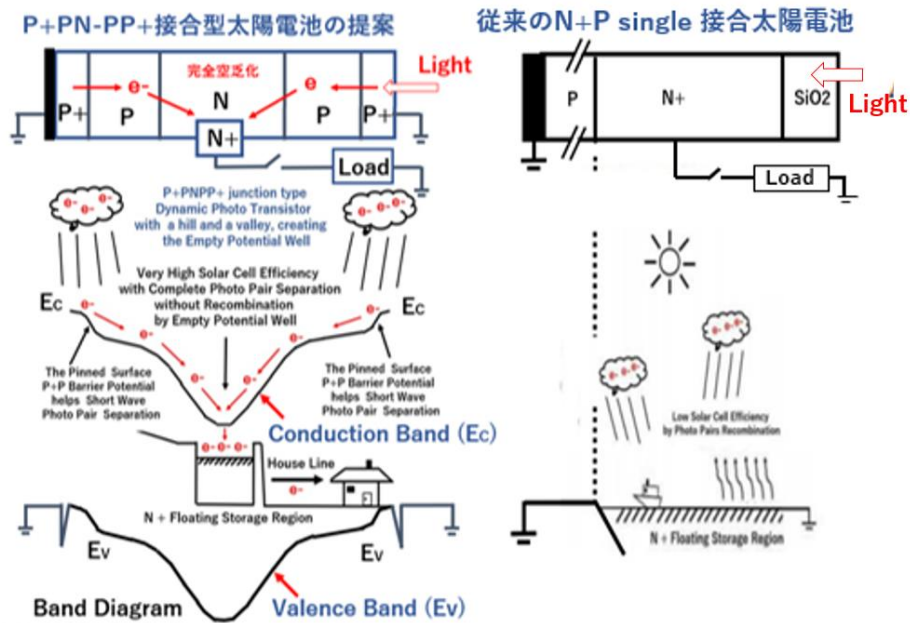
Yoshiaki Hagiwara

AIPLAB

Artificial Intelligent Partner System (AIP)

Atsugi-city, Japan

hagiwara-yoshiaki@aiplab.com



- (1) 超短波長光感度特性を持ち
- (2) Anti-blooming機能を持ち
- (3) 電子シャッター機能を持ち
- (4) Global Shutter機能を持ち
- (5) かつ残像のない特性をつ、
- (6) 受光表面がピン留めされた Pinned Photodiodeを1975年にもとSonyの萩原は発明した。

この受光構造を超光感度の新型太陽電池として開発し将来の日本の半導体電子デバイス産業の、「日本の産業のコメ」として育て、発展されて日本のエネルギー対策に貢献したいです。

Wikipedia は「萩原が Pinned Photodiodeの発明者だ」と知られていると記載している。



YoshiakiHagiwara19480704 会話 下書き 個人設定 ベータ版 ウォッチリスト 投稿記録 ログアウト



ウィキペディア
フリー百科事典

メインページ
コミュニティ・ポータル
最近の出来事
新しいページ
最近の更新
おまかせ表示
練習用ページ
アップロード (ウィキメディア・コモンズ)

ヘルプ

ヘルプ

井戸端

お知らせ

バグの報告

寄付

ウィキペディアに関するお問い合わせ

ページ ノート

閲覧 編集 履歴表示 ☆ Wikipedia内を検索

萩原良昭

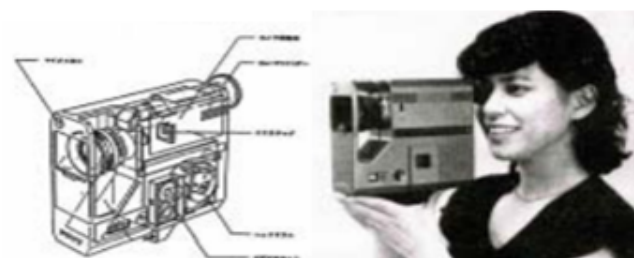
出典: フリー百科事典『ウィキペディア (Wikipedia)』

萩原 良昭（はぎわら よしあき、1948年7月4日 - ）は、日本の科学者、エンジニア、工学者、ならびに発明家。

主にソニー株式会社においてイメージセンサ（撮像デバイス）の研究を行い、デジタルカメラの撮像デバイスの主流となっている埋込フォトダイオード(英: Pinned Photodiode)^[1]を発明したことで知られる。

目次 [非表示]

- 人物・来歴
- 学会・業界活動
- 著作物
- 脚注・参照
- 外部リンク



<FCX016> 570H x 498V One-Chip FT CCD Color Imager, 1978

人物・来歴 [編集]

1971年にカリフォルニア工科大学で電子工学と物理学の学位を取得、1972年に修士号、1975年に博士号(Pf.D.)をCarver Meadの指導の下取得。^[2] 1974年の結婚を機に萩原姓となる。

- 1975年3月5日に Double 接合型受光素子を発明し SONY（株）社内の知財へ萩原は公式に出願した。
- 1975年10月23日には萩原は2件の特許、JPA1975-127646とJPA1975-127647を出願する。
- 1975年11月10日には受光表面がピン留めされた、in-pixel VOD機能付きのPNP 接合型の受光素子を萩原は特許出願（JPA1975-134985）した。

題目： 人工知能ロボットを支える、超光感度の賢い電子の目を太陽電池に応用する

<https://ja.wikipedia.org/wiki/萩原良昭>



ウィキペディア
フリー百科事典

YoshiakiHagiwara19480704 4 3 [会話](#) [下書き](#) [個人設定](#) [ベータ版](#) [ウォッチリスト](#) [投稿記録](#) [ログアウト](#)

ページ [ノート](#) [閲覧](#) [編集](#) [履歴表示](#) [☆](#)

萩原良昭

出典：フリー百科事典『ウィキペディア（Wikipedia）』

萩原 良昭（はぎわら よしあき、1948年7月4日 - ）は、日本の科学者、エンジニア、工学者、ならびに発明家。主にソニー株式会社においてイメージセンサ（撮像デバイス）の研究を行い、デジタルカメラの撮像デバイスの主流となっている埋込フォトダイオード(英: Pinned Photodiode)^[1]を発明したことで知られる。

- (1) 超短波長光感度特性を持ち
- (2) Anti-blooming機能を持ち
- (3) 電子シャッター機能を持ち
- (4) Global Shutter機能をもち
- (5) かつ残像のない特性をつ、
- (6) 受光表面がピン留めされた Pinned Photodiodeを1975年にもとSonyの萩原は発明した。
- (7) その受光構造を超光感度の新型太陽電池として開発し将来の日本の半導体電子デバイス産業の、「日本の産業のコメ」として育て、発展されて日本のエネルギー対策に貢献したいです。

人物・来歴 [編集]

1971年にカリフォルニア工科大学で電子工学と物理学の学位を取得、1972年に修士号、1975年に博士号(Pf.D.)をCarver Meadの指導の下取得。^[2] 1974年の結婚を機に萩原姓となる。

2001年にはIEEEのフェローに、また2004年にはソニー・フェローに任命される。その主たる業績は1975年の、ソニーで "hole accumulation device (HAD)" と名付けられたpinned photodiodeを始めとする固体撮像素子の分野での独創的な研究であった。

1983年に初めて一般市場で発売されたCCDビデオ・カメラ CCD-G5 は1981年に開発・試作された萩原の発明に基づくものであった。^[3]



お知らせ
バグの報告
寄付
ウィキペディアに関するお問い合わせ

ツール

リンク元
関連ページの更新状況
ファイルをアップロード
特別ページ
この版への固定リンク
ページ情報
このページを引用
ウィキデータ項目
短縮URL

印刷/書き出し

ブックの新規作成
PDF形式でダウンロード
印刷用バージョン

他言語版

リンクを追加

人物・来歴 [編集]

1971年にカリフォルニア工科大学で電子工学と物理学の学位を取得、1972年に修士号、1975年に博士号(Pf.D.)をCarver Meadの指導の下取得。^[2] 1974年の結婚を機に萩原姓となる。

2001年にはIEEEのフェローに、また2004年にはソニー・フェローに任命される。その主たる業績は1975年の、ソニーで "hole accumulation device (HAD)" と名付けられたpinned photodiodeを始めとする**固体撮像素子**の分野での独創的な研究であった。

1983年に初めて一般市場で発売されたCCDビデオ・カメラ CCD-G5 は1981年に開発・試作された萩原の発明に基づくものであった。^[3]

脚注・参照 [編集]

- ↑ 「埋め込みフォトダイオード」とも。電子情報通信学会知識ベース | 4編 画像入力とカメラ 1-3 CCD (執筆) 山田哲生 (パナソニック)
- ↑ *The Big T* . California Institute of Technology. (1971). p. 94
- ↑ Hagiwara, Yoshiaki (2001). "Microelectronics for Home Entertainment" . *The Computer Engineering Handbook*. CRC Press. p. 41-6. ISBN 978-0-8493-0885-7

JPA1976-65707 (Patent No. 7596795, filed on June 9, 1975, Netherland)
on Buried Photodiode with Floating Empty Potential Well.

http://www.aiplab.com/JPA_1975_134985_on_PPD_with_VOD.html

Y. Hagiwara, Motoaki Abe and Chikara Okada, "A 380H X 488V CCD Imager with Narrow Channel Transfer Gates", Proceeding of the 10th Conference on Solid State Devices, Tokyo 1978.

<https://electronics.stackexchange.com/questions/83018/difference-between-buried-photodiode-and-pinned-photodiode>

<https://ieeexplore.ieee.org/document/6742594>

http://www.aiplab.com/JPA_1975_127646_on_NPNP_type_PPD.html

http://www.aiplab.com/JPA_1975_127647_on_NPN_type_PPD.html

http://www.aiplab.com/JPA_1977_126885_on_Electric_Shutter.html

著作物 [編集]

- デジタル回路の世界 単行本

http://www.koueki.jiii.or.jp/innovation100/innovation_detail.php?eid=00059&test=open&age

概要 発明協会は「1979年に寺西が Pinned Photodiode を発明した」と断定している。

撮像デバイスの研究開発は、19世紀後期のテレビジョン研究がスタートである。機械式、撮像管、固体撮像素子（以下「イメージセンサー」と呼ぶ）と発展し、社会に大きなインパクトを与えつつ、大きく発展してきた。

真空管の一種である撮像管は、サイズが大きい、割れ物である、消費電力が大きい、画像にゆがみがある、高価である、などの欠点があり、固体化が望まれていた。1960年代半ばにイメージセンサーの開発がスタートした。そのときは、MOS (Metal Oxide Semiconductor) 型が中心であった。

1970年にBoyleとSmith（当時Bell研究所）がCCD (Charge-Coupled Device、電荷結合素子) を発表した¹。構造が単純であり、イメージセンサーのような大規模なアレイ構造を製造するのに適していること、矢継ぎ早にCCDに改善が加えられたことから、イメージセンサー開発の中心はCCDになった。1970年後半からは開発の中心は日本に移った。1978年、山田哲生（当時 東芝）は、強い光が入射したときに縦線の偽信号を発生させるブルーミングを抑制する縦型オーバーロードレイン構造を発明した²。1979年には寺西信一（当時 NEC）が、白傷や暗電流を大幅に低減し、残像や転送ノイズを解消する埋入フォトダイオード (Pinned Photodiode) を発明した³。これらの結果、CCDはまずムービーを、引き続きコンパクトデジタルスチルカメラを主な市場として量産されていった。

1990年代になると、CMOSの微細化が進み、4個ほどのトランジスターを画素内に配置することが可能になり、さらには、埋入フォトダイオードをCMOSイメージセンサーに適用することでCCDと同等以上の低ノイズが達成でき、世界の多くの機関で熱心に開発が進められた。2000年に米田智也ら（当時 キヤノン）が、強い光が入射したときに発生するシェーディングを抑制する構造を発明した⁴。2001年に鈴木亮司ら（当時 ソニー）が、裏面照射型に関する発明をした⁵。これらの技術開発によりCMOSイメージセンサーが主役になり、低消費電力という特性のお陰もあり、携帯電話に搭載され、生産量を爆発的に増加させていった。2010年に梅林拓ら（当時 ソニー）が、イメージセンサーに画像処理回路を積層する構造を発明し⁶、高速化と多機能化を飛躍的に押し進めた。

2014年には携帯電話用を中心に約38億個もの生産が行われた。パソコンカメラ、デジタルスチルカメラ、ゲームなどのコンシューマー用途、監視用、車載用、放送用カメラなどの社会インフラとして、さらには医療、科学用などあらゆるところでイメージセンサーが使われるようになった。

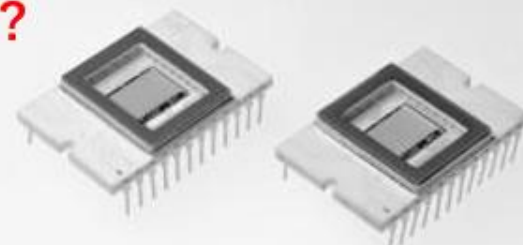
イメージセンサー (CCD・CMOS)

概要 イノベーションに至る経緯 発明技術開発の概要 主な受賞歴 参考文献等

参考文献等

1. W. S. Boyle and G. E. Smith 「Charge Coupled Semiconductor Devices」, The Bell System Technical Journal, vol.49 (1970) pp.587-593
2. 山田哲生「固体撮像装置」特開昭54-95116、1978年1月13日出願
3. 寺西信一 外「固体撮像装置」特開57-62557、1980年10月2日出願
4. 米田智也 外「固体撮像装置」特開2001-230400、2000年11月30日出願
5. 鈴木亮司 外「X-Yアドレス型固体撮像素子およびその製造方法」特開2003-31785、2001年7月11日出願
6. 梅林拓 外「半導体装置とその製造方法、及び電子機器」特開2015-65479、2010年1月22日出願

CCD撮像素子 (ICX008)



萩原がSONY現役時代に設計したCCD CHIP

(画像提供：ソニー)

完全に事実誤認では??

http://www.koueki.jiii.or.jp/innovation100/innovation_detail.php?eid=00059&test=open&age

概要 **発明協会は「1978年に山田がVODを発明した」と断定している。**

撮像デバイスの研究開発は、19世紀後期のテレビジョン研究がスタートである。機械式、撮像管、固体撮像素子（以下「イメージセンサー」と呼ぶ）と発展し、社会に大きなインパクトを与えつつ、大きく発展してきた。

真空管の一種である撮像管は、サイズが大きい、割れ物である、消費電力が大きい、画像にゆがみがある、高価である、などの欠点があり、固体化が望まれていた。1960年代半ばにイメージセンサーの開発がスタートした。そのときは、MOS (Metal Oxide Semiconductor) 型が中心であった。

1970年にBoyleとSmith（当時Bell研究所）がCCD (Charge-Coupled Device、電荷結合素子) を発表した¹。構造が単純であり、イメージセンサーのような大規模なアレイ構造を製造するのに適していること、矢継ぎ早にCCDに改善が加えられたことから、イメージセンサー開発の中心はCCDになった。1970年後半からは開発の中心は日本に移った。1978年、山田哲生（当時 東芝）は、強い光が入射したときに縦線の偽信号を発生させるブルーミングを抑制する縦型オーバーロードレイン構造を発明した²。1979年には寺西信一（当時 NEC）が、白傷や暗電流を大幅に低減し、残像や転送ノイズを解消する埋入フォトダイオード (Pinned Photodiode) を発明した³。これらの結果、CCDはまずムービーを、引き続きコンパクトデジタルスチルカメラを主な市場として量産されていった。

完全に事実誤認では??

1990年代になると、CMOSの微細化が進み、4個ほどのトランジスターを画素内に配置することが可能になり、さらには、埋入フォトダイオードをCMOSイメージセンサーに適用することでCCDと同等以上の低ノイズが達成でき、世界の多くの機関で熱心に関係が進められた。2000年に米田智也ら（当時 キヤノン）が、強い光が入射したときに発生するシェーディングを抑制する構造を発明した⁴。2001年に鈴木亮司ら（当時 ソニー）が、裏面照射型に関する発明をした⁵。これらの技術開発によりCMOSイメージセンサーが主役になり、低消費電力という特性のお陰もあり、携帯電話に搭載され、生産量を爆発的に増加させていった。2010年に梅林拓ら（当時 ソニー）が、イメージセンサーに画像処理回路を積層する構造を発明し⁶、高速化と多機能化を飛躍的に押し進めた。

2014年には携帯電話用を中心に約38億個もの生産が行われた。パソコンカメラ、デジタルスチルカメラ、ゲームなどのコンシューマー用途、監視用、車載用、放送用カメラなどの社会インフラとして、さらには医療、科学用などあらゆるところでイメージセンサーが使われるようになった。

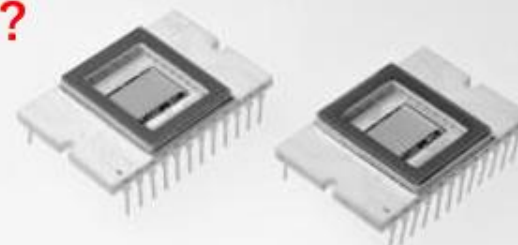
イメージセンサー (CCD・CMOS)

概要 イノベーションに至る経緯 発明技術開発の概要 主な受賞歴 参考文献等

参考文献等

1. W. S. Boyle and G. E. Smith 「Charge Coupled Semiconductor Devices」, The Bell System Technical Journal, vol.49 (1970) pp.587-593
2. 山田哲生「固体撮像装置」特開昭54-95116、1978年1月13日出願
3. 寺西信一 外「固体撮像装置」特開57-62557、1980年10月2日出願
4. 米田智也 外「固体撮像装置」特開2001-230400、2000年11月30日出願
5. 鈴木亮司 外「X-Yアドレス型固体撮像素子およびその製造方法」特開2003-31785、2001年7月11日出願
6. 梅林拓 外「半導体装置とその製造方法、及び電子機器」特開2015-65479、2010年1月22日出願

CCD撮像素子 (ICX008)



萩原がSONY現役時代に設計したCCD CHIP

(画像提供：ソニー)



ELECTRICAL ENGINEERING

「萩原が Pinned Photodiodeの発明者だ」と断定している。

Difference between Buried Photodiode and Pinned Photodiode

A pinned PD is by necessity a buried PD, but not all buried PD's are pinned. The first Pinned PD was invented by Hagiwara at Sony and is used in ILT CCD PD's, these same PD's and the principles behind this complete transfer of charge are used in most CMOS imagers built today.

You can get surface state pinning from the dangling Si/SiO₂ bonds providing trapping centers. A buried PD (Photodiode) has a shallow implant that forces the charge carriers away from these surface traps. The Si/SiO₂ surface contributes to increased leakage (dark current) and noise (particularly 1/f noise from trapping/de-trapping). So confusingly a buried PD avoids pinning of the fermi-level at the surface.

I've edited this Answer to acknowledge Hagiwara-san's contribution. It has long been incorrectly attributed to Teranishi and to Fossum (in CMOS image sensors)

“The first Pinned Photodiode was invented by Hagiwara at Sony.”

“It has long been incorrectly attributed to Teranish and to Fossum.”



ELECTRICAL ENGINEERING

「萩原が Pinned Photodiodeの発明者だ」と断定している。

Difference between Buried Photodiode and Pinned Photodiode

A pinned PD is by necessity a buried PD, but not all buried PD's are pinned. The first Pinned PD was invented by Hagiwara at Sony and is used in ILT CCD PD's, these same PD's and the principles behind this complete transfer of charge are used in most CMOS imagers built today.

You can get surface state pinning from the dangling Si/SiO₂ bonds providing trapping centers. A buried PD (Photodiode) has a shallow implant that forces the charge carriers away from these surface traps. The Si/SiO₂ surface contributes to increased leakage (dark current) and noise (particularly 1/f noise from trapping/de-trapping). So confusingly a buried PD avoids pinning of the fermi-level at the surface.

I've edited this Answer to acknowledge Hagiwara-san's contribution. It has long been incorrectly attributed to Teranishi and to Fossum (in CMOS image sensors)

“The first Pinned Photodiode was invented by Hagiwara at Sony.”

“It has long been incorrectly attributed to Teranish and to Fossum.”

Recent Publications on Pinned Photodiode by Hagiwara (AIPS)

+++++

(1) [P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf](#)

(2) [P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf](#)

[EDTM2020_Paper_on_the_P+PN+P_Junction_Pinned_Photodiode_and_Schottky_Barrier_Photodiode.html](#)

(3) [P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.pdf](#)

[P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.html](#)

(4) [P2021_ICECET2021_Paper61.pdf](#)

[P2021_ICECET2021_Paper61_html](#)

(5) [P2021ICECET2021_Paper75.pdf](#)

[P2021_ICECET2021_Paper75_html](#)

+++++

Multichip CMOS Image Sensor Structure for Flash Image Acquisition

Abstract— A new 3D Pinned Photodiode (HAD) CMOS image sensor structure applied in the 3-Dimensional multichip high speed digital flash image data acquisition system is explained and the important features are discussed.

Keywords— **Cache SRAM, ADC, Pinned Photodiode, Depletion Photodiode, Buried Photodiode, Back Light Illumination, Global Shutter Buffer Memory, In-pixel Three Transistor Current Source Amplifier.**

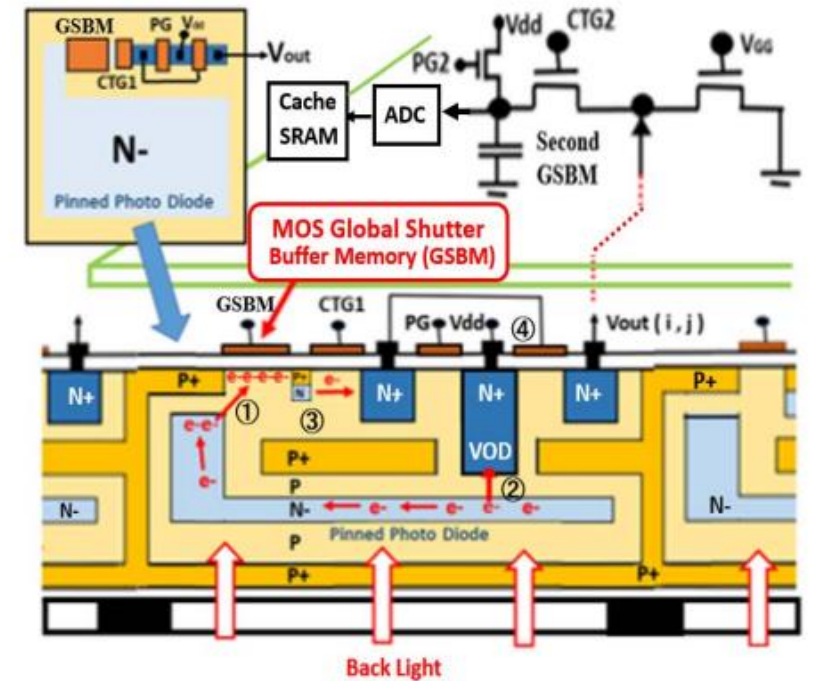


Fig.1: Cross Section of Buried Depletion Pinned Photodiode stacked with two Global Shutter Buffer Memory (GSBM) and CTG stages in two chip configuration for synchronizing data transfer to the receiving ADC and Cache SRAM chips.

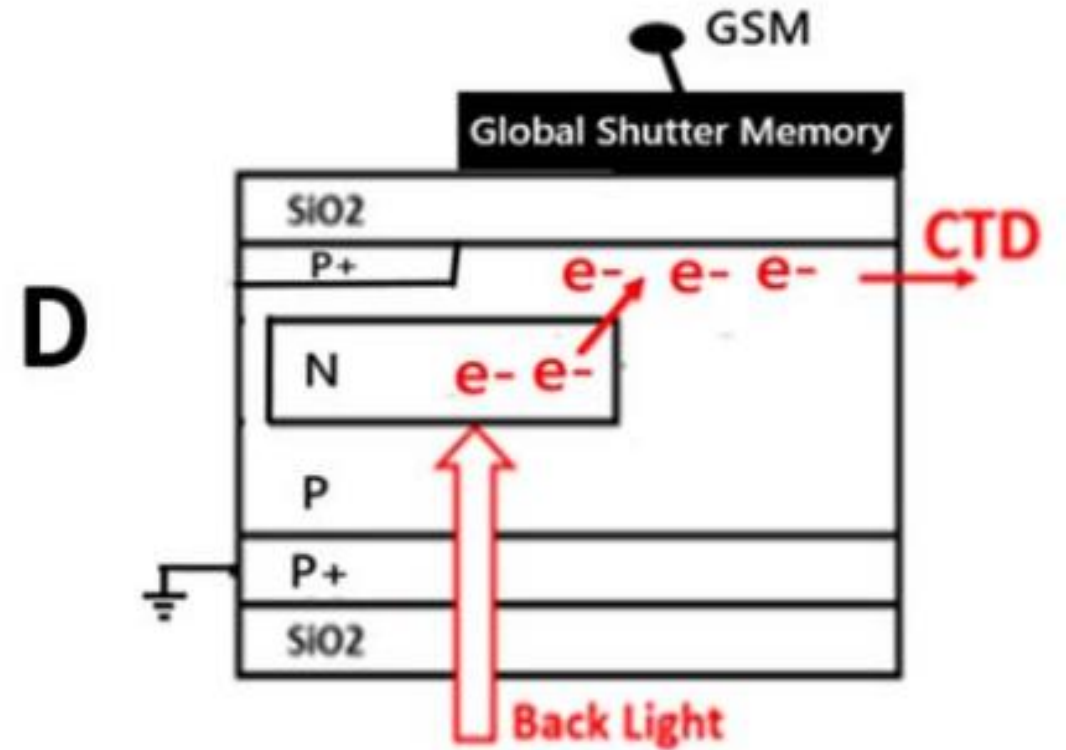
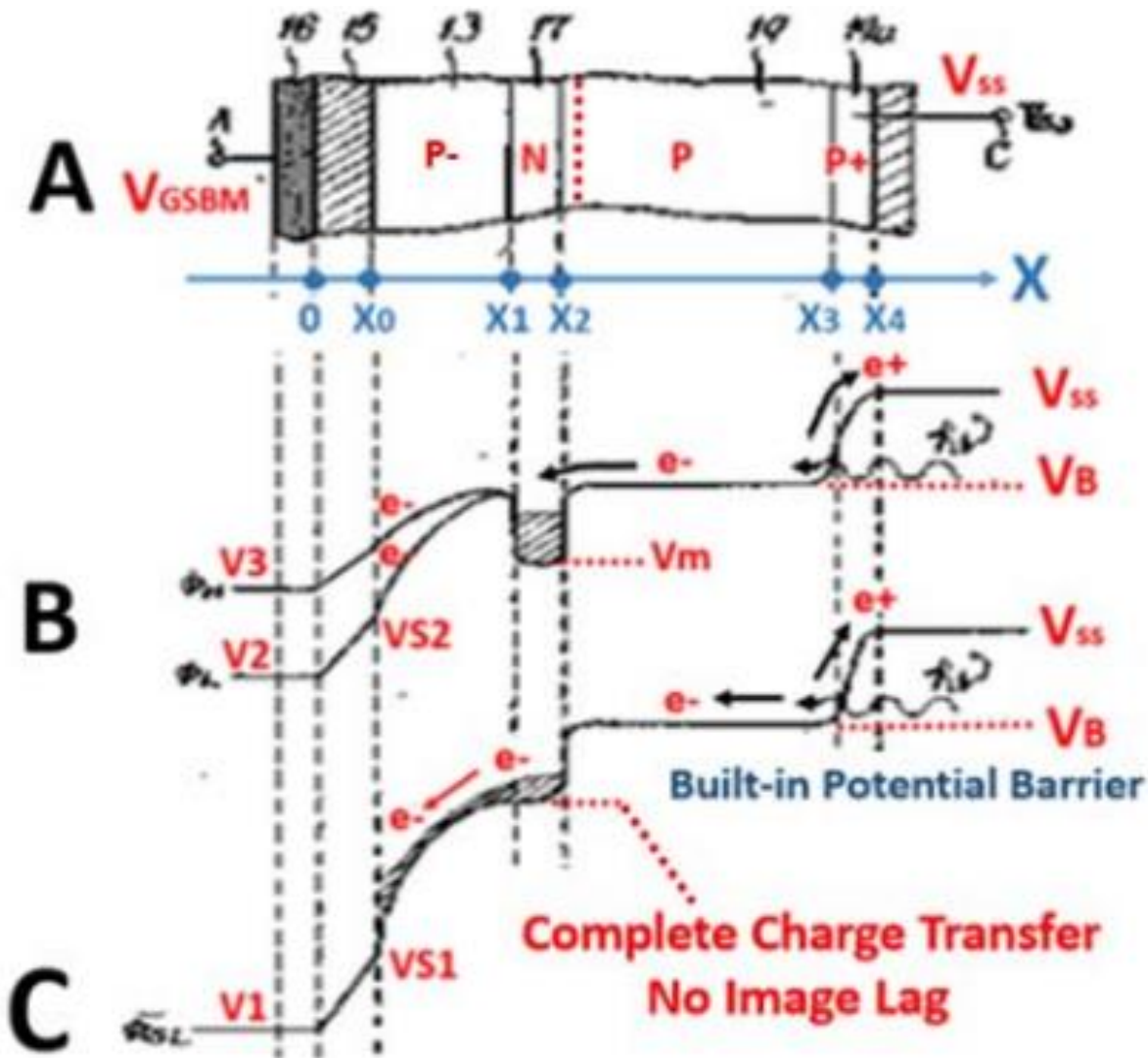


Fig. 2: The P+PNP junction type Buried Depletion Pinned Photodiode with no image lag feature with MOS Capacitor type Global Shutter Buffer Memory (GSBM) invented and defined in Japanese 1975 patent¹ by Hagiwara.

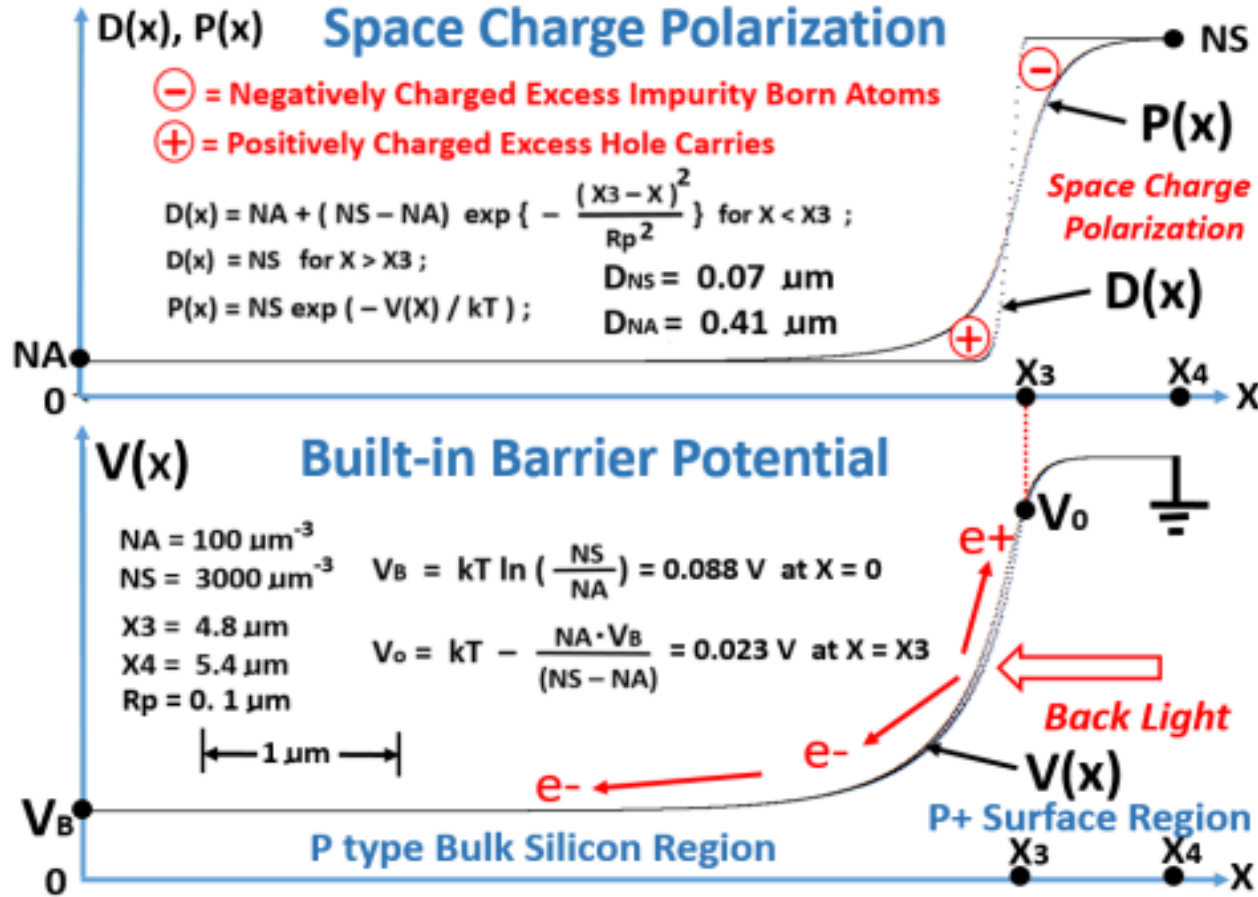


Fig. 3: Exact numerical calculations of Gaussian P+P doping profile $D(x)$, the hole carrier density $P(x)$ and the built-in barrier potential $V(x)$.

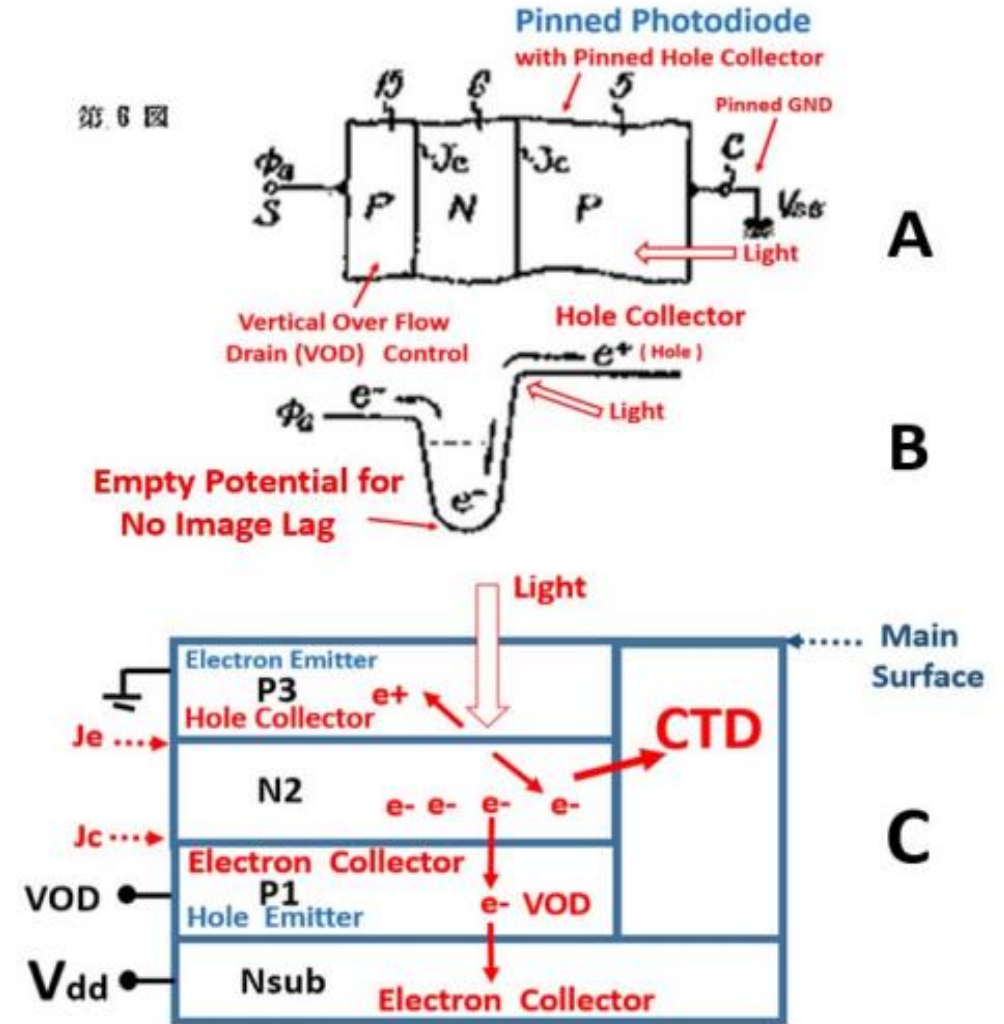


Fig. 4: The P+NPNsub junction type Hole Accumulation Diode (HAD)⁶ invented by Hagiwara in 1975.

(1) [P2019_3DIC2019_Paper_on_3D_Pinned_Phodiode_6_pages.pdf](#)

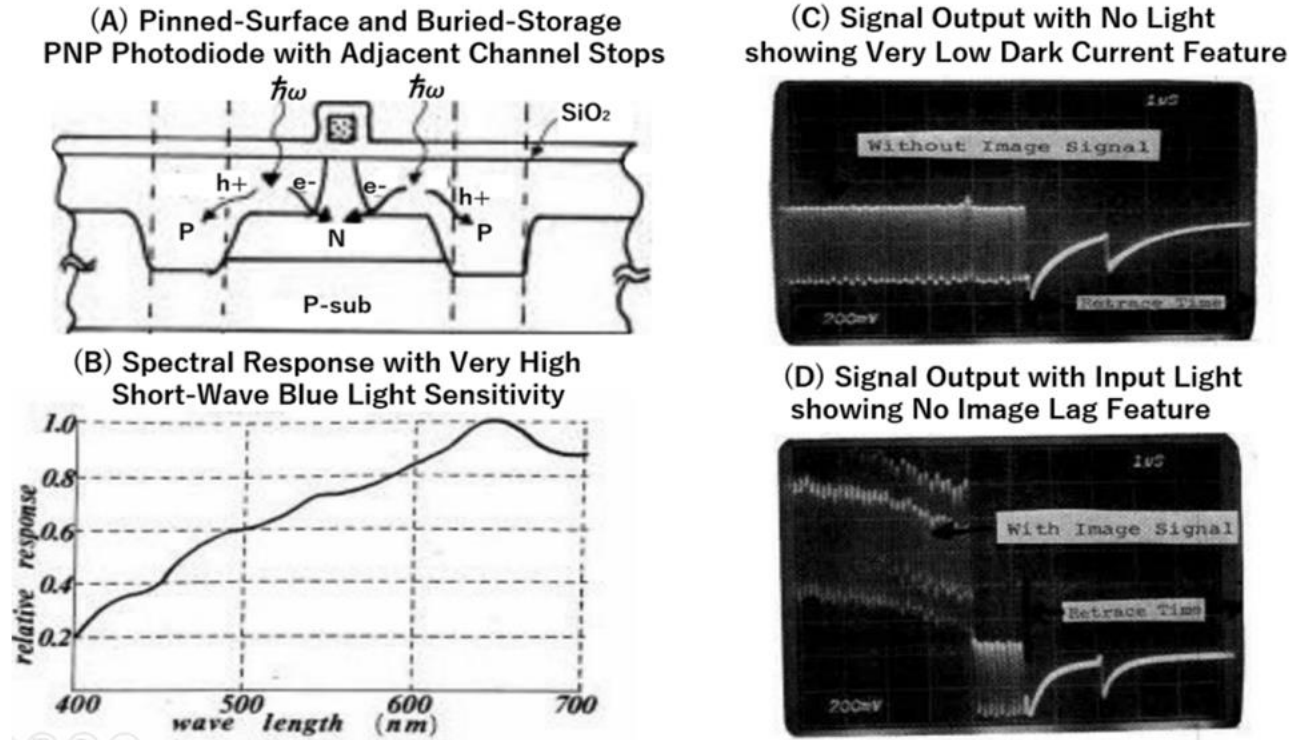


Figure 16. The Spectral Response and Signal Outputs reported in Hagiwara SSDM1978 Paper [6-7] showing the No Image Lag Feature.

[9] Yoshiaki Hagiwara, Motoaki Abe and Chikara Okada, "A 380H X 488V CCD Imager with Narrow Channel Transfer Gates", Proceeding of the 10th Conference on Solid State Devices, September 1978, Tokyo Japan, Japanese Journal of Applied Physics, Volume 18 Sup 18-1, pp. 335-340 November 1979.

Fig. 5: Reproduction of figures reported in Hagiwara 1978 paper², (A) P+NPsub junction type Pinned Photodiode structure, (B) the Excellent Blue Light Sensitivity (C) no dark current feature and (D) no image lag feature.

P+NP junction type Pinned Photodiode(A) has the following three very important features, (B) Excellent short wave blue light quantum efficiency, which is the most important feature of Hagiwara 1975 patent⁶, (C) no surface dark current problem and (D) no image lag problem, with also the feature of no surface interface trap (Nss) noise (E). But nothing is new about the feature (D) and (E) since CCD had these two features already by 1975.

In 1966, the in-pixel active source follower amplifier circuit for MOS image sensors was invented by Peter Noble. See Fig. 6.

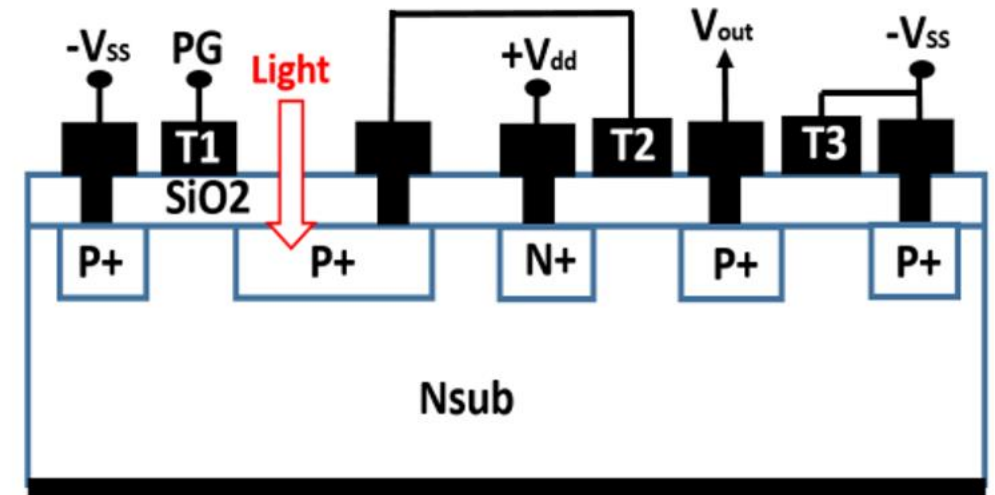


Fig. 6: In-pixel amplifier circuit by Peter Noble, 1966

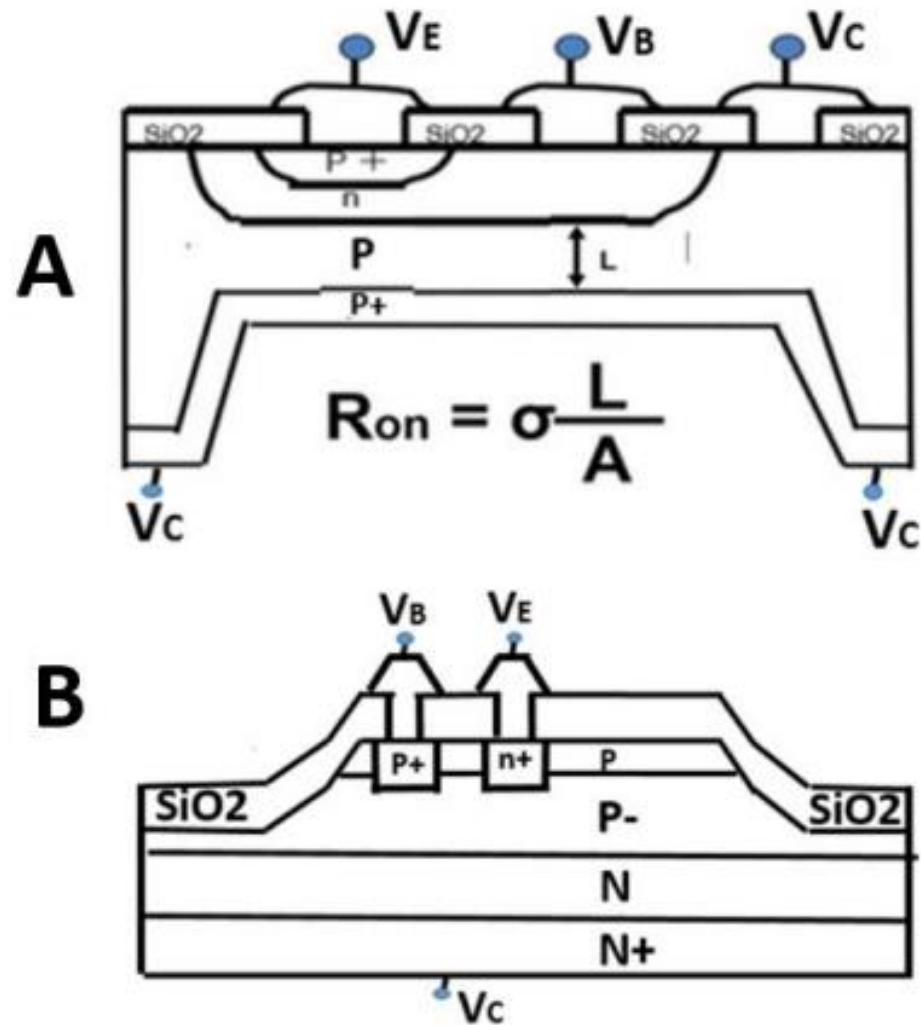


Fig. 7: Bipolar Transistor Process invented and developed by Yoshiyuki Kawana (A) and Toshio Kato (B) in 1950s.

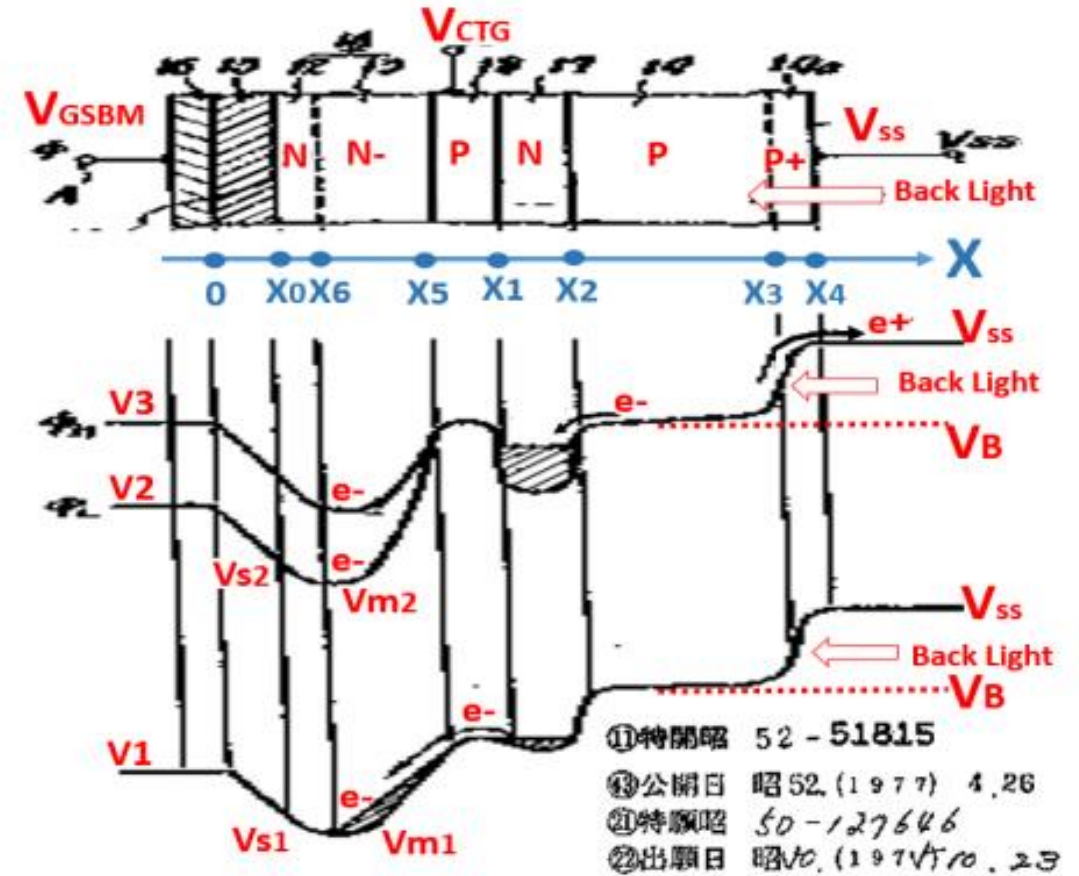


Fig. 8: The P+PNPN junction type Pinned Photodiode¹⁰ with Global Shutter MOS Buffer Memory (GSBM) and the NPN junction type vertical charge transfer gating (CTG).

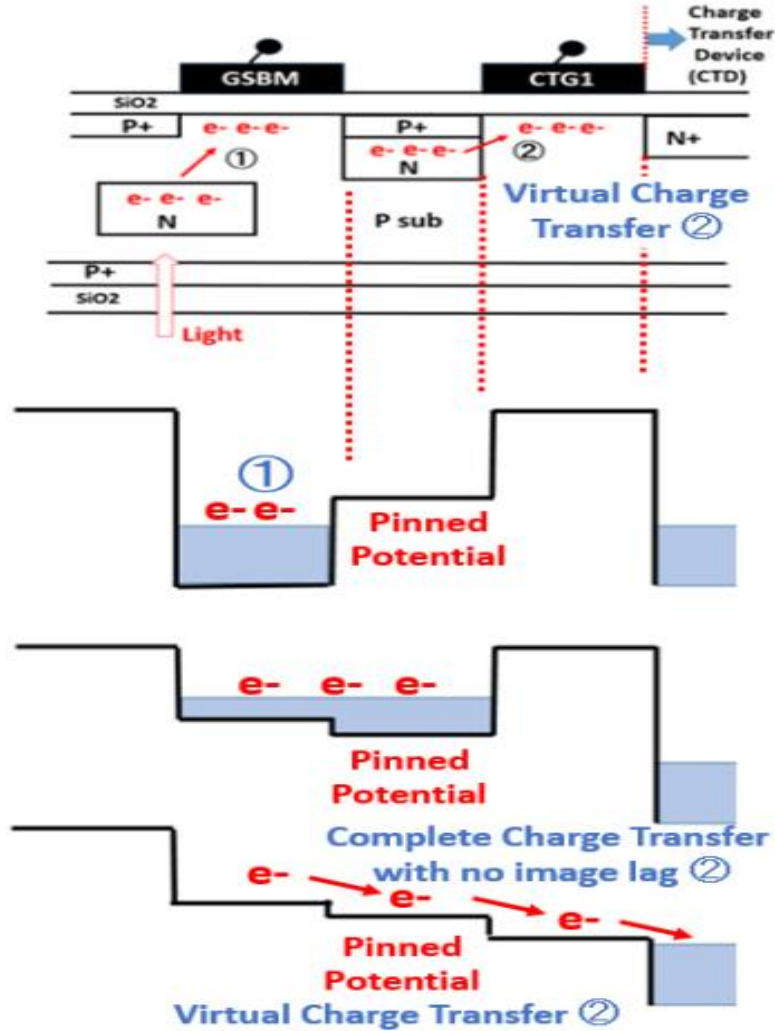


Fig.9: The important concept of Virtual Phase Charge Transfer of the Pinned Photodiode with the complete charge transfer operation mode for no image lag feature, described and invented by Hagiwara 1975 patents^{1, 6, 10, 11}.

The charge transfer operation with the pinned surface potential for the virtual gating concept is very similar to the CCD charge transfer operation. Fig. 9 shows the virtual charge transfer concept explained by Hagiwara^{1, 6, 11} in 1975. Henecek¹² invented an additional potential barrier stage to achieve the directionality of the virtual phase signal charge transfer operation, which was hinted by Hagiwara 1975 invention⁶ and the virtual phase charge transfer operation of the image lag free Pinned Photodiode¹ as shown in Fig. 1.

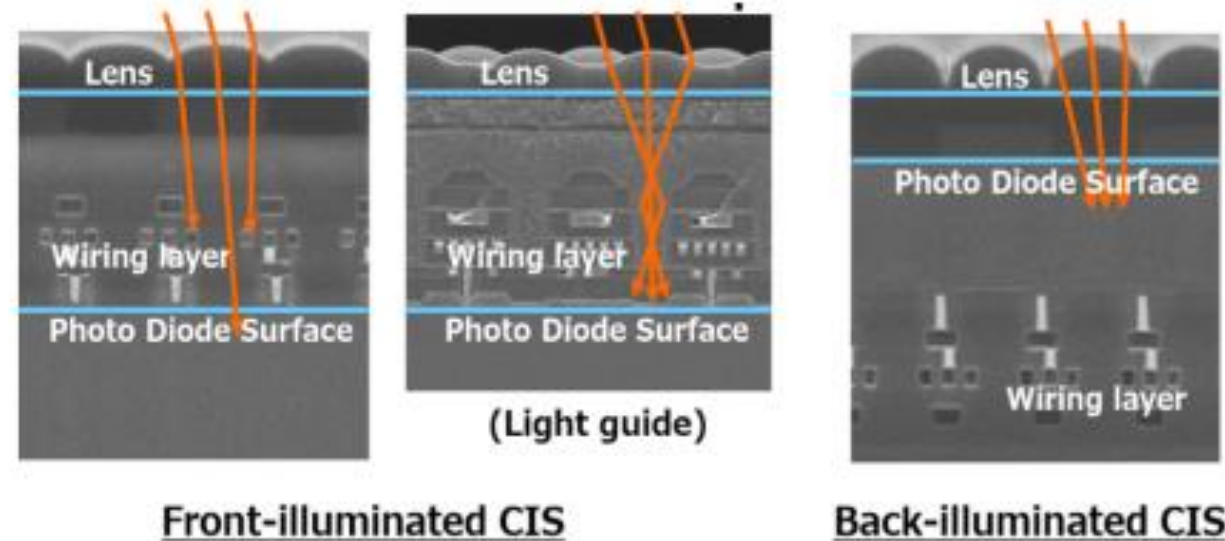


Fig. 10: Cross sectional photos of CMOS image sensors

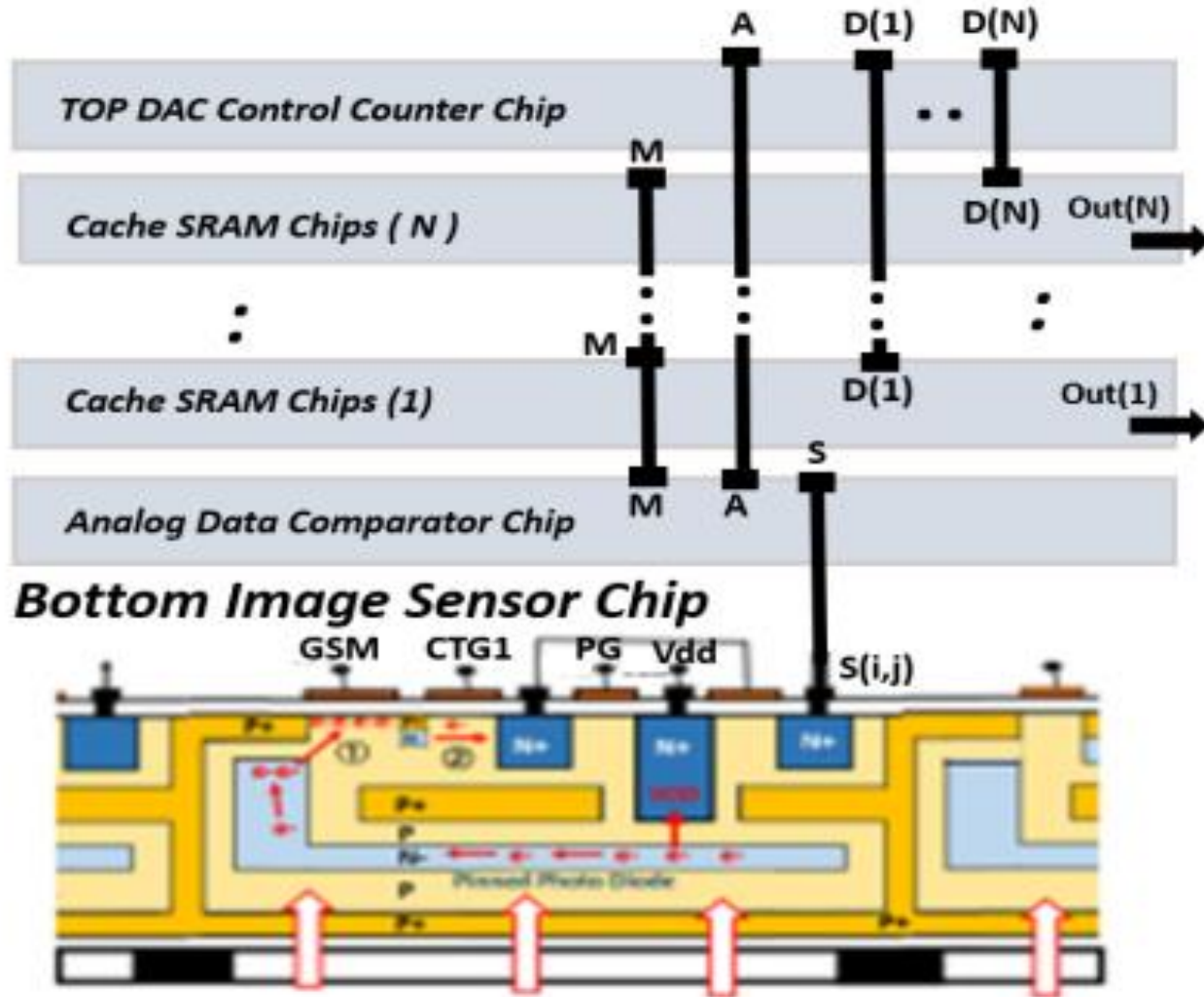


Fig. 11 : Metal Cu pillar signal pass wires thru multichip for the future 3D multichip flash image acquisition system.

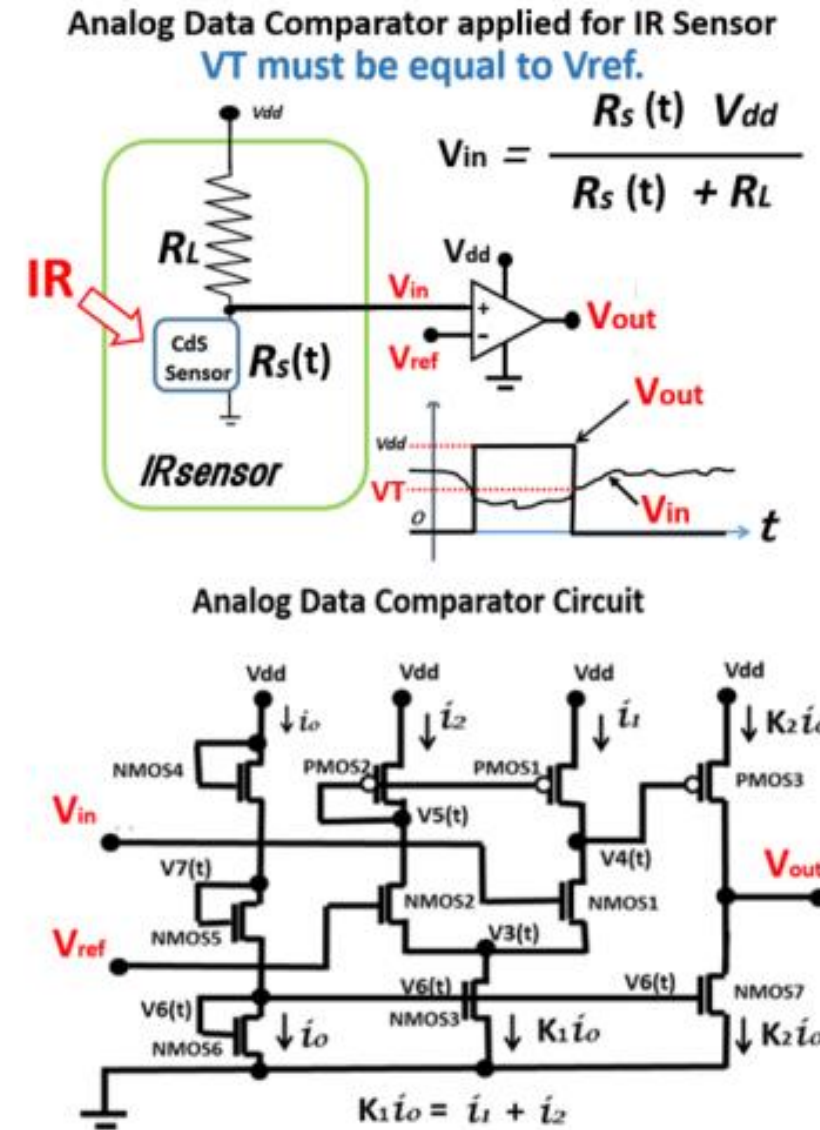


Fig. 12: Conventional Analog Data Comparator Circuit

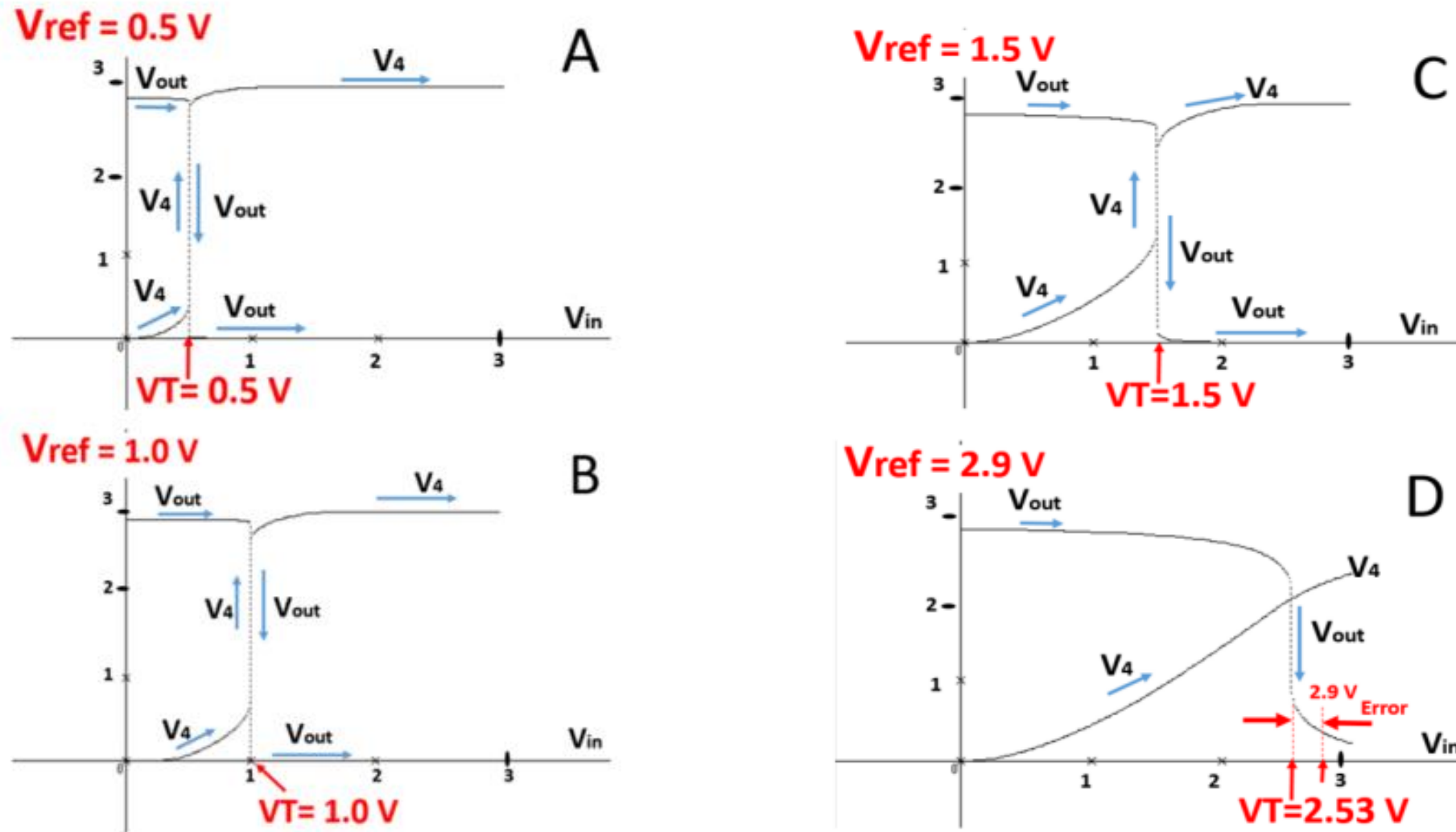


Fig.13: the circuit simulation results of the analog data comparator for the various reference voltage V_{ref} values

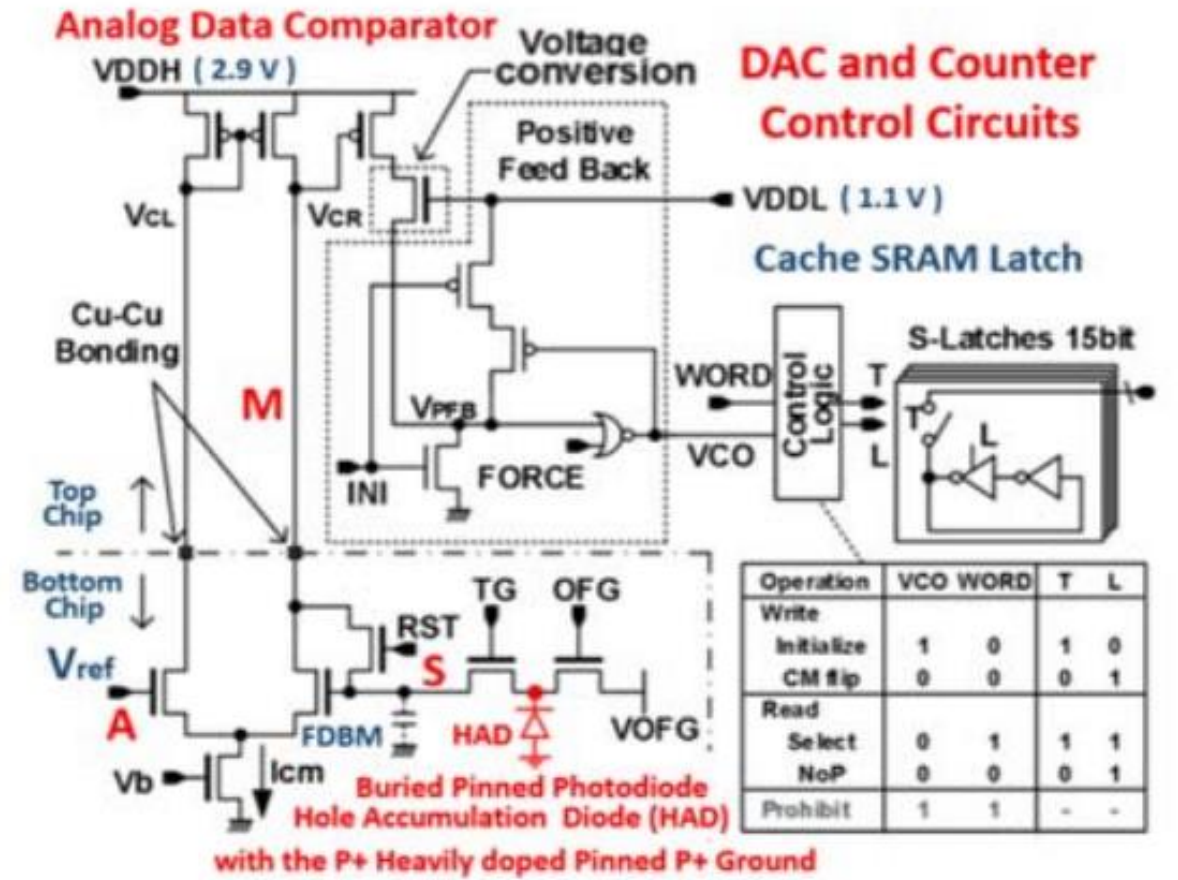
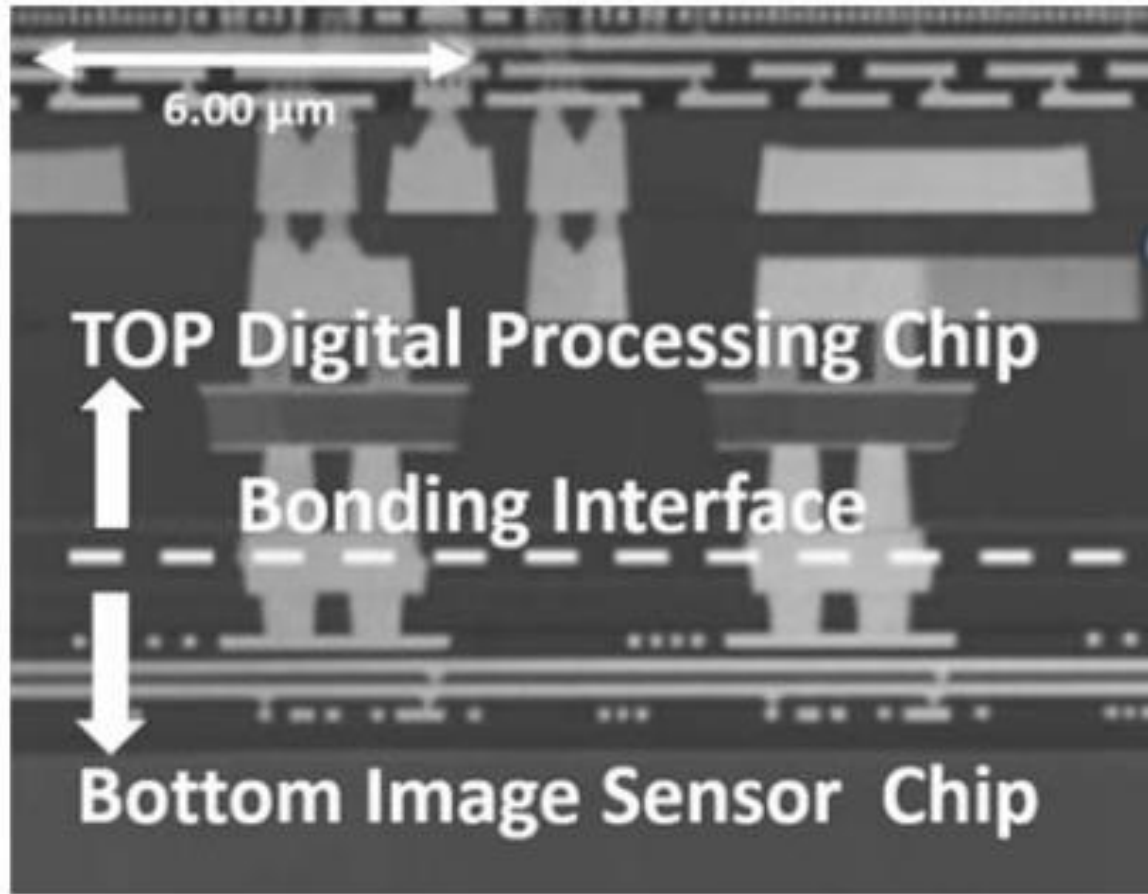


Fig. 14: Cross Sectional View of two chip stacked back-illuminated CMOS Image Sensor¹⁴ with the in-pixel analog comparator control circuits to generate the match signal M from the reference voltage A and the image sensor signal S.

X. CONCLUSION

Hole Accumulation Diode⁶ (HAD), with the P+ heavily doped surface hole accumulation layer, invented in 1975, is very important, because first of all it has the excellent short wave length blue light sensitivity feature producing the high picture quality of color reproduction in low level light illumination, which is realized by the photo electron and hole pair generation and separation in the built-in potential barrier¹ and the electric field at the surface heavily doped P+ hole accumulation HAD. No dark current is the second important feature. And no image lag is the third one since CCD was known to have the no image lag feature already. But CCD itself does NOT have the excellent blue light sensitivity and does NOT have the low dark current feature which the Pinned Photodiode^{1,2,6,10} invented by Hagiwara

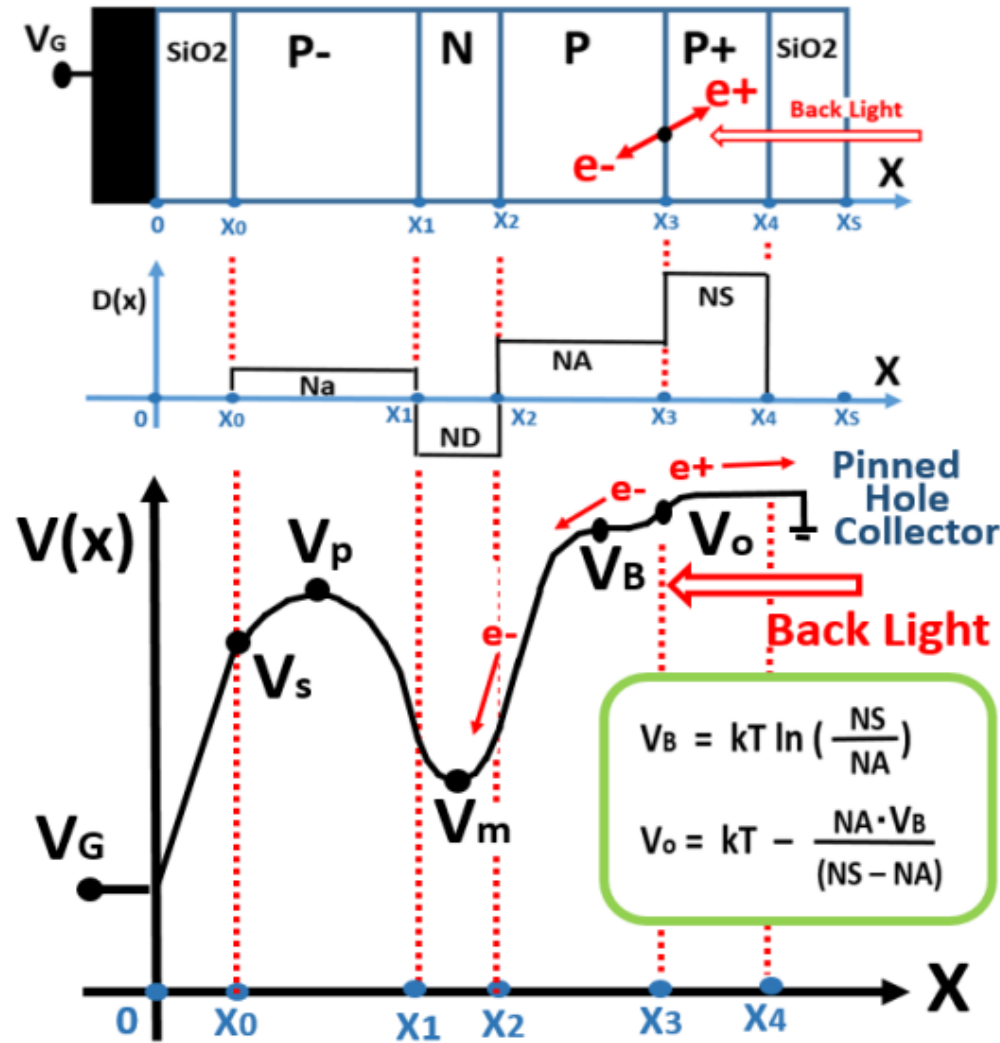


Fig. 15: Electrostatic Analysis of the surface Built-in Barrier Potential V_B and V_o by Depletion Approximation.

- [1] Japanese 1975-127647 Patent, filed on Oct 23, 1975 on Buried Depletion and Pinned Photodiode with complete charge transfer and no image lag feature with MOS Capacitor type Global Shutter Buffer Memory (GSBM) function invented by Yoshiaki Hagiwara in 1975.
- [2] Y. Daimon-Hagiwara, M. Abe, and C. Okada, "A 380Hx488V CCD imager with narrow channel transfer gates," Proc. of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese J. Appl. Phys., vol. 18, supplement 18-1, pp. 335-340.
- [3] Albert Theuwissen, "The Hole Role", IEDM2005, IEDM Technical Digest, Dec 2005

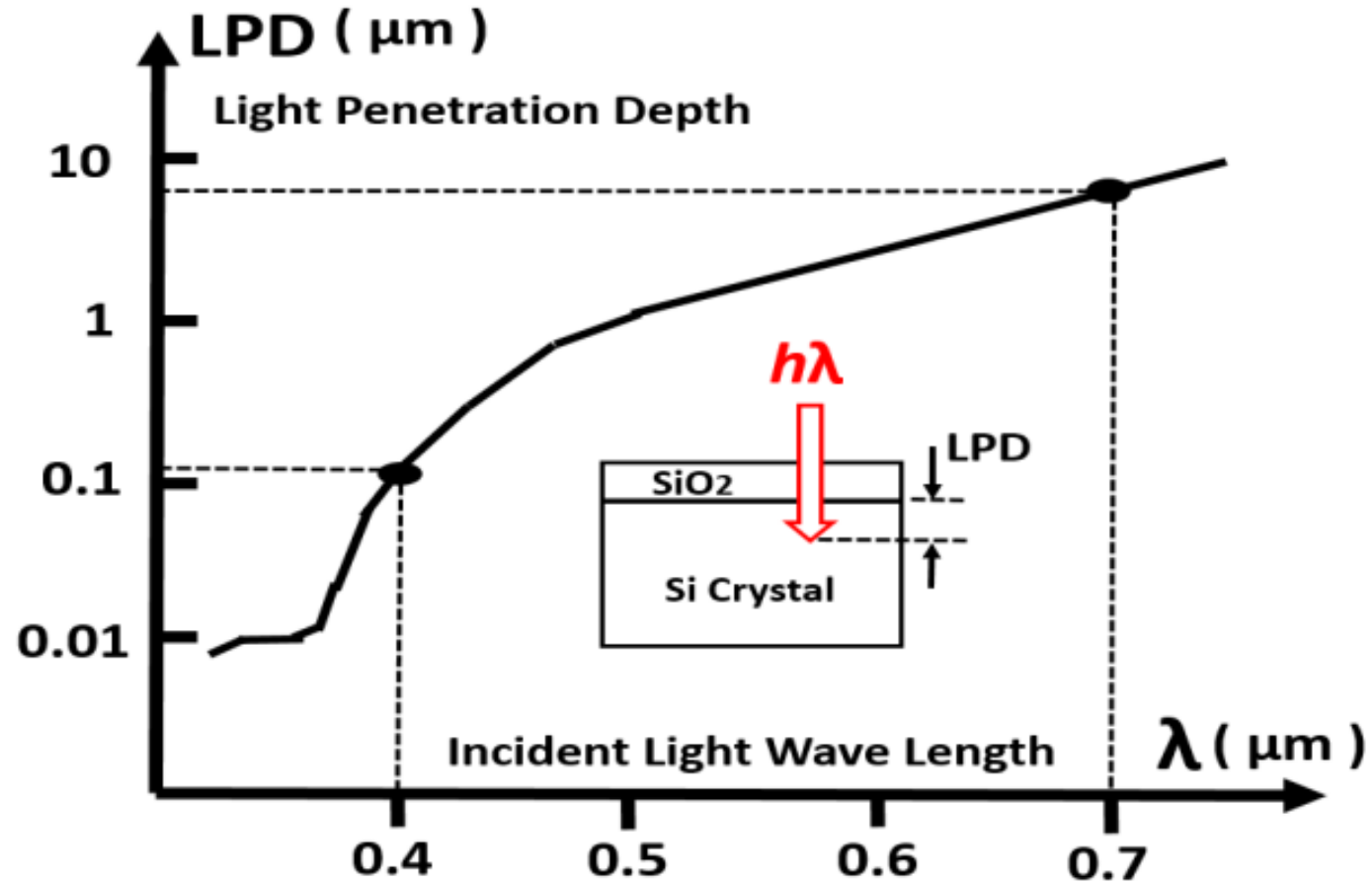
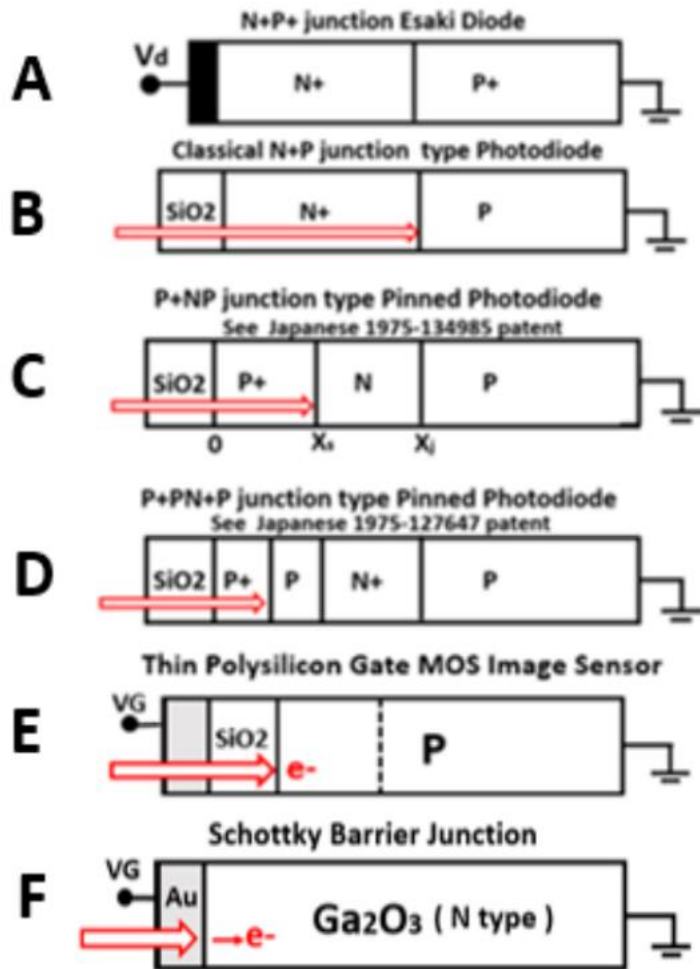


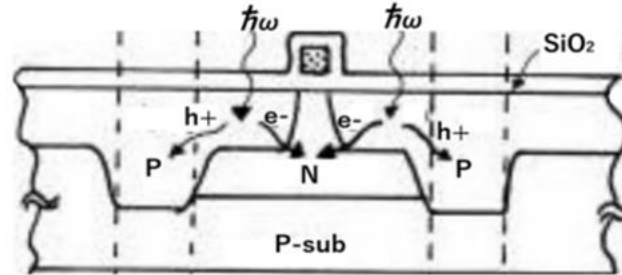
Fig 1: Light Penetration Depth (LPD) in Silicon Crystal.

(2) [P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf](#)

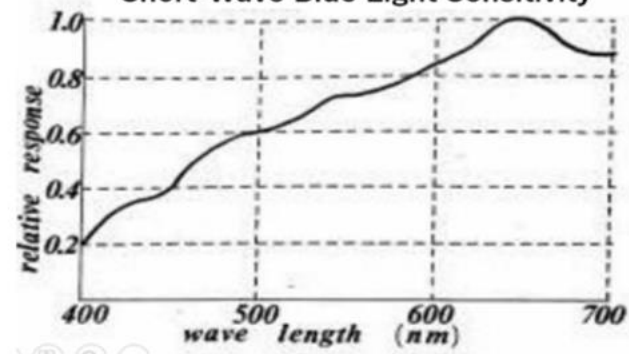
[EDTM2020_Paper_on_the_P+PN+P_Junction_Pinned_Phodiode_and_Schottky_Barrier_Phodiode.html](#)



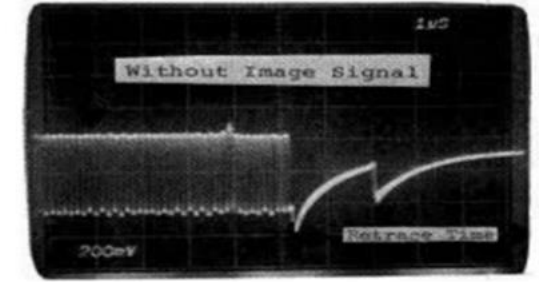
(A) Pinned-Surface and Buried-Storage PNP Photodiode with Adjacent Channel Stops



(B) Spectral Response with Very High Short-Wave Blue Light Sensitivity



(C) Signal Output with No Light showing Very Low Dark Current Feature



(D) Signal Output with Input Light showing No Image Lag Feature

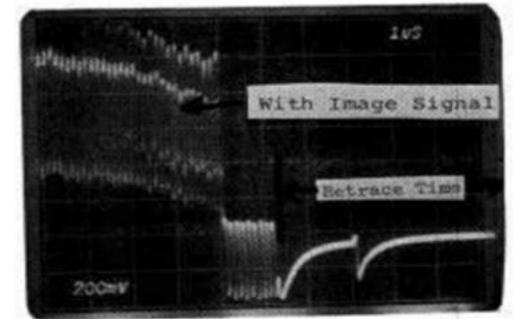


Figure 16. The Spectral Response and Signal Outputs reported in Hagiwara SSDM1978 Paper [6-7] showing the No Image Lag Feature.

[9] Yoshiaki Hagiwara, Motoaki Abe and Chikara Okada, "A 380H X 488V CCD Imager with Narrow Channel Transfer Gates", Proceeding of the 10th Conference on Solid State Devices, September 1978, Tokyo Japan, Japanese Journal of Applied Physics, Volume 18 Sup 18-1, pp. 335-340 November 1979.

Fig 3: Features of P+PN junction type Pinned Photodiode

Fig 2: various types of photo sensor structures.

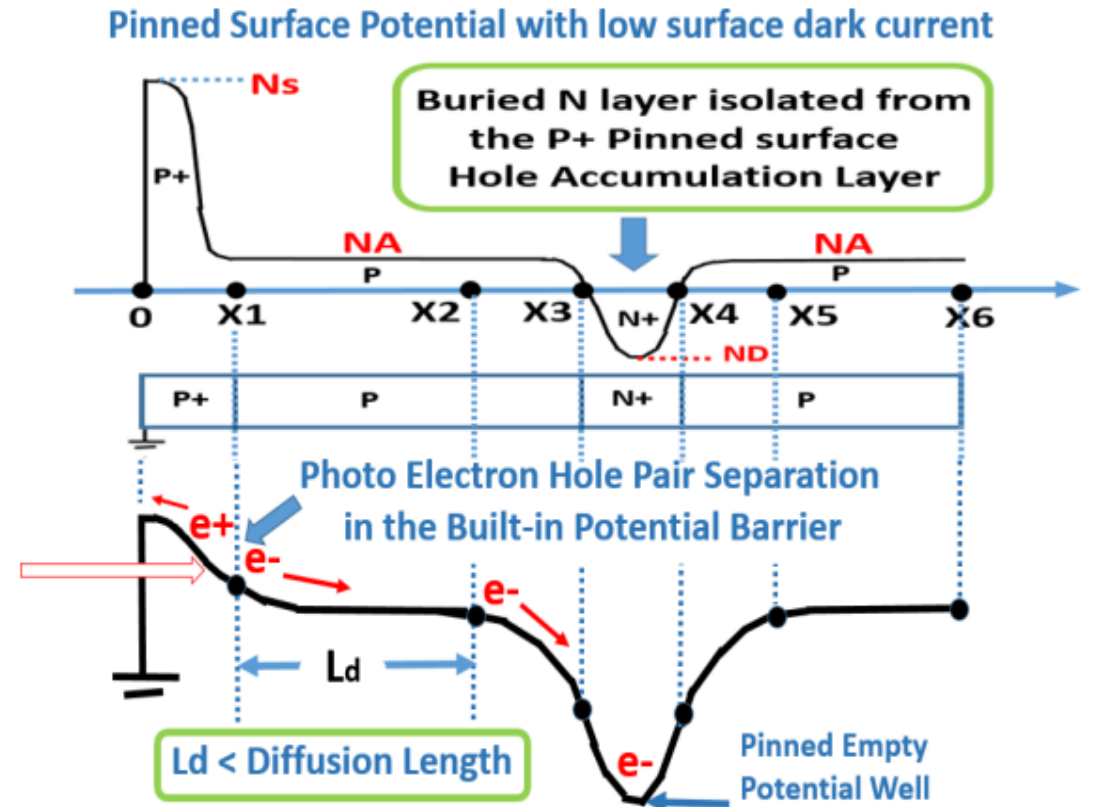
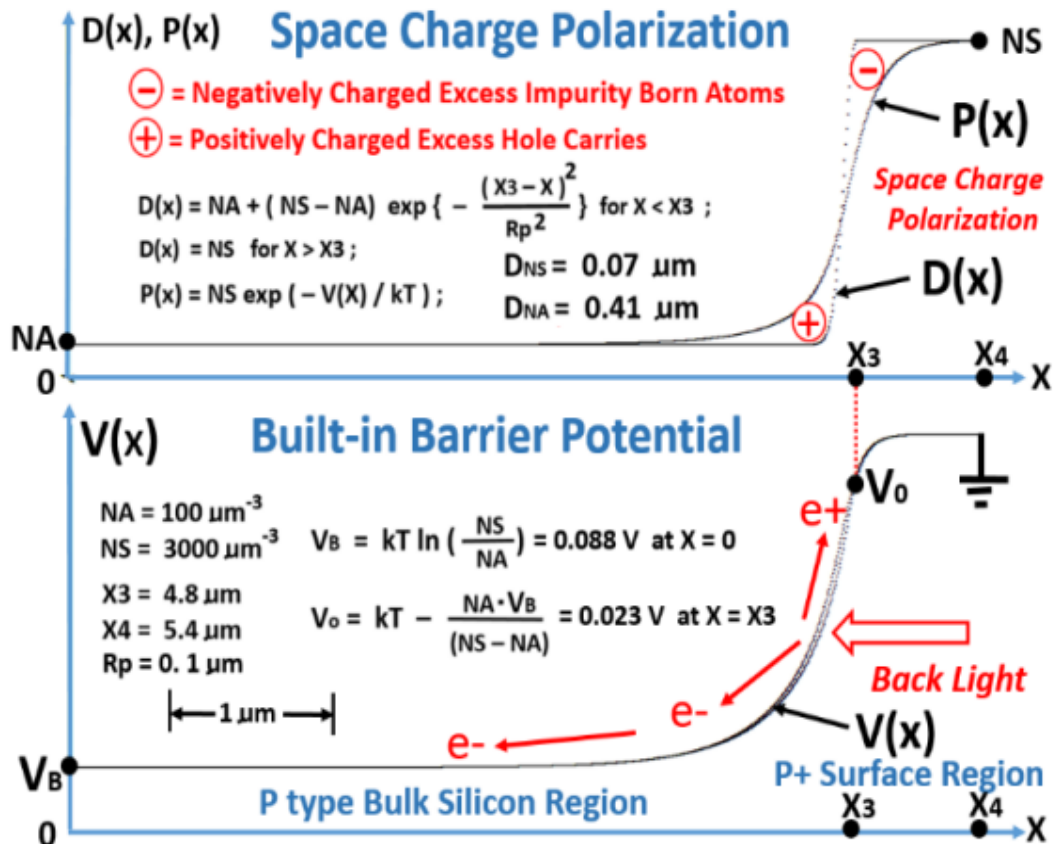


Fig. 4: Exact numerical calculations of Gaussian P+P doping profile $D(x)$, the hole carrier density $P(x)$ and the built-in barrier potential $V(x)$.

Fig. 5: P+PN+P junction type Buried Pinned Photodiode defined in Hagiwara Japanese 1975-127647 patent.

(2) [P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf](#)

[EDTM2020_Paper_on_the_P+PN+P_Junction_Pinned_Phodiode_and_Schottky_Barrier_Phodiode.html](#)

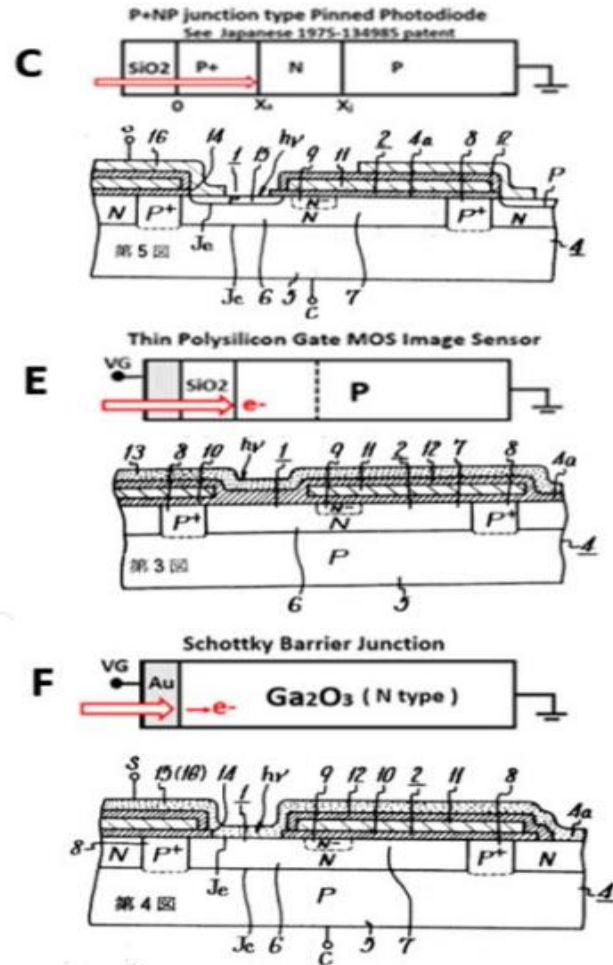
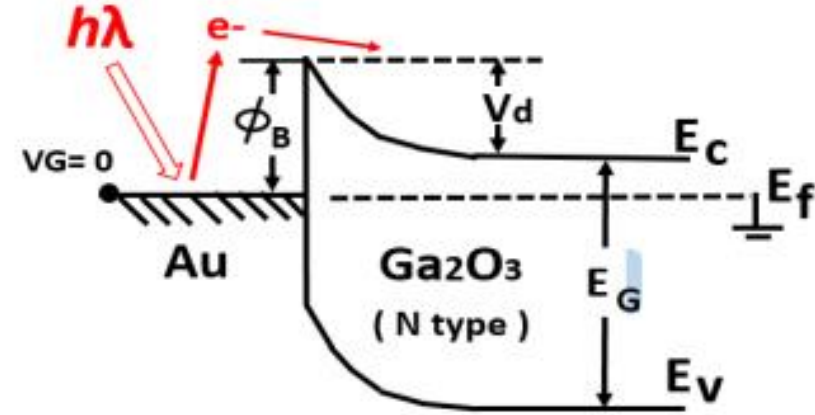


Fig. 6: Cross sectional views of Type C P+NP junction Pinned Photodiode sensor, Type E MOS capacitor photo sensor and Type F Schottky barrier photo sensor.

Schottky Barrier Photo Response with zero bias



Schottky Barrier Forward Bias Response

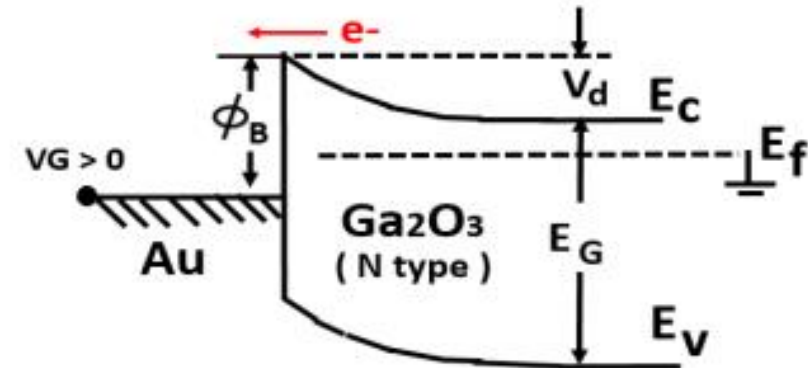


Fig. 7: Au/Ga₂O₃ Schottky Barrier Band Diagram

(2) [P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf](#)

[EDTM2020_Paper_on_the_P+PN+P_Junction_Pinned_Phodiode_and_Schottky_Barrier_Phodiode.html](#)

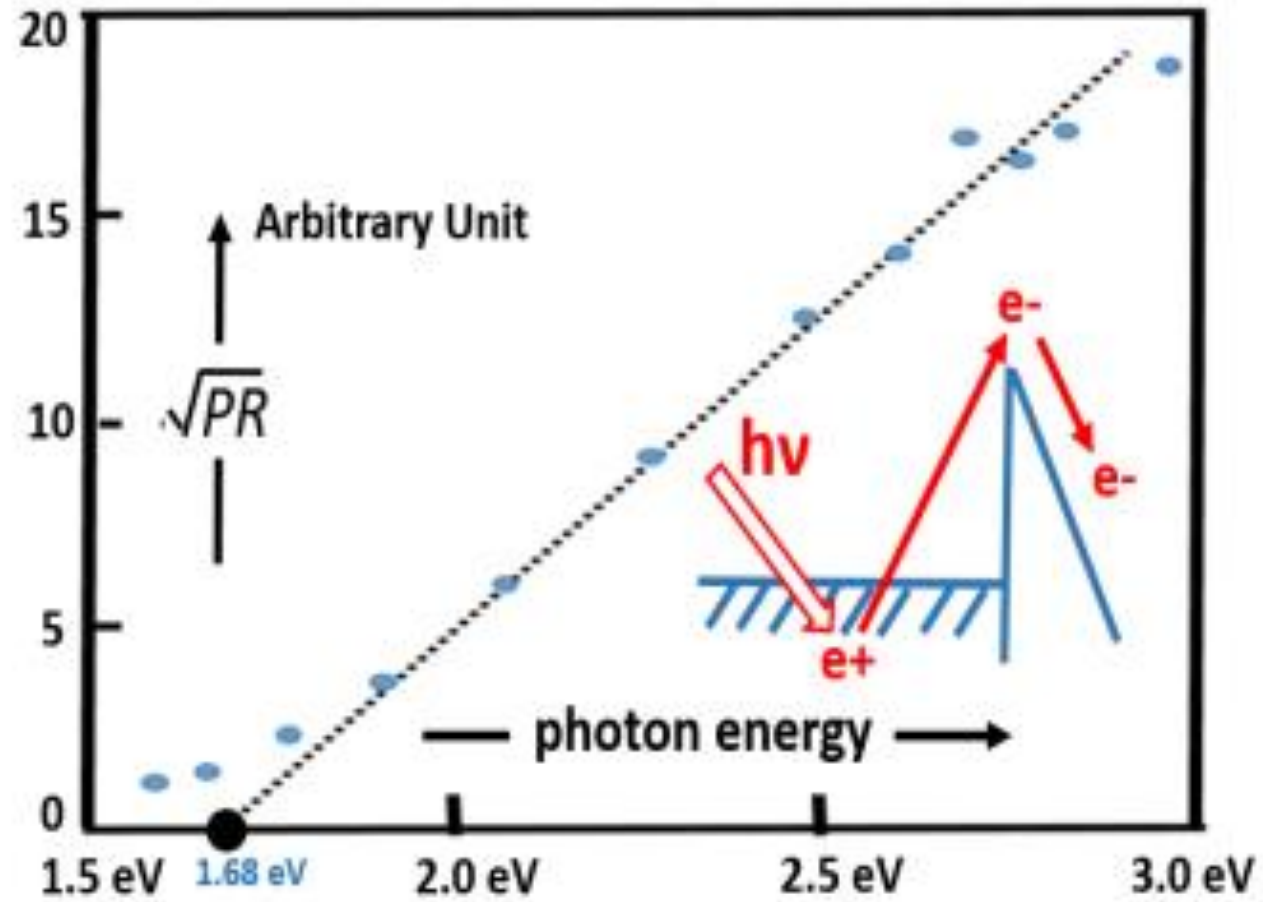


Fig. 8: Photo Response of Ga₂O₃-Au Schottky Barrier

(2) [P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf](#)

[EDTM2020_Paper_on_the_P+PN+P_Junction_Pinned_Photodiode_and_Schottky_Barrier_Photodiode.html](#)

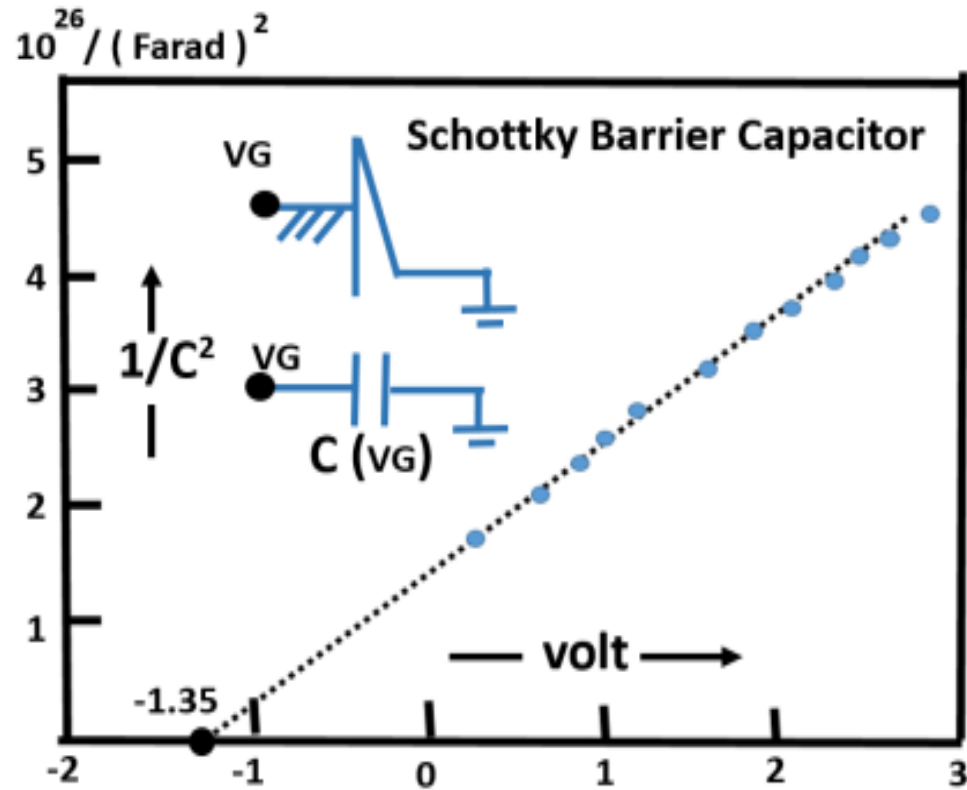


Fig. 9: CV measurement of Ga₂O₃-Au Schottky Barrier

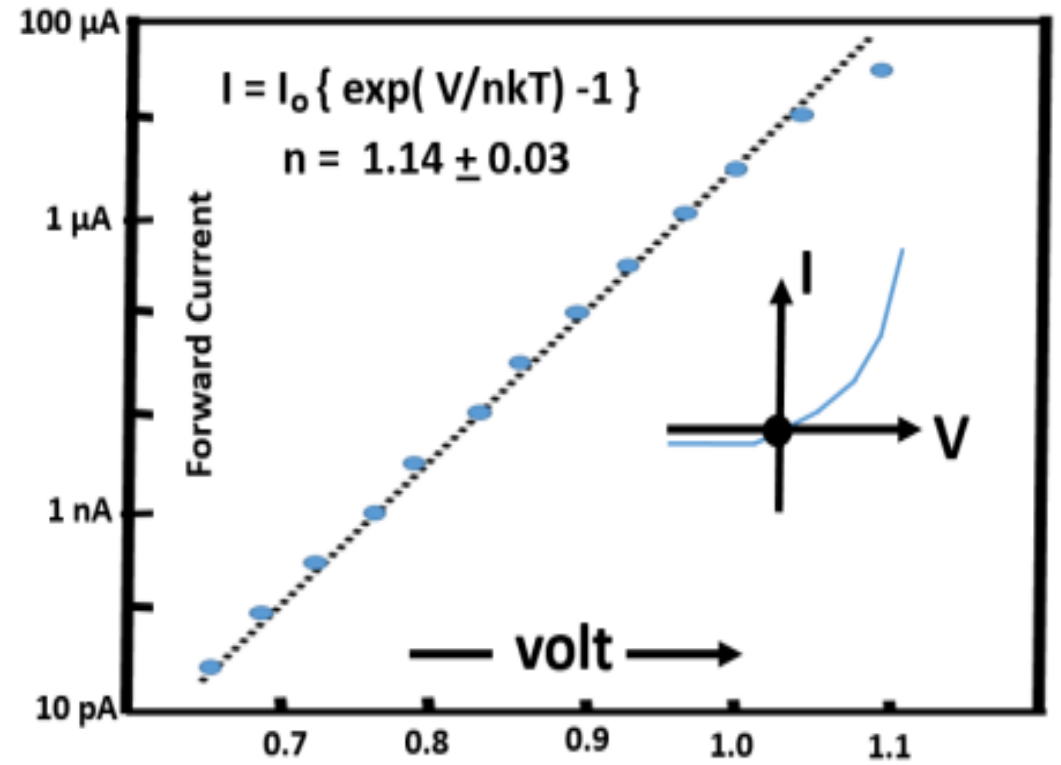


Fig. 10: IV measurement of Ga₂O₃-Au Schottky Barrier

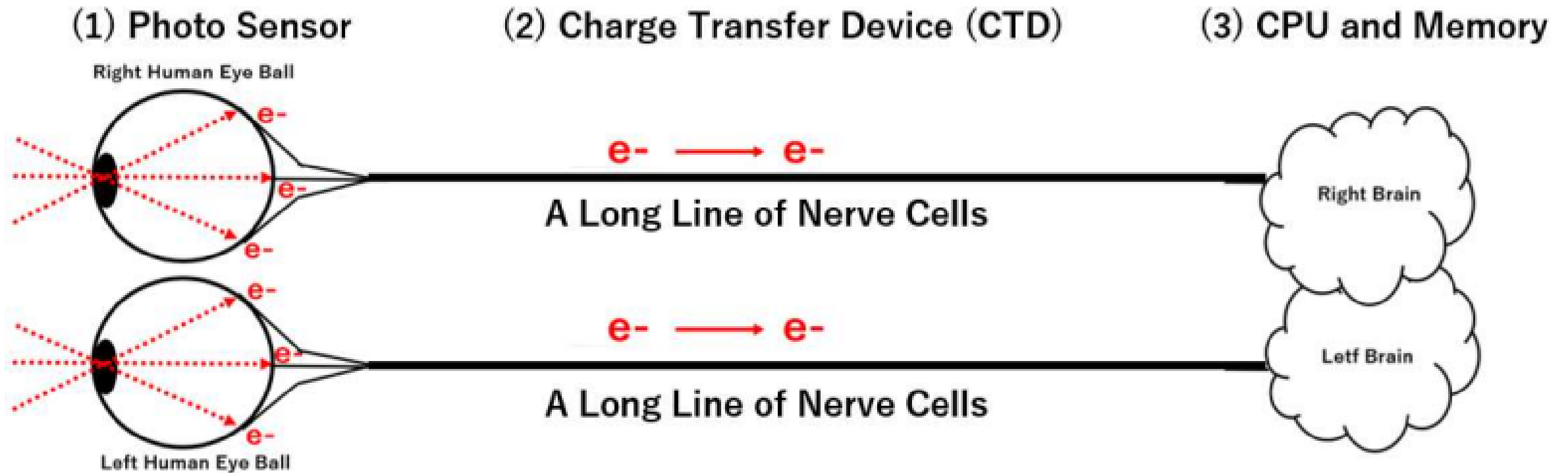


Figure 1. Artificial Intelligent (AI) Image Sensor Structure with Three Basic Parts.

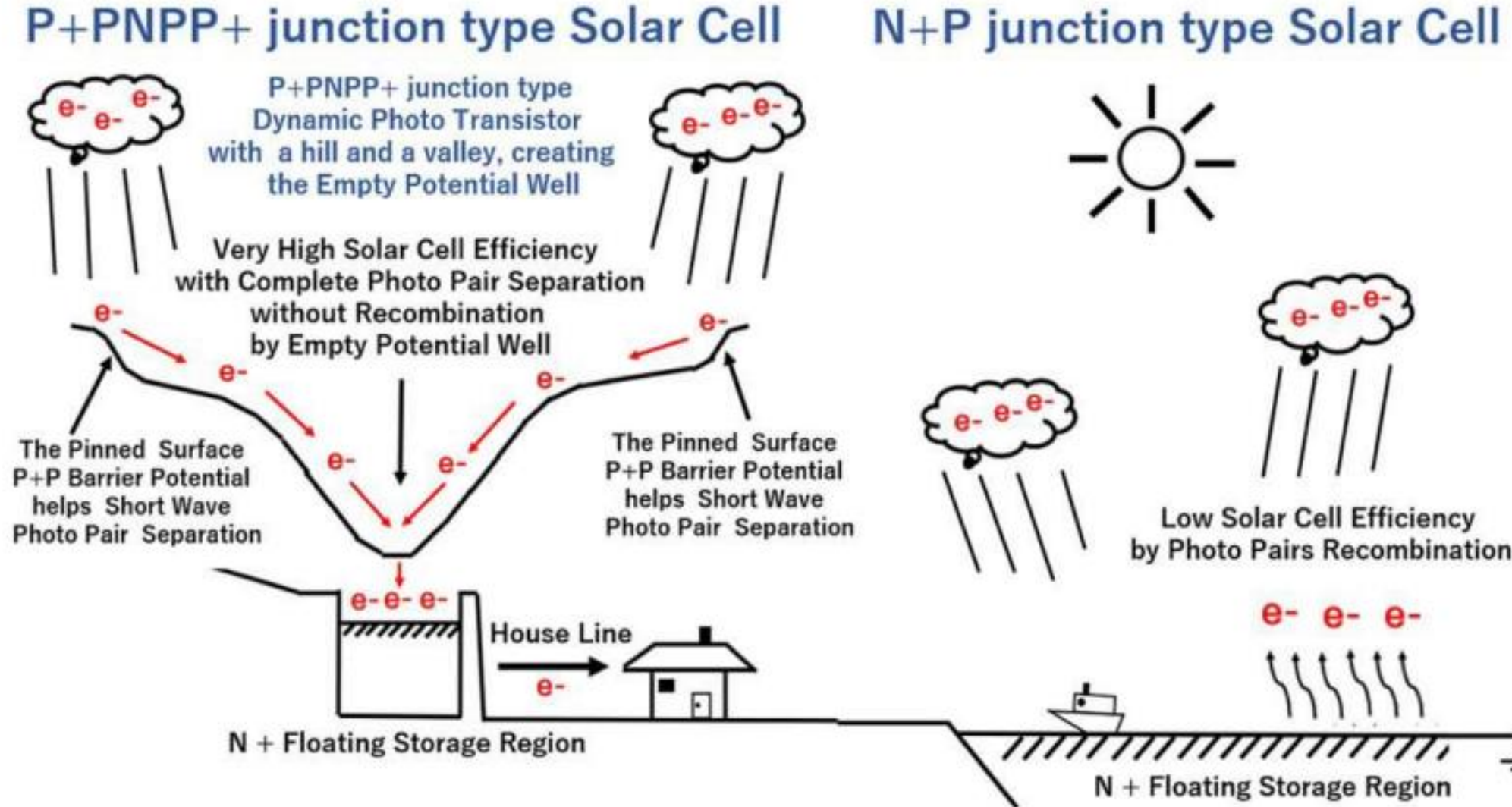


Figure 2. Comparison of Double and Triple Junction type Photo Sensor Structures.

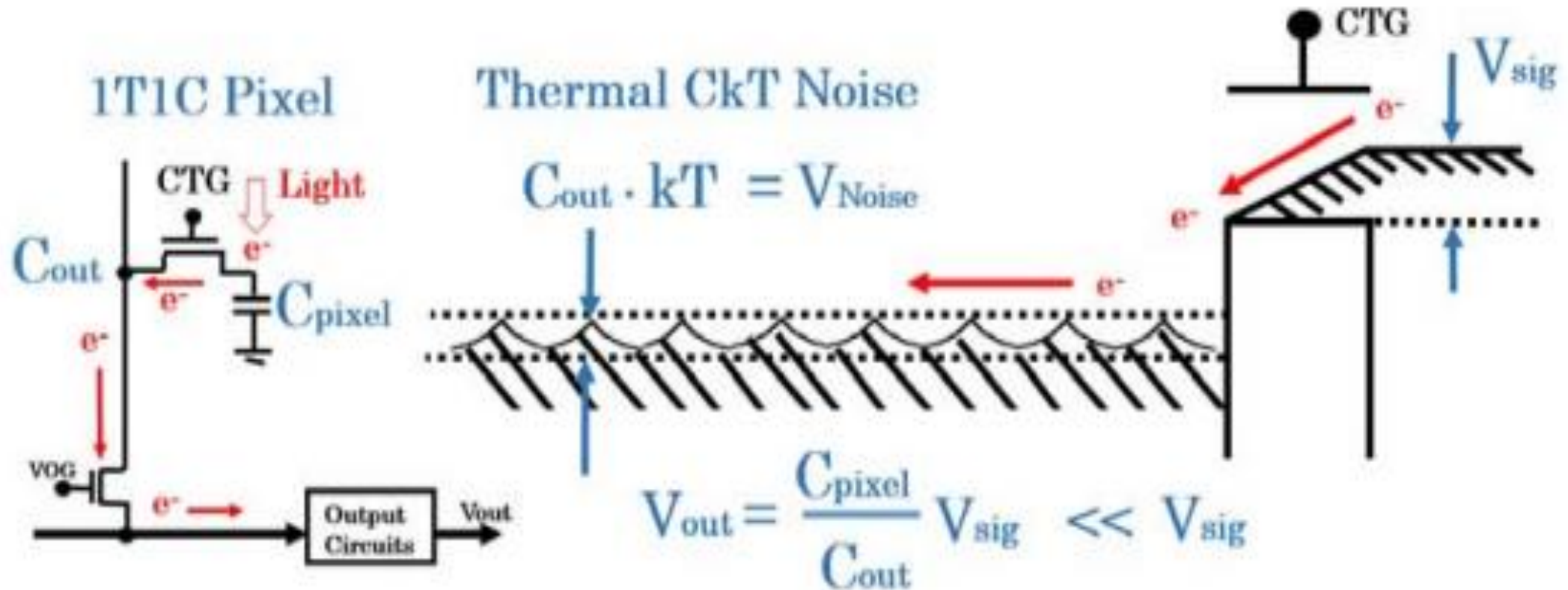


Figure 3. ITIC type MOS Image Sensor with a Large Output Data Line Capacitance.

(3) [P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.pdf](#)

[P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.html](#)



ICX-008 Sony ILT CCD Image Sensor Structure

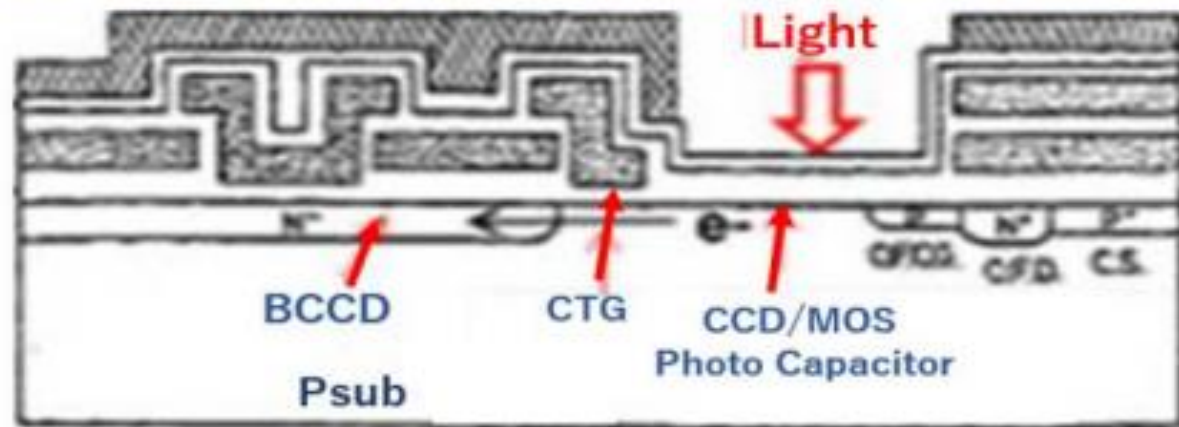


Figure 4. SONY 1980 Two-chip CCD Color Video Camera XC-1.

Patent Claim in Original Japanese

- 1) 半導体基体(N)に、
第1導電型の第1半導体領域 (P)と、
之の上に形成された第2導電型の
第2半導体領域 (N)とが形成されて
- 2) 光感知部(NP)と之よりの電荷を転送
する電荷転送部 (CTD)とが上記半導
体基体の主面に沿う如く配置されて
成る個体撮像装置に於いて
- 3) 上記光感知部(NP)の上記第2半導体
領域 (N)に整流性接合が形成され、
該接合をエミッタ接合(Je)とし、
- 4) 上記第1及び第2半導体領域間の接合
をコレクタ接合(Jc)とするトランジ
スタ(PNP)を形成し、
- 5) 該トランジスタ(PNP)のベースとなる
上記第2半導体領域(N)に光学像に応
じた電荷を蓄積し
- 6) ここ(N)に蓄積された電荷を上記転送
部に移行させて、その転送を行うよう
にしたことを特徴とする個体撮像装置

Patent Claim in English Translation

- 1) In the semiconductor basic body (N),
the first region (P) of the first impurity
is formed, and on which the second region
(N) of the second impurity type is formed.
- 2) On the photo sensor (NP) so defined as
a solid state image sensor with Charge
Transfer Device (CTD) placed along the
surface of the semiconductor basic body,
- 3) a rectifying emitter junction (Je) is
formed on the photo sensor (NP).
- 4) The junction between the first region
(P) and the second region (N) being as
the collector junction (Jc) of the
transistor (PNP),
- 5) the second region (N) becomes the base
region of the transistor (PNP) which
stores the photo charge according to
the photo image.
- 6) And the charge stored in this region (N)
is transferred to the Charge Transfer
Device (CTD).

File 1975-134985 Filed 1975/11/10
Public 1977-058414 on 1977/05/13

Buried Pinned Photodiode Patent
the PNP Double Junction type
Dynamic Photo Transistor
with the Vertical Overflow Drain
(VOD) Function

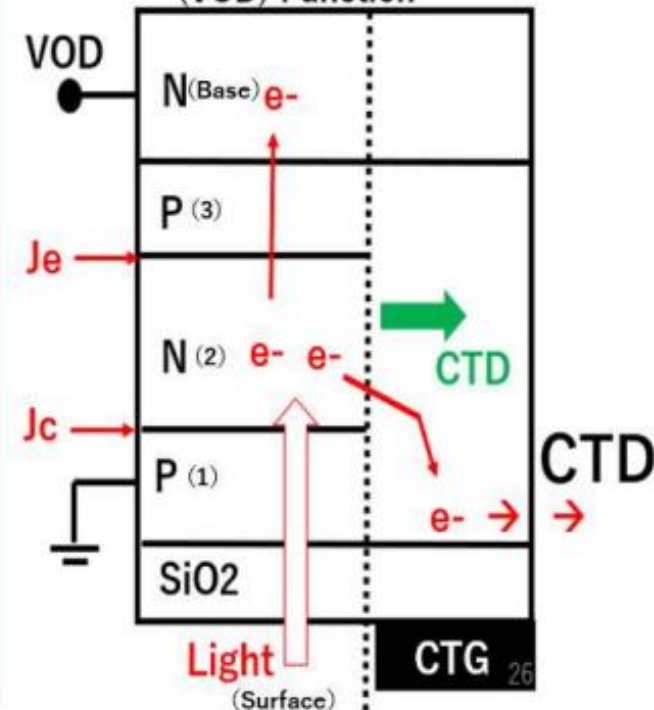


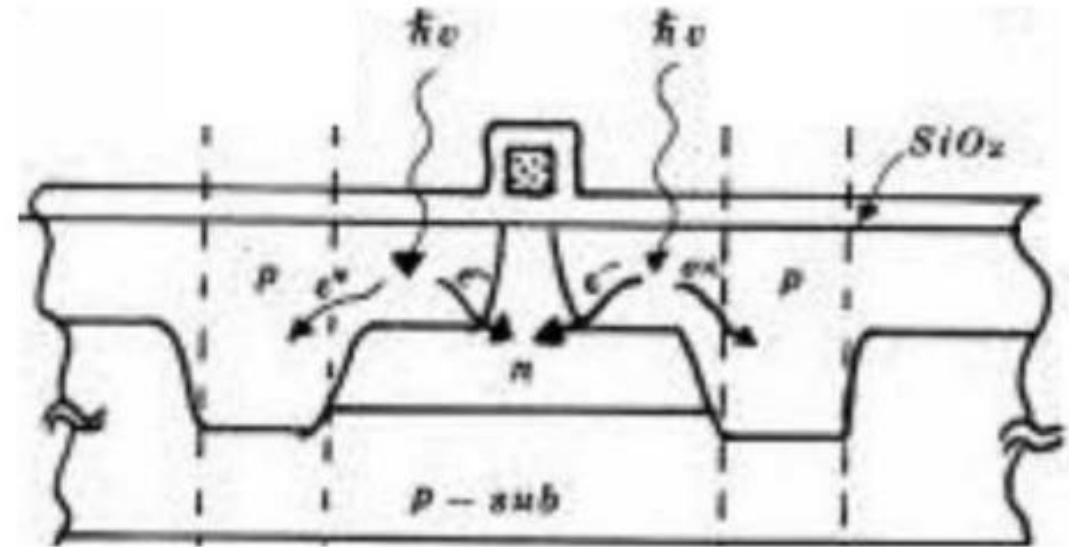
Figure 5. Patent Claim of JPA1975-134985 on the PNP Dynamic Photo Thyristor with Pinned P+ surface (HAD).

(3) [P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.pdf](#)

[P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.html](#)



Sony 1980 Video Movie has in one body an 8 mm VTR and One Chip FT CCD Image Sensor with the PNP Double Junction type Pinned Photodiode developed by Hagiwara in 1978



PNP Double Junction Pinned Photodiode with Heavily Doped P+ Adjacent Channel Stops reported in SSDM1978 by Hagiwara at Sony

Figure 6. SONY 1980 Video Movie with the PNP Pinned Photodiode by the adjacent P+ channel stops.

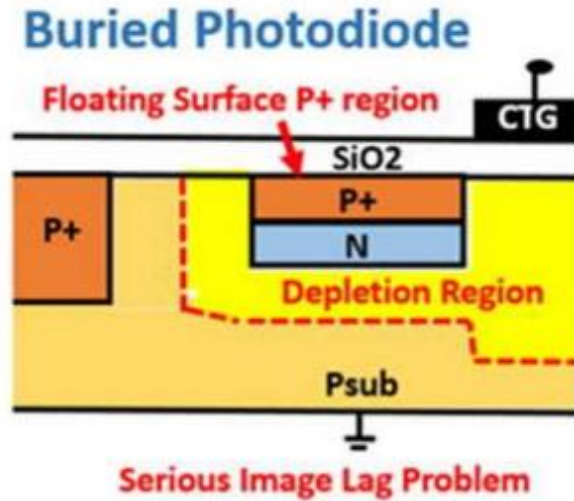


Fig.5 P+NP- Junction Photodiode
NEC IEDM1982 Paper

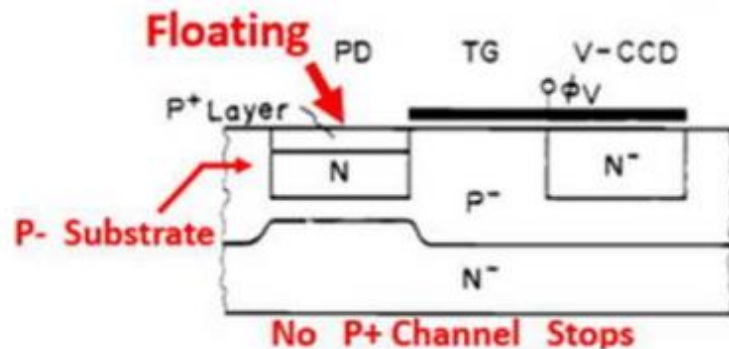
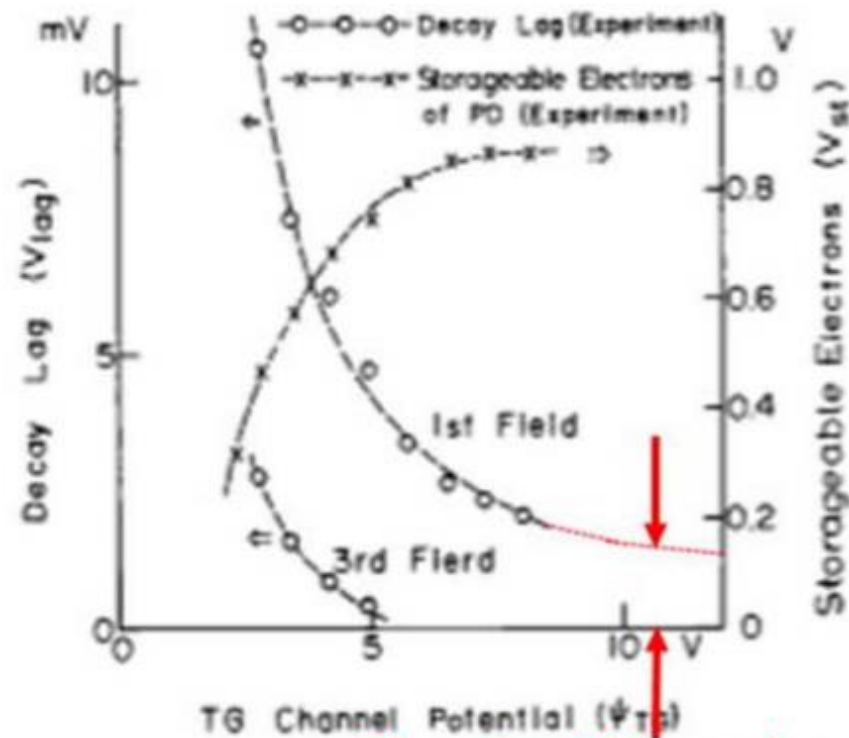


Fig.6 Image Lag vs CTG voltage
NEC IEDM1982 Paper



There is still image lag at the CTD gate voltage more than 10 volt.

Figure 7. The Buried Photodiode with the Image lag problem reported in NEC 1982 IEDM paper.

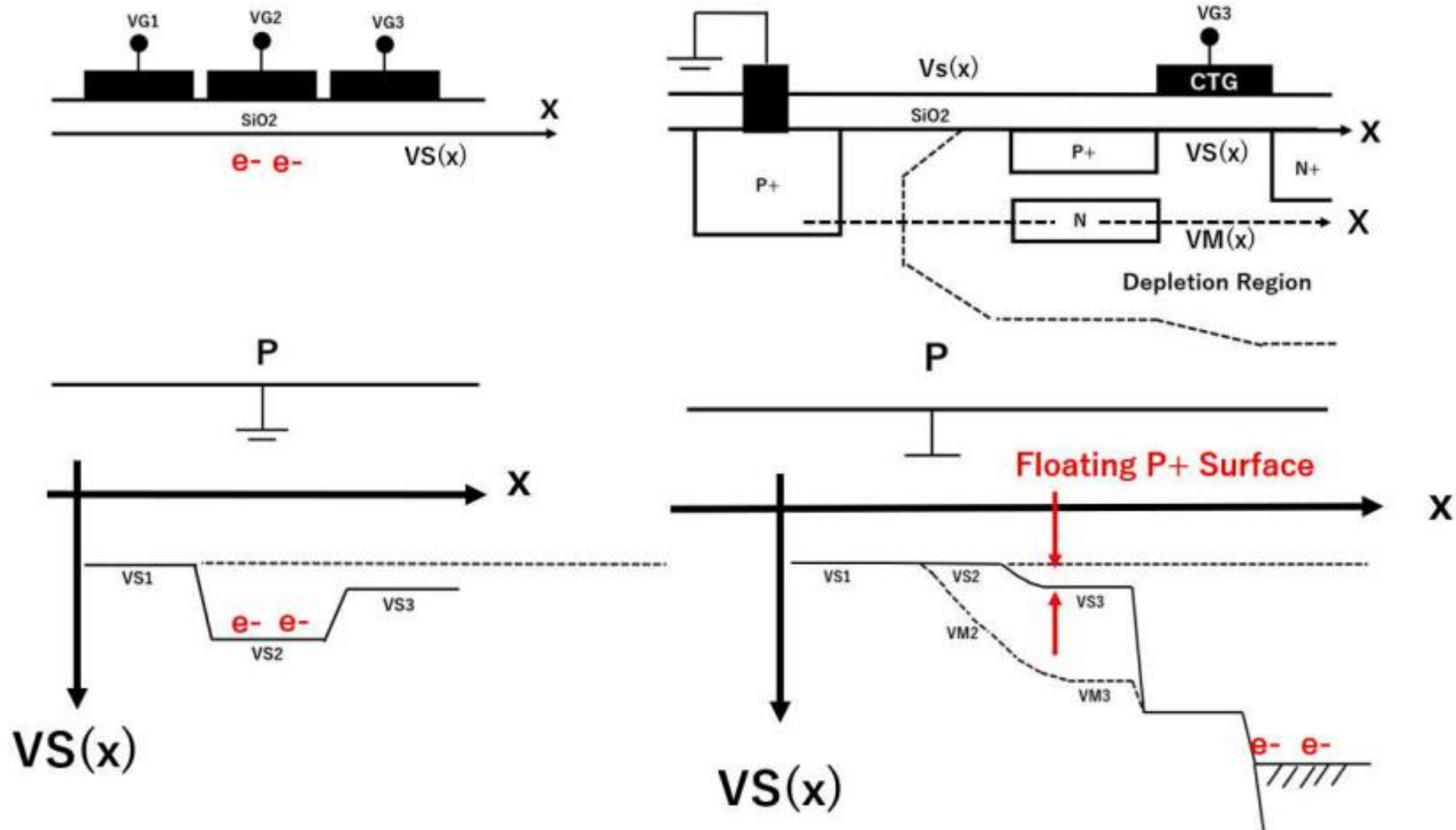


Figure 8. The Buried Photodiode with the Image lag problem reported in NEC 1982 IEDM paper.

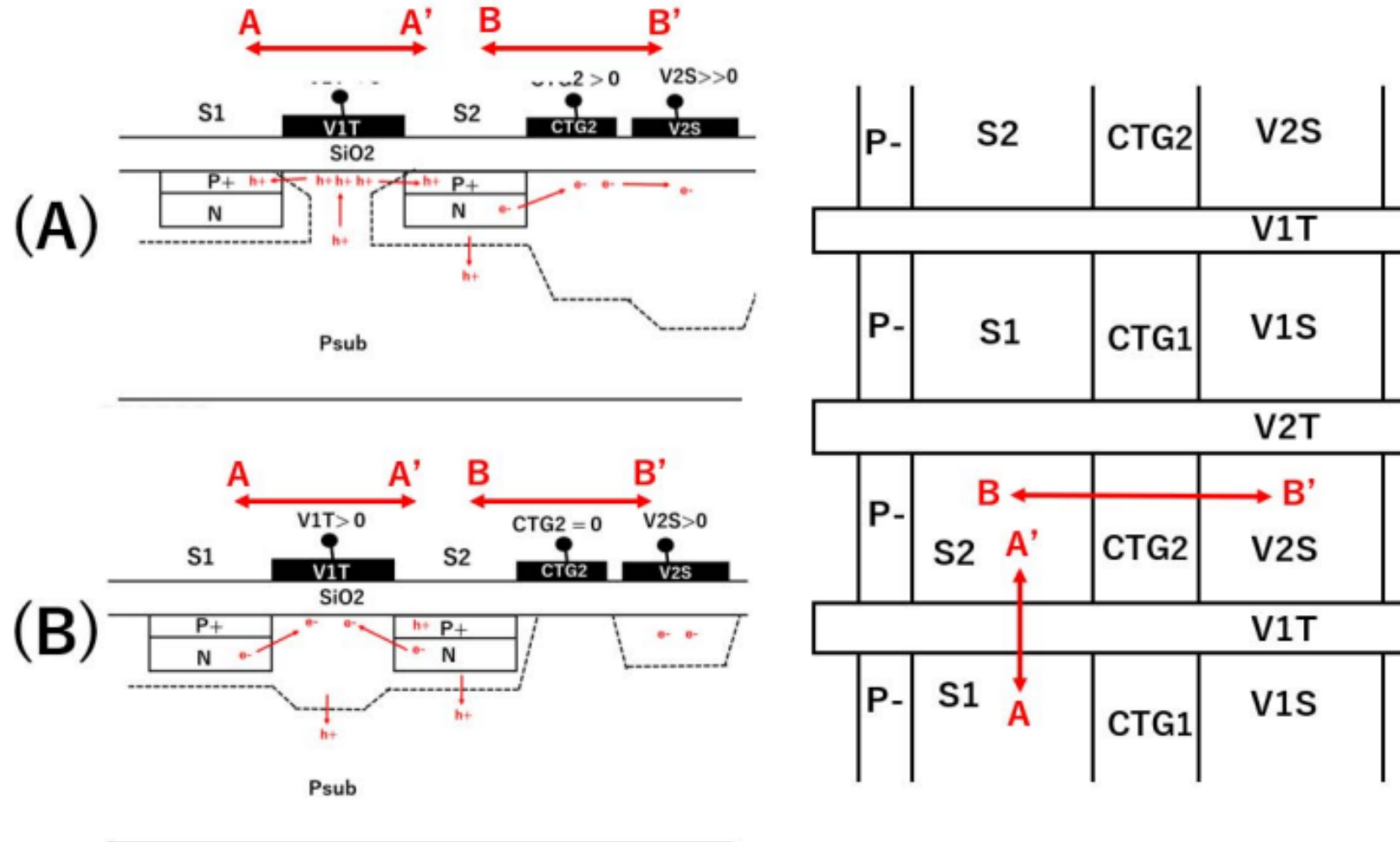


Figure 9. The problems of the ILT CCD Image Sensor without P+ Channel Stops Region.

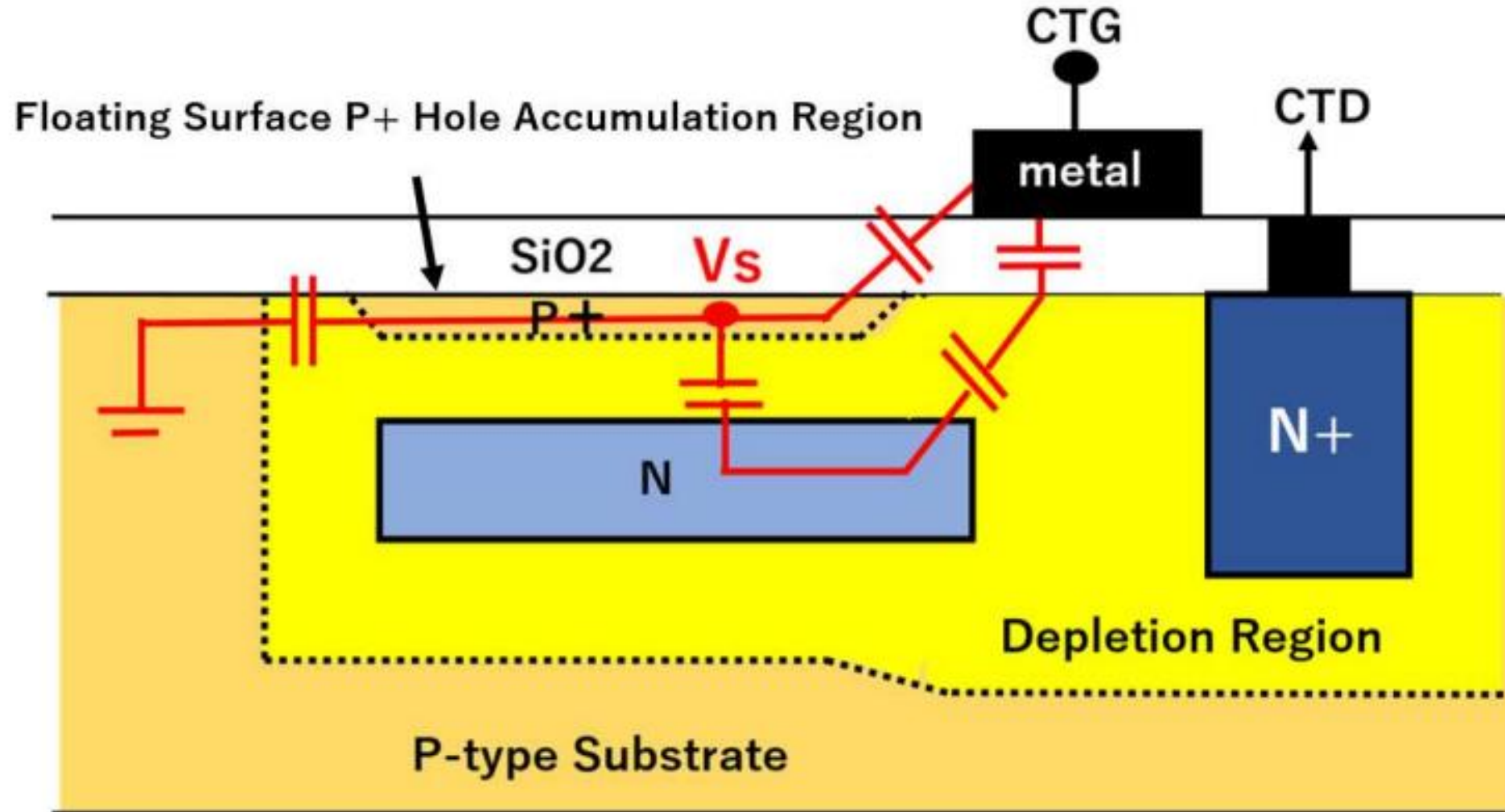


Figure 10. Capacitor Couplings of the Floating Surface P+ Hole Accumulation Region.

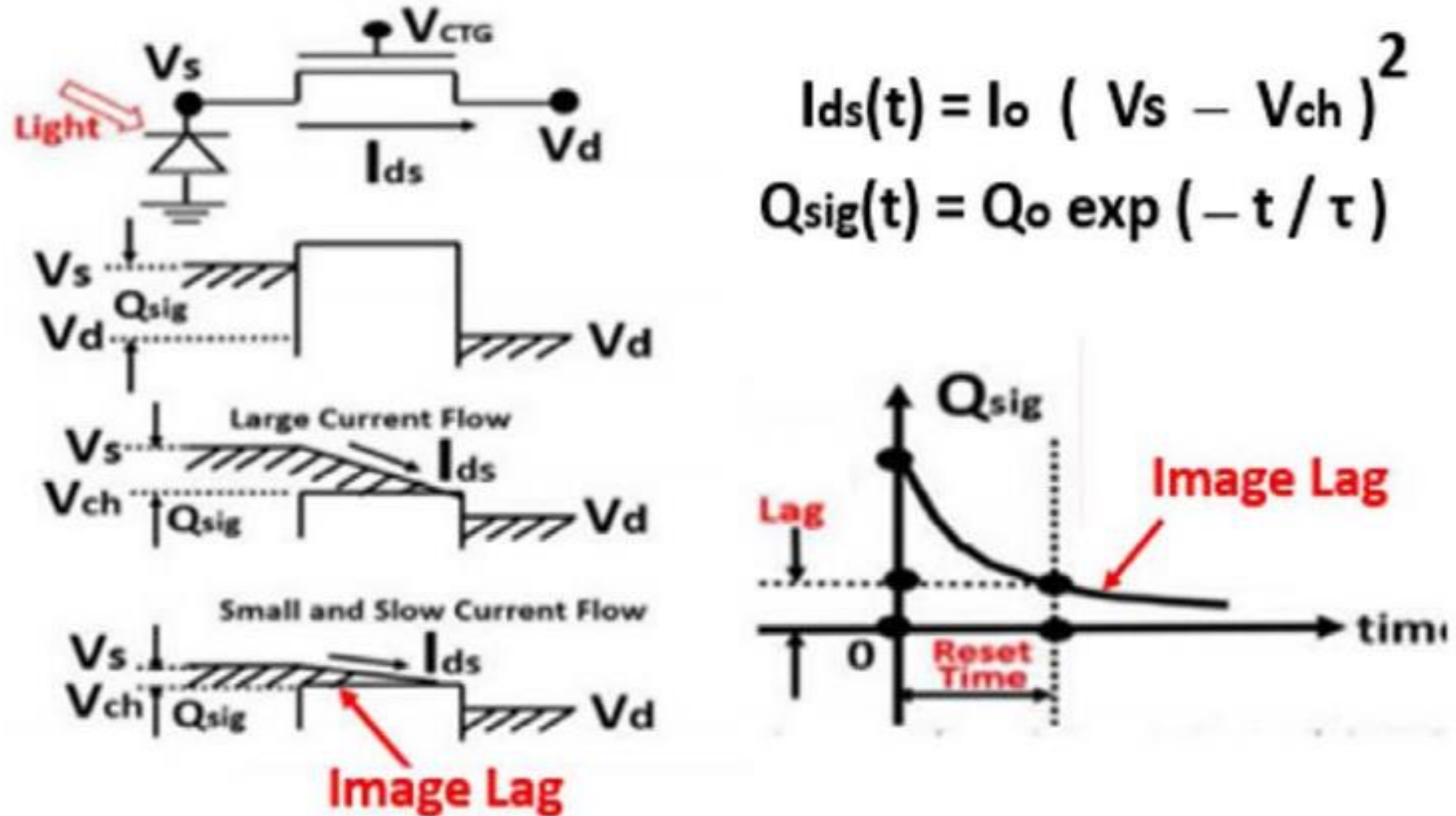


Figure 11. Serious Image Lag of Floating N+P Single Junction Photodiode.

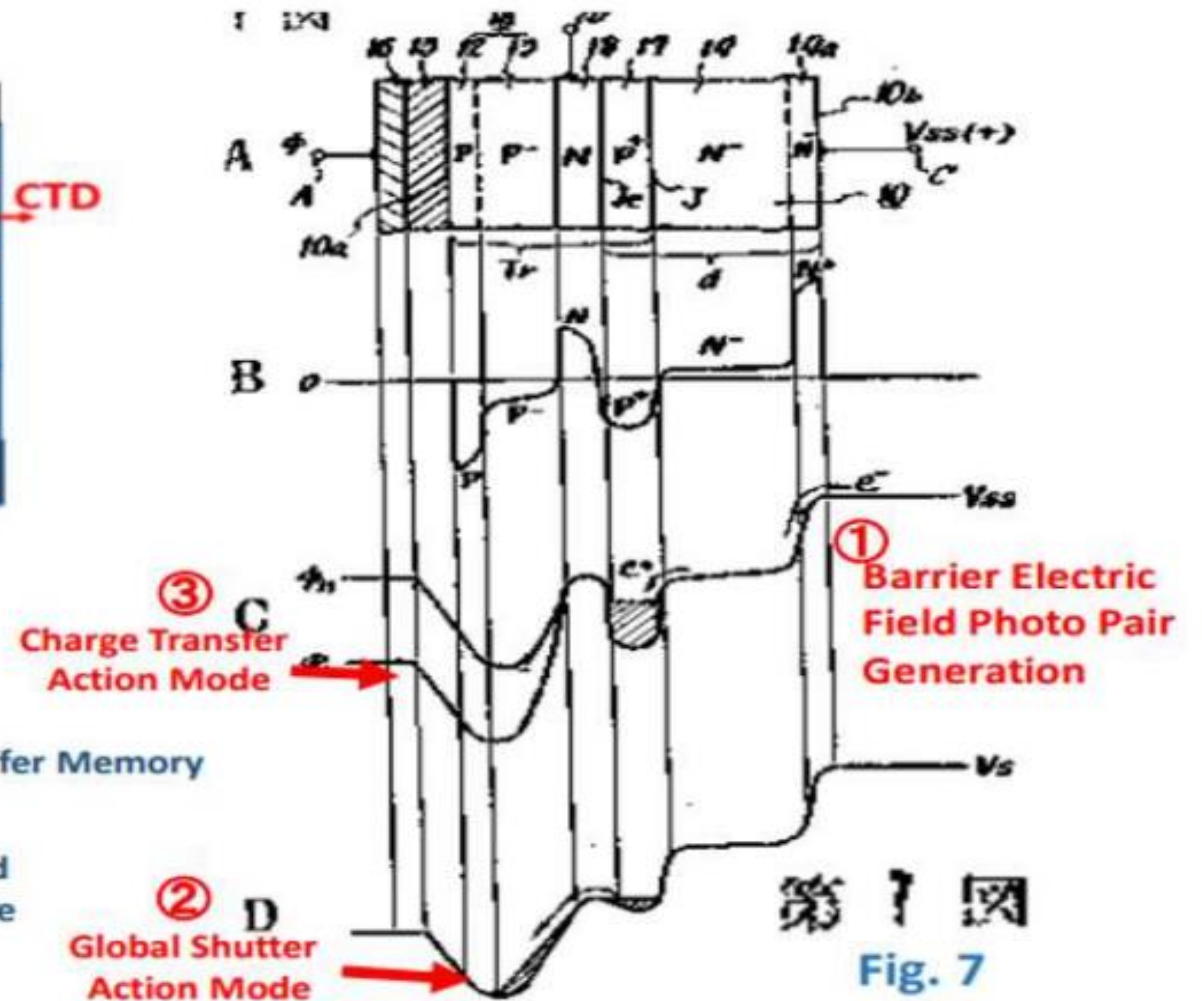
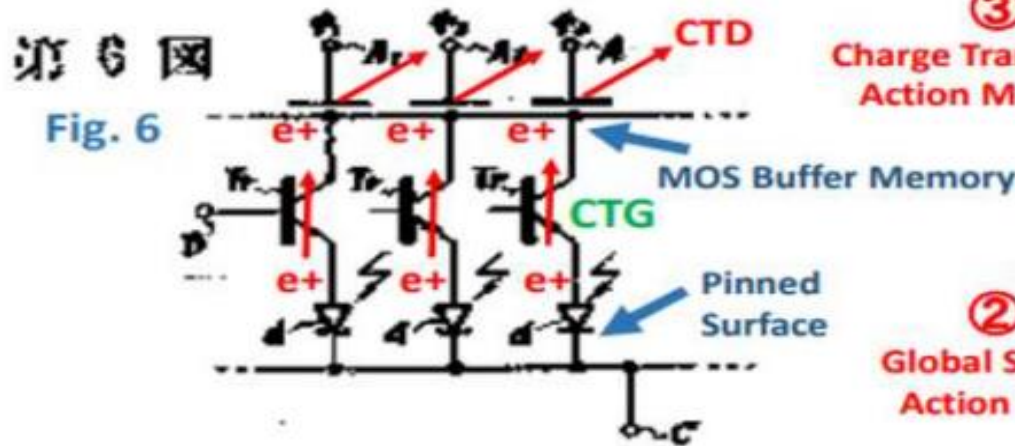
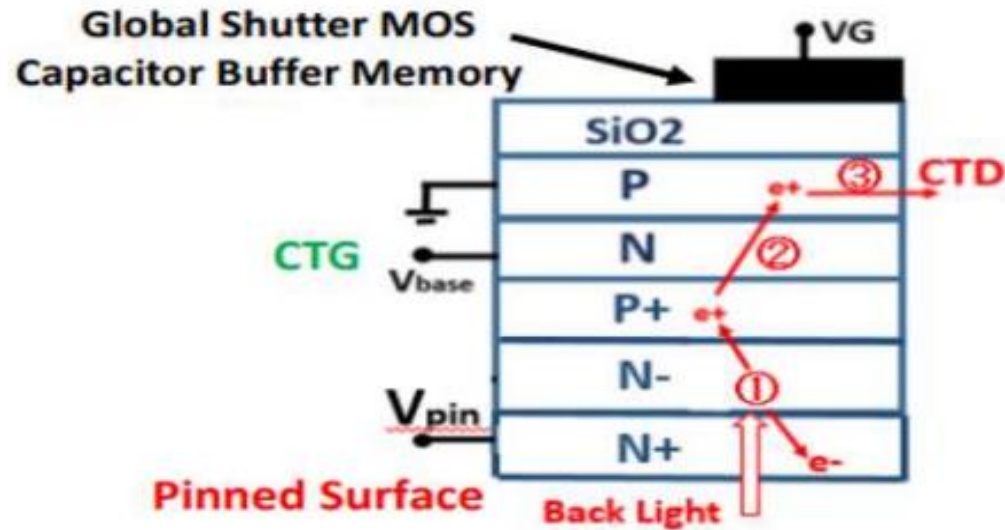


Figure 13. The N+NP+N type Pinned Photodiode defined in JPA1975-127647 patent by Hagiwara.

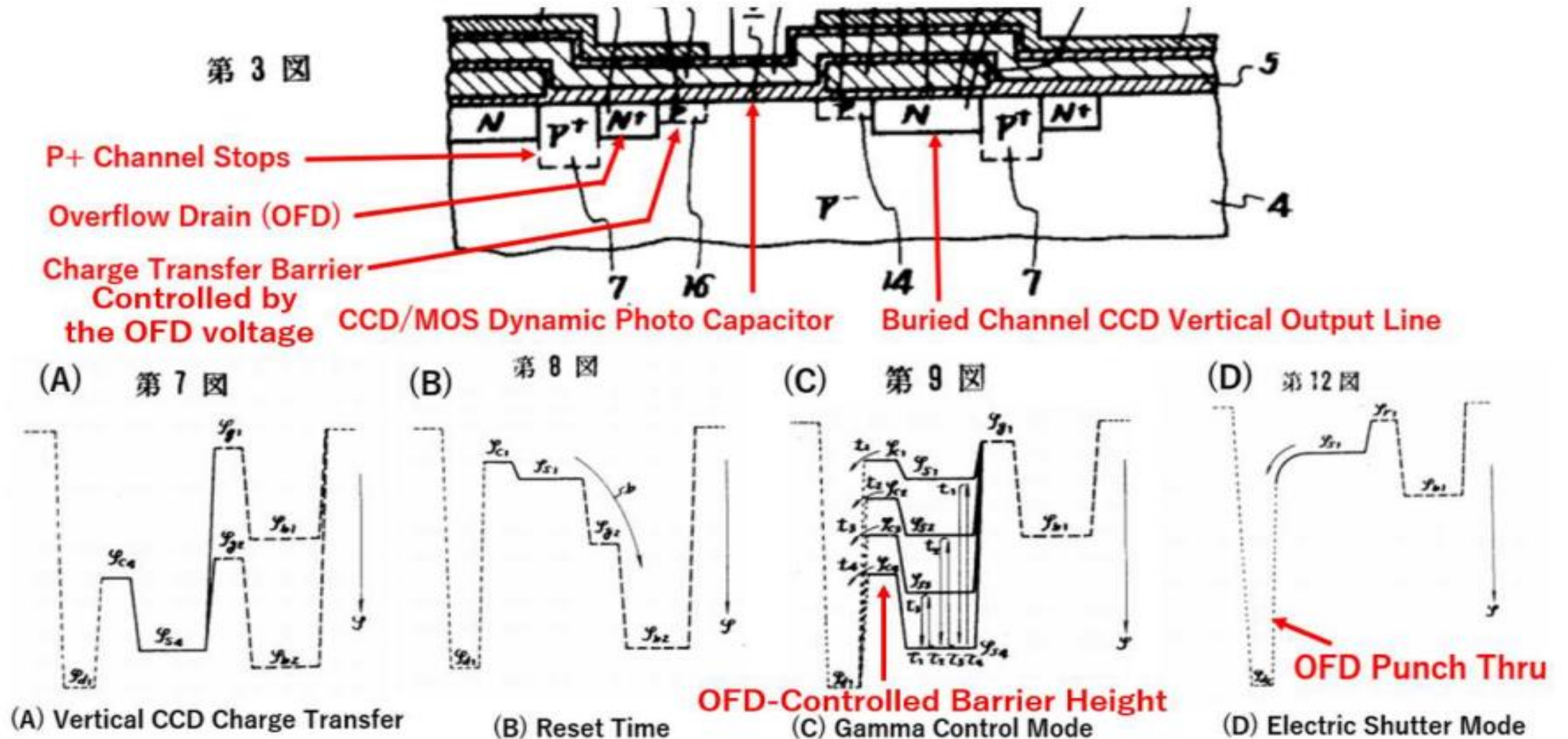


Figure 14. Electric Shutter Function and Gamma Control defined in JPA1977-126885 patent proposed by Hagiwara in 1977.

Floating Surface N+NPP+ Single Junction Photodiode

JPA1975-134985 Figure 6

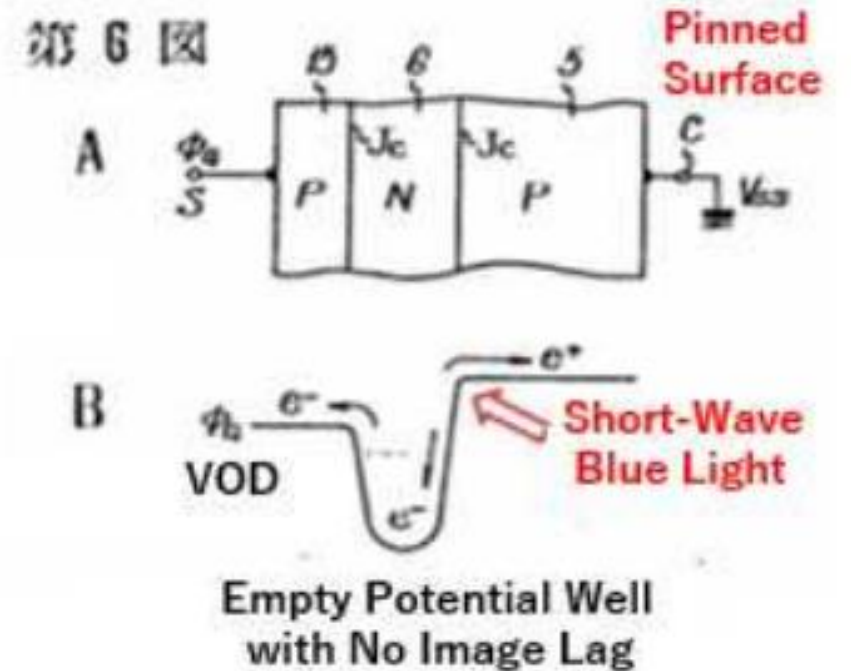
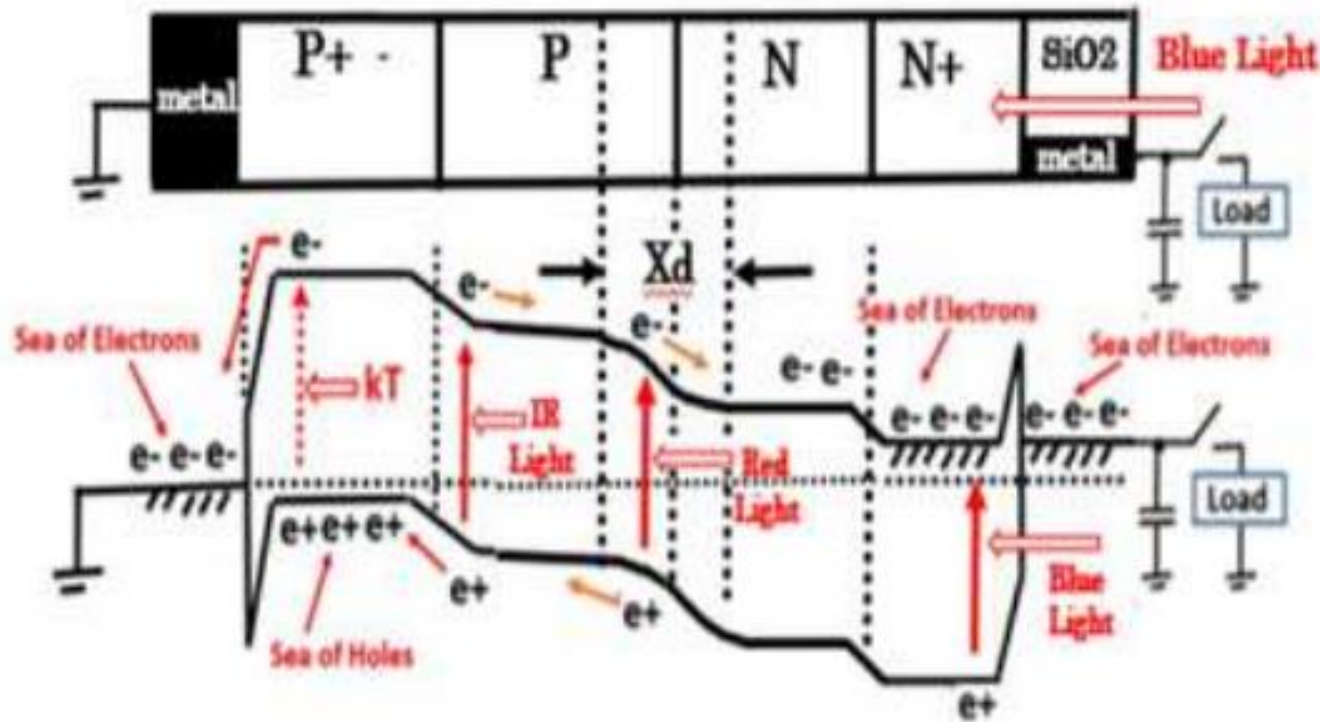
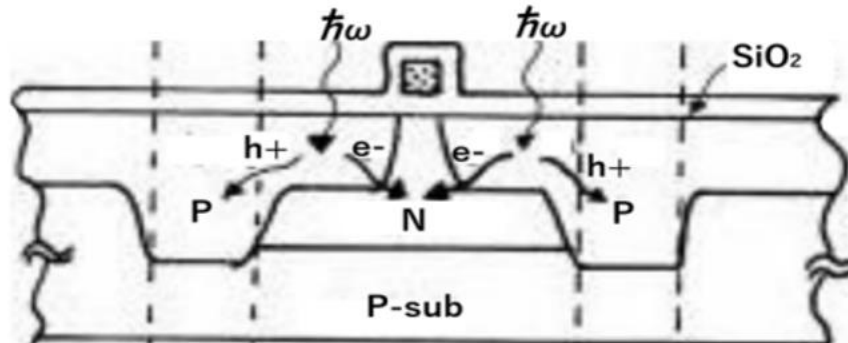
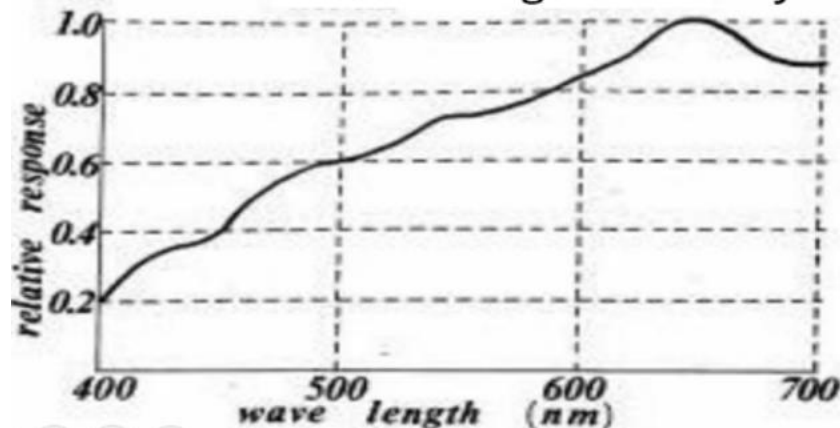


Figure 15. Comparison of Floating Surface Single Junction Photodiode and Pinned Surface Double Junction Photodiode.

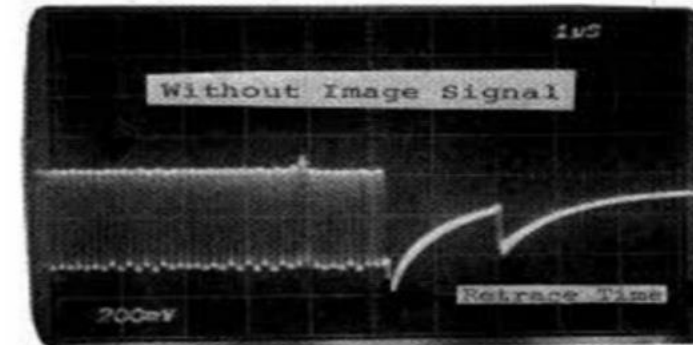
(A) Pinned-Surface and Buried-Storage PNP Photodiode with Adjacent Channel Stops



(B) Spectral Response with Very High Short-Wave Blue Light Sensitivity



(C) Signal Output with No Light showing Very Low Dark Current Feature



(D) Signal Output with Input Light showing No Image Lag Feature

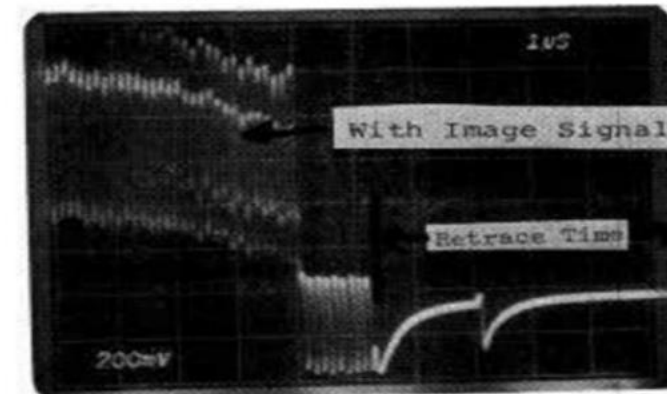


Figure 16. The Spectral Response and Signal Outputs reported in Hagiwara SSDM1978 Paper [6-7] showing the No Image Lag Feature.

[9] Yoshiaki Hagiwara, Motoaki Abe and Chikara Okada, "A 380H X 488V CCD Imager with Narrow Channel Transfer Gates", Proceeding of the 10th Conference on Solid State Devices, September 1978, Tokyo Japan, Japanese Journal of Applied Physics, Volume 18 Sup 18-1, pp. 335-340 November 1979.

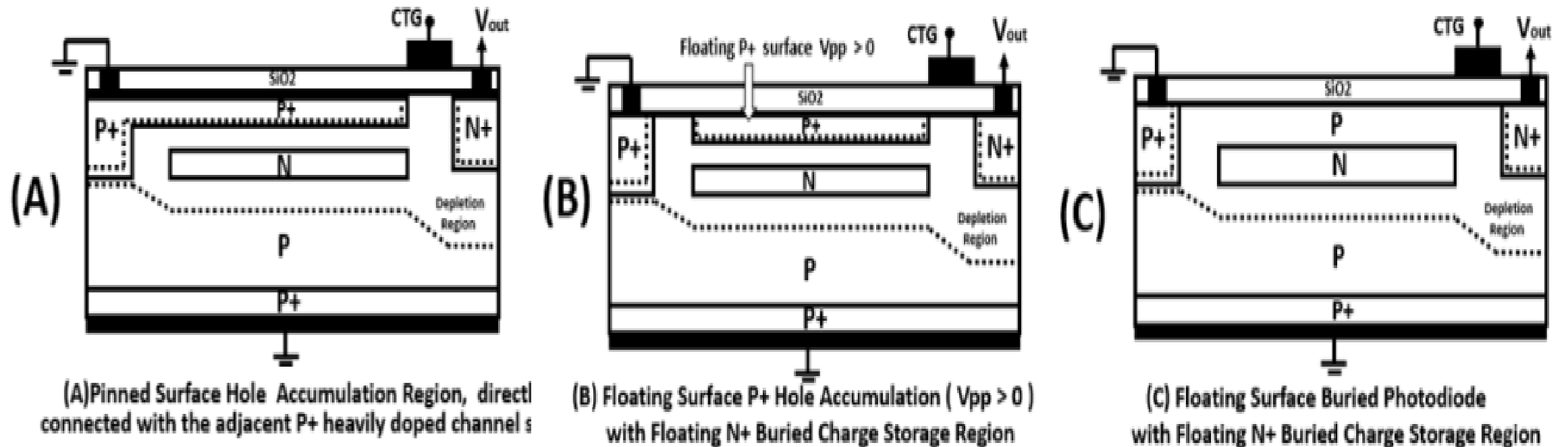


Figure 17. Three types of PNP Double Junction type Photodiodes.

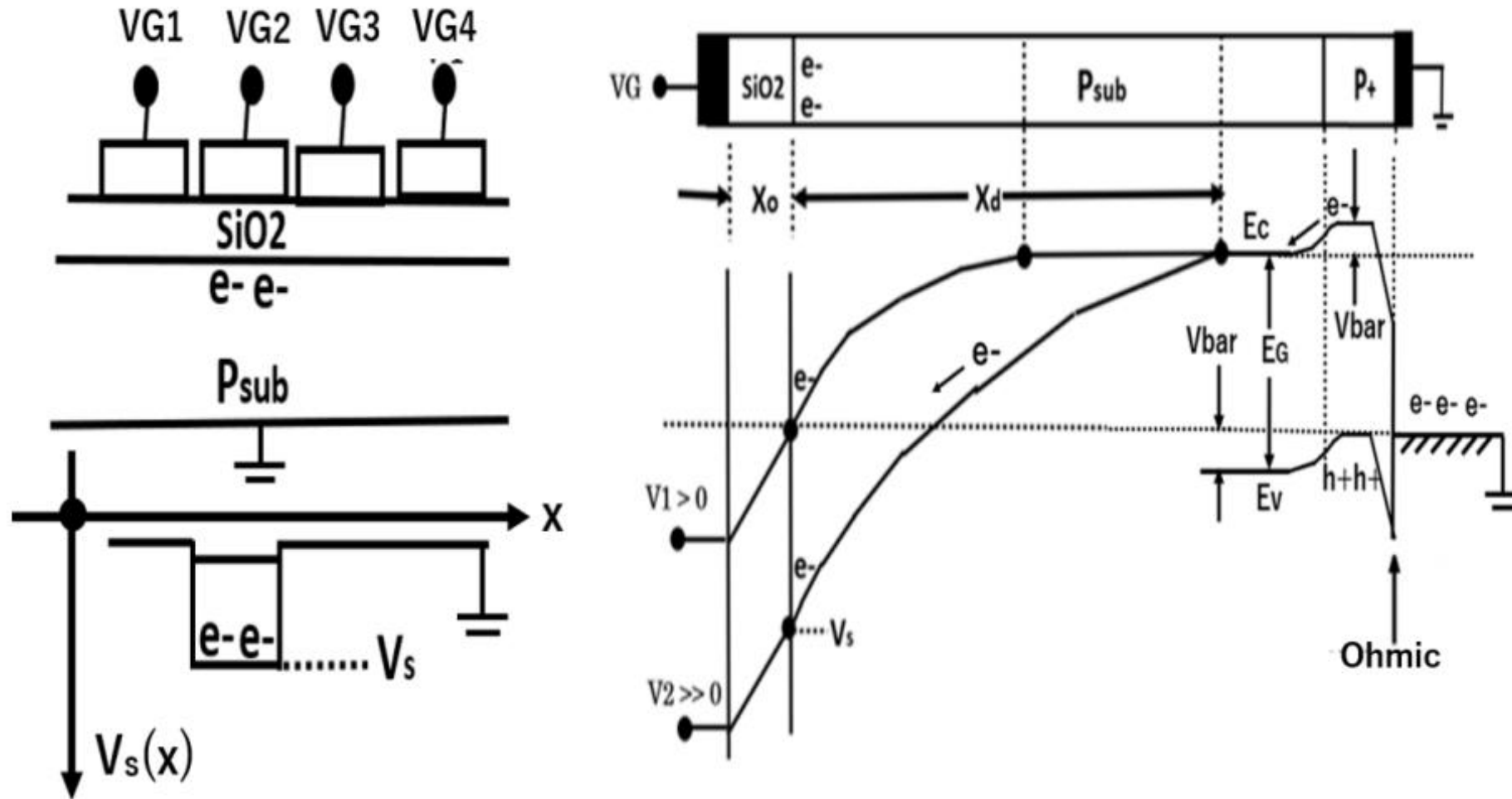


Figure 18. Electron Potential Profile of Surface Channel CCD.

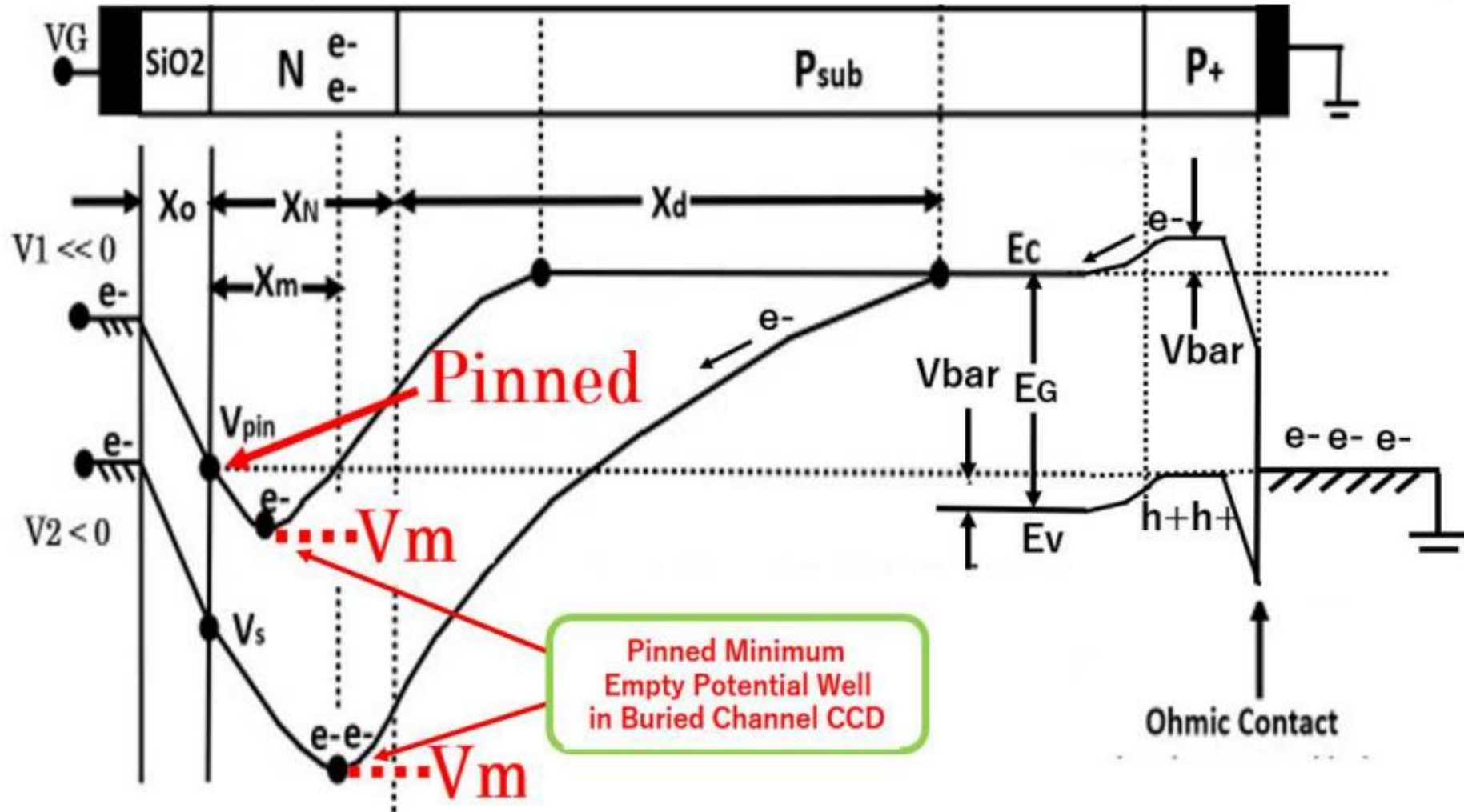
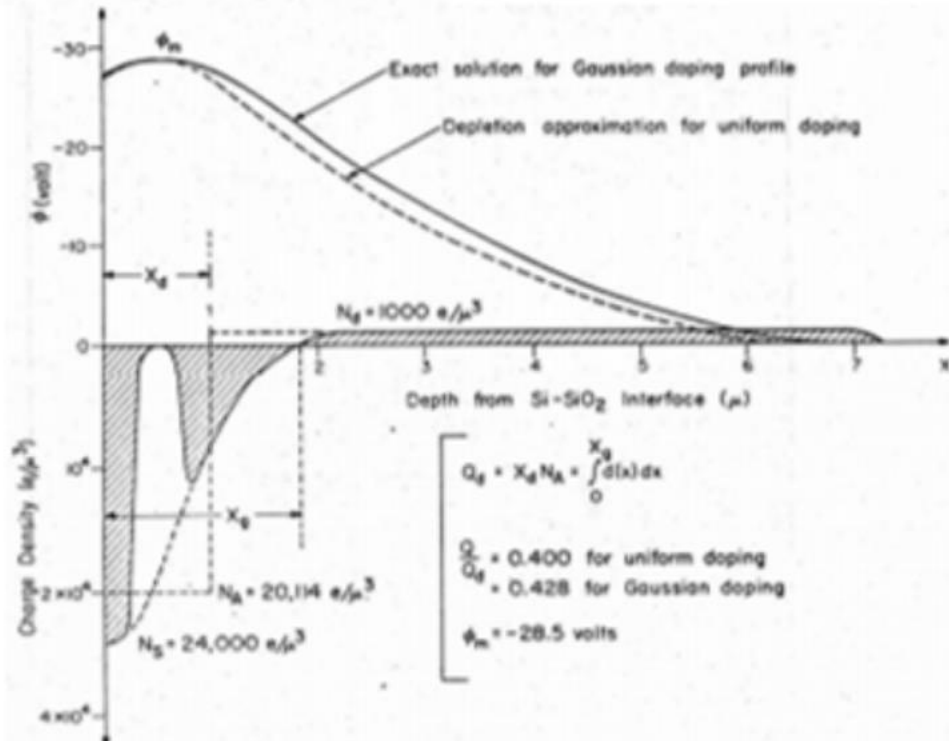


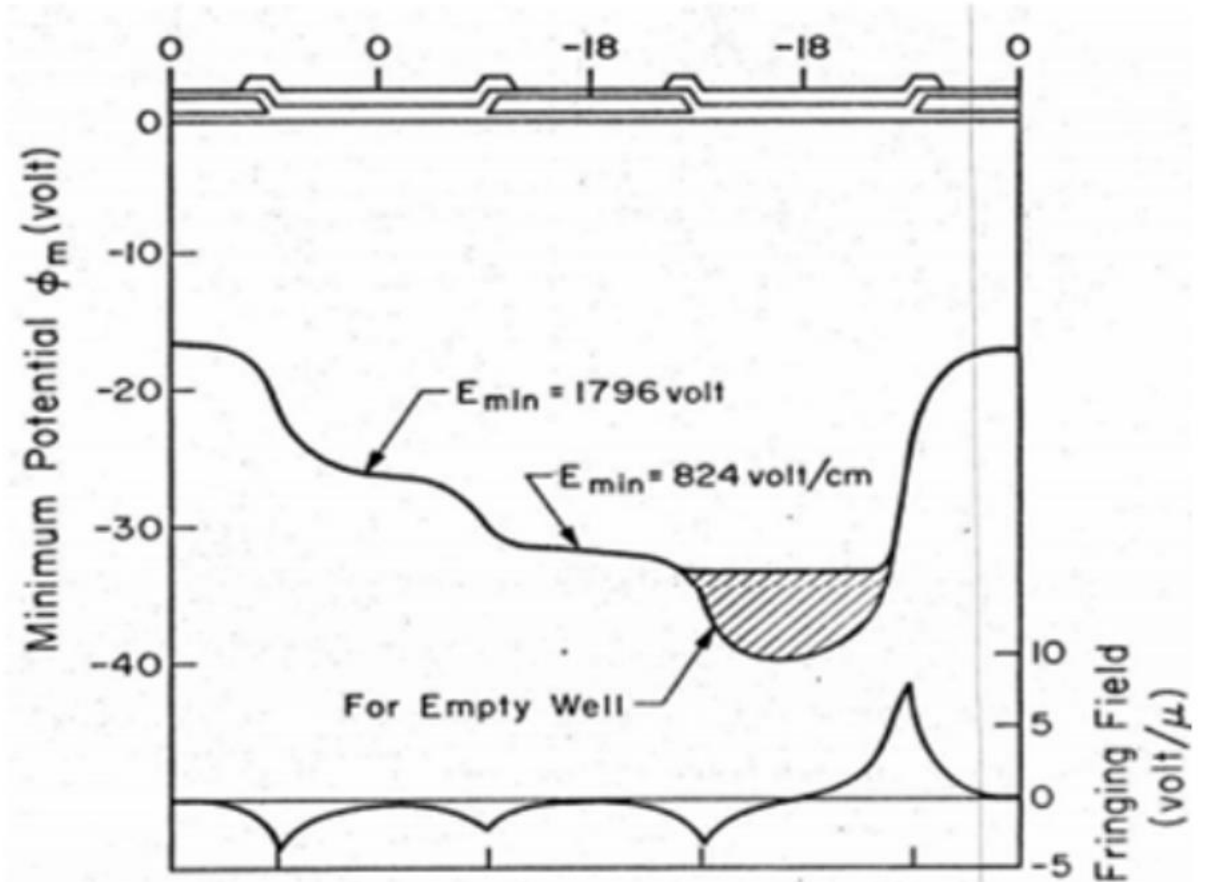
Figure 19. Electron Potential Profile of Buried Channel CCD.

**Exact Numerical Computational Results
of One Dimensional and Two Dimensional Electrostatic Analysis
of Polysilicon and Metal Overlapping Gate Buried Channel CCD**

See Yoshiaki Daimon (Hagiwara) 1975 PhD Thesis at Caltech, Pasadena California, USA.



(a) Gaussian Doping Profile of Buried P Channel BCCD.



(b) Polysilicon and Metal Overlapping Gate BCCD

Figure 20. Electron Potential Profiles of Buried Channel CCD.

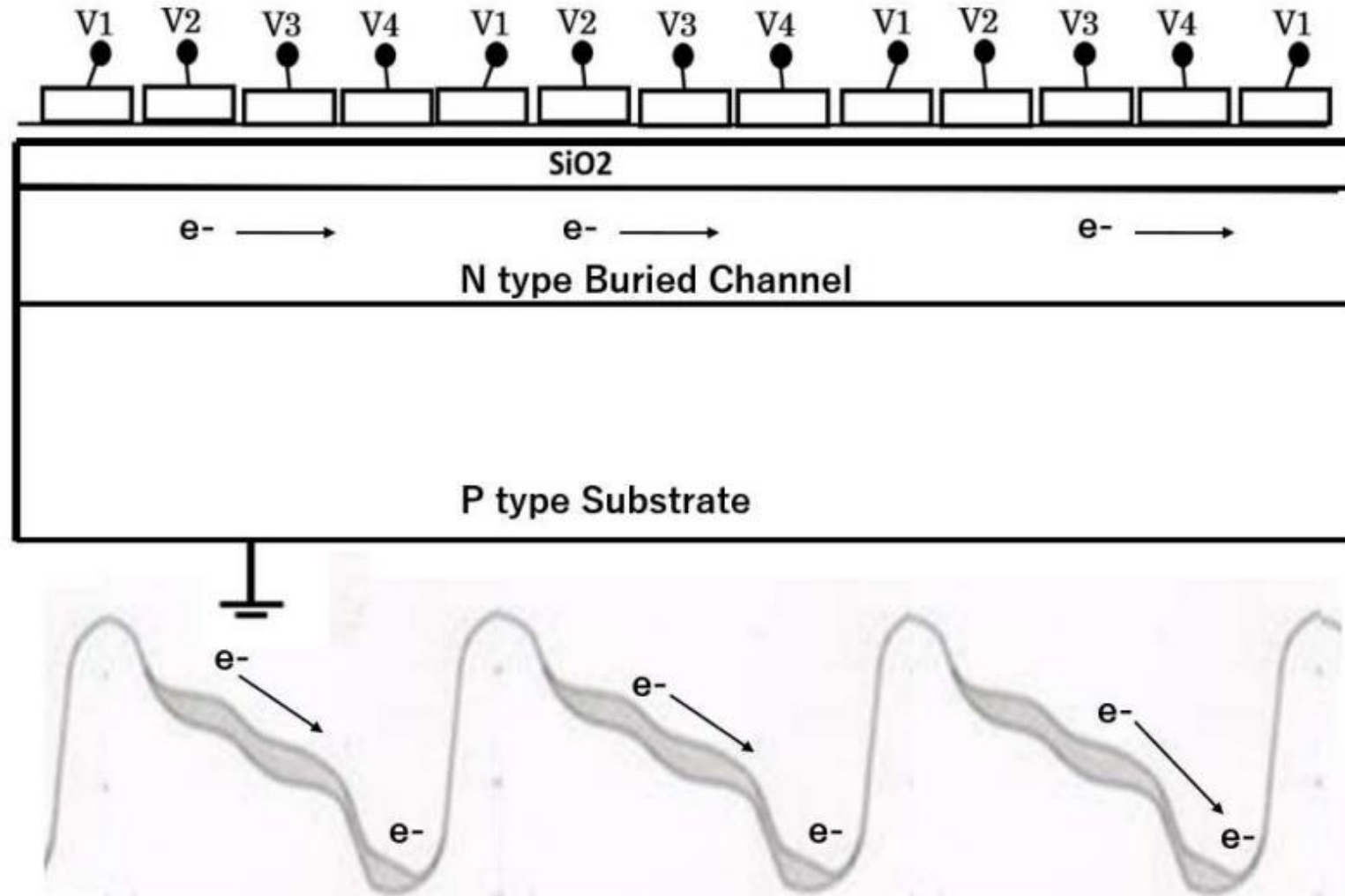


Figure 21. Buried Channel type CCD structure and its potential profile.

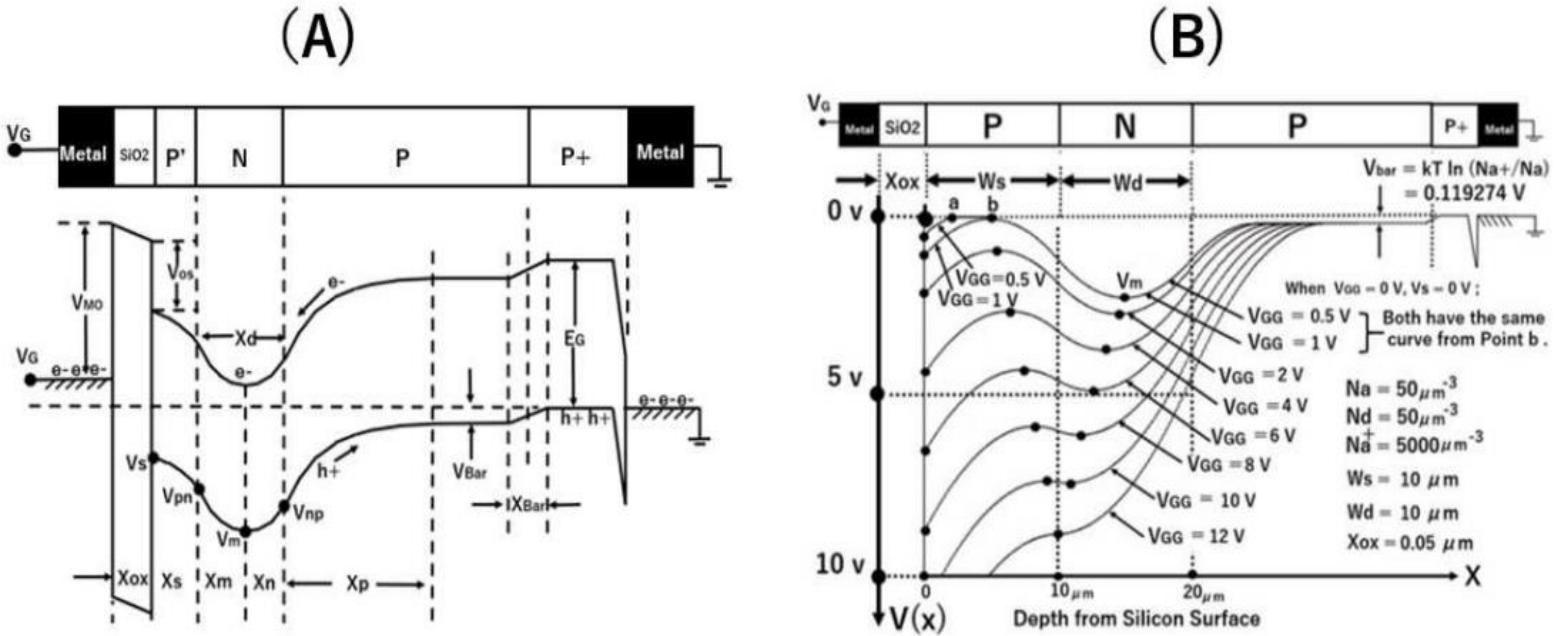
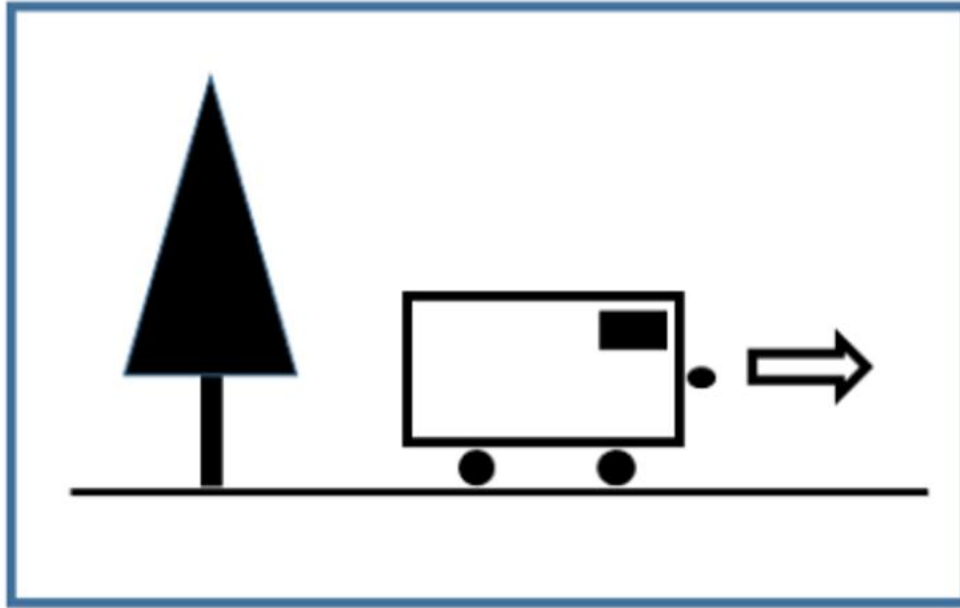
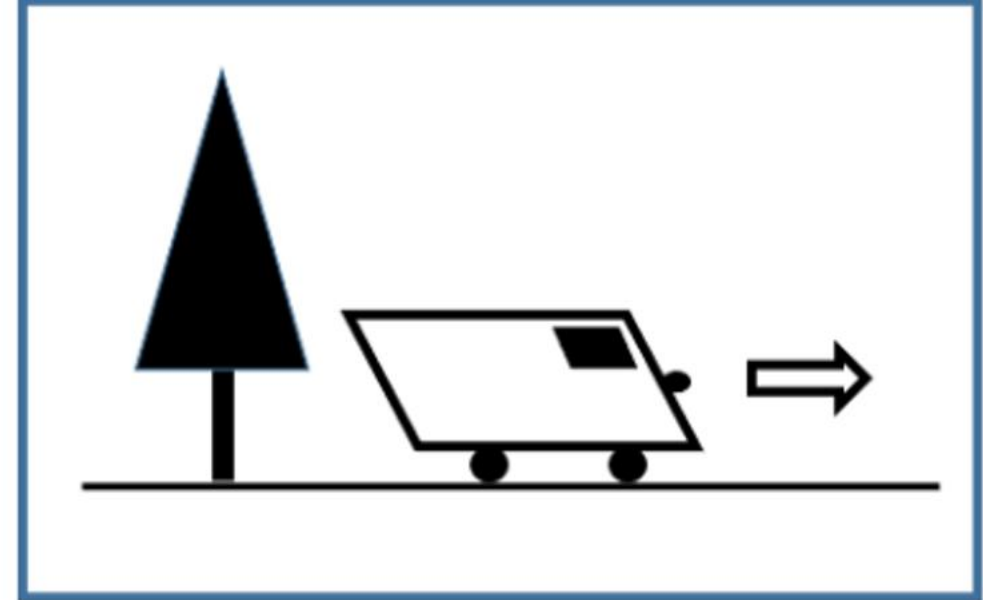


Figure 22. Double Junction P+PNP type Pinned Photodiode with CCD/MOS Dynamic Buffer Memory Capacitor.



the CCD image sensors with the Built in Global Shutter Function



the classical CMOS image sensors with rotary shutter effect

Figure 23. Undesired Rotary Shutter Effect of Conventional CMOS Image Sensors.

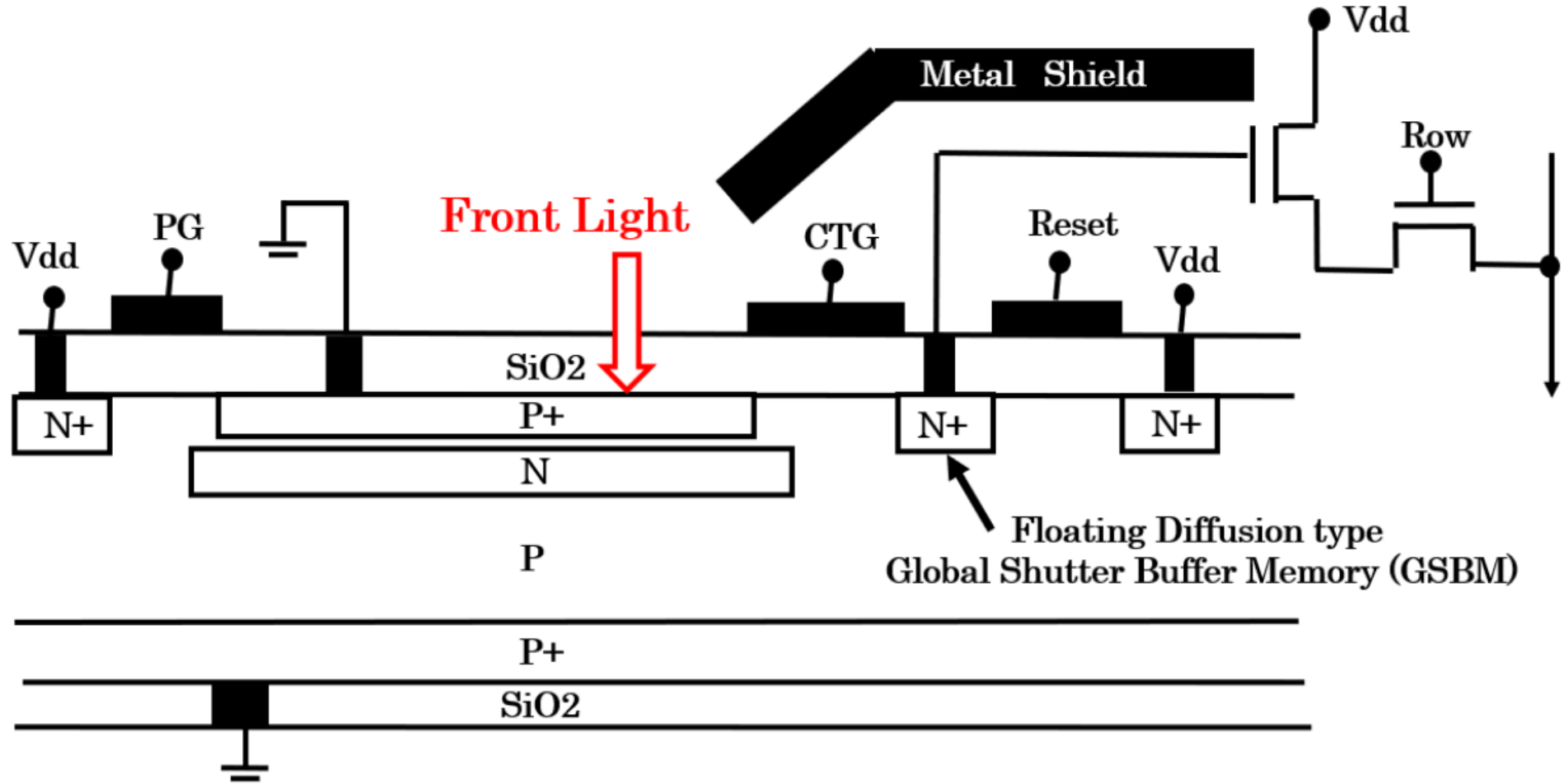


Figure 24. Floating Diffusion Type Global Shutter Buffer Memory used for In-Pixel Active Sensor.

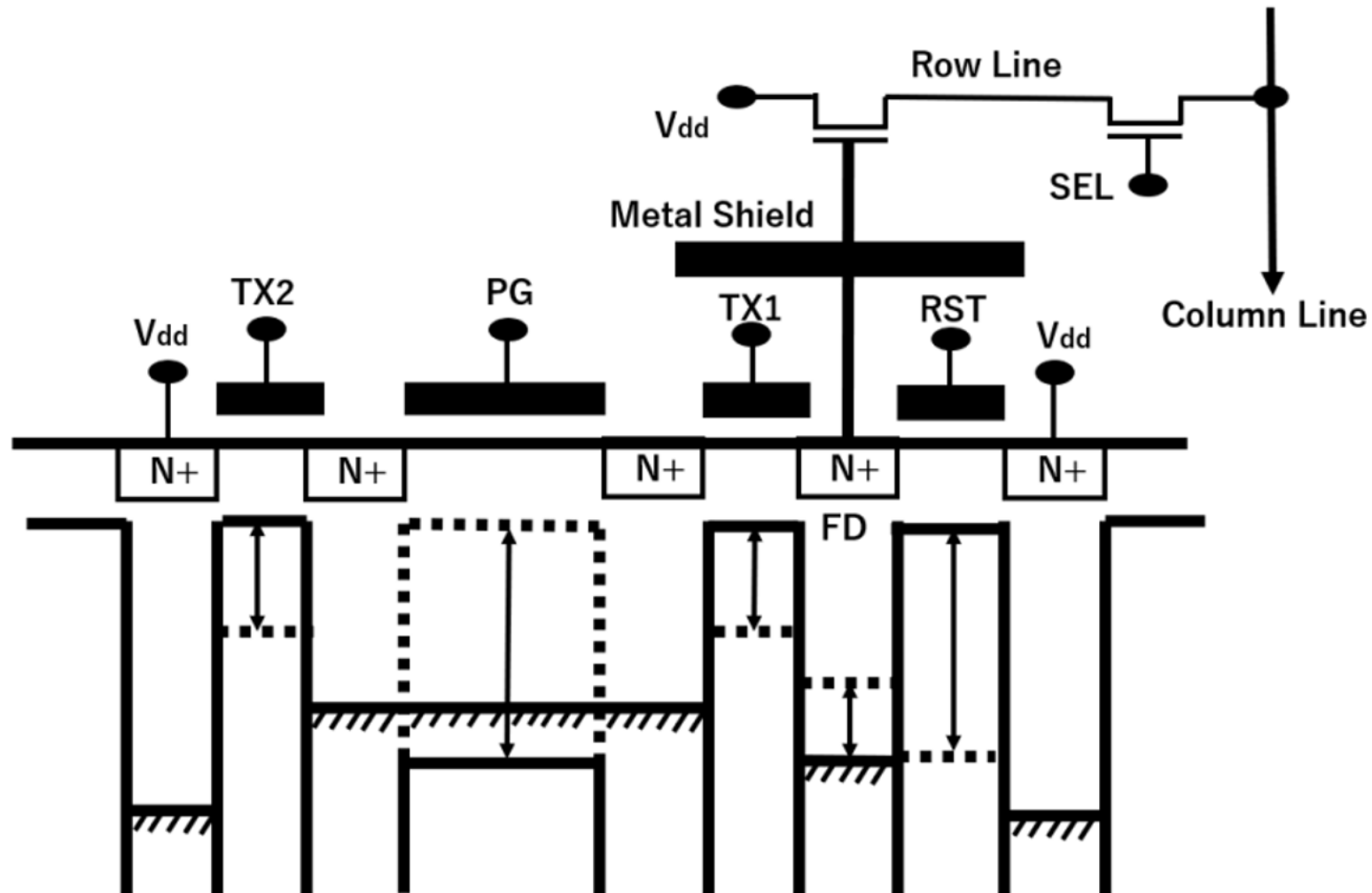
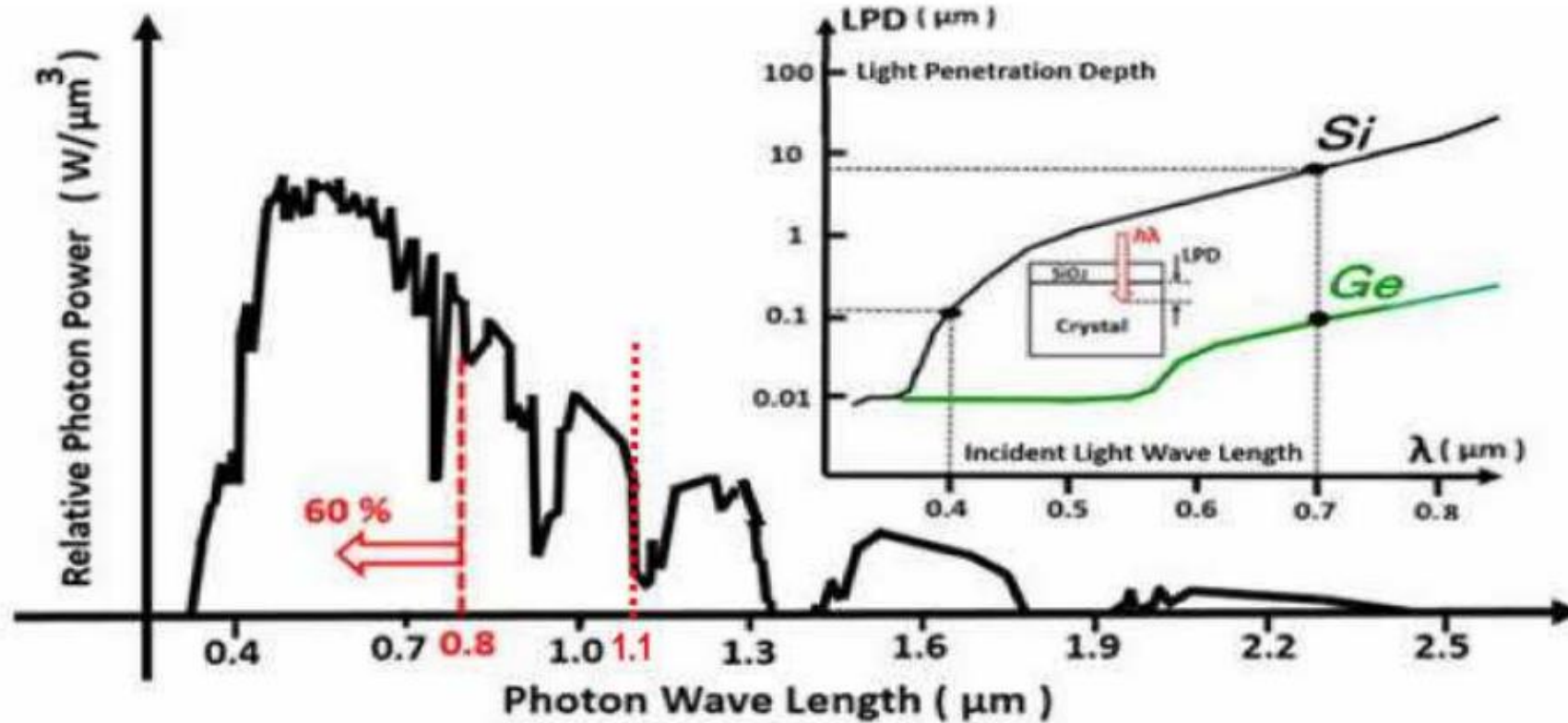


Figure 25. Undesired Rotary Shutter Effect of Conventional CMOS Image Sensors.



$$E = \hbar \omega = hf = hc / \lambda$$
$$E \text{ (eV)} = 1.24 / \lambda \text{ (}\mu\text{m)}$$

For Silicon, $E_g = 1.10 \text{ eV}$ and $\lambda = 1.12 \mu\text{m}$

The light energy of the wave length more than $\lambda = 1.12 \mu\text{m}$ can not be converted to electrical energy in the silicon crystal.

Figure 26. Photo Energy Spectrum of Sun Light and Light Penetration Depth of Silicon Crystal.

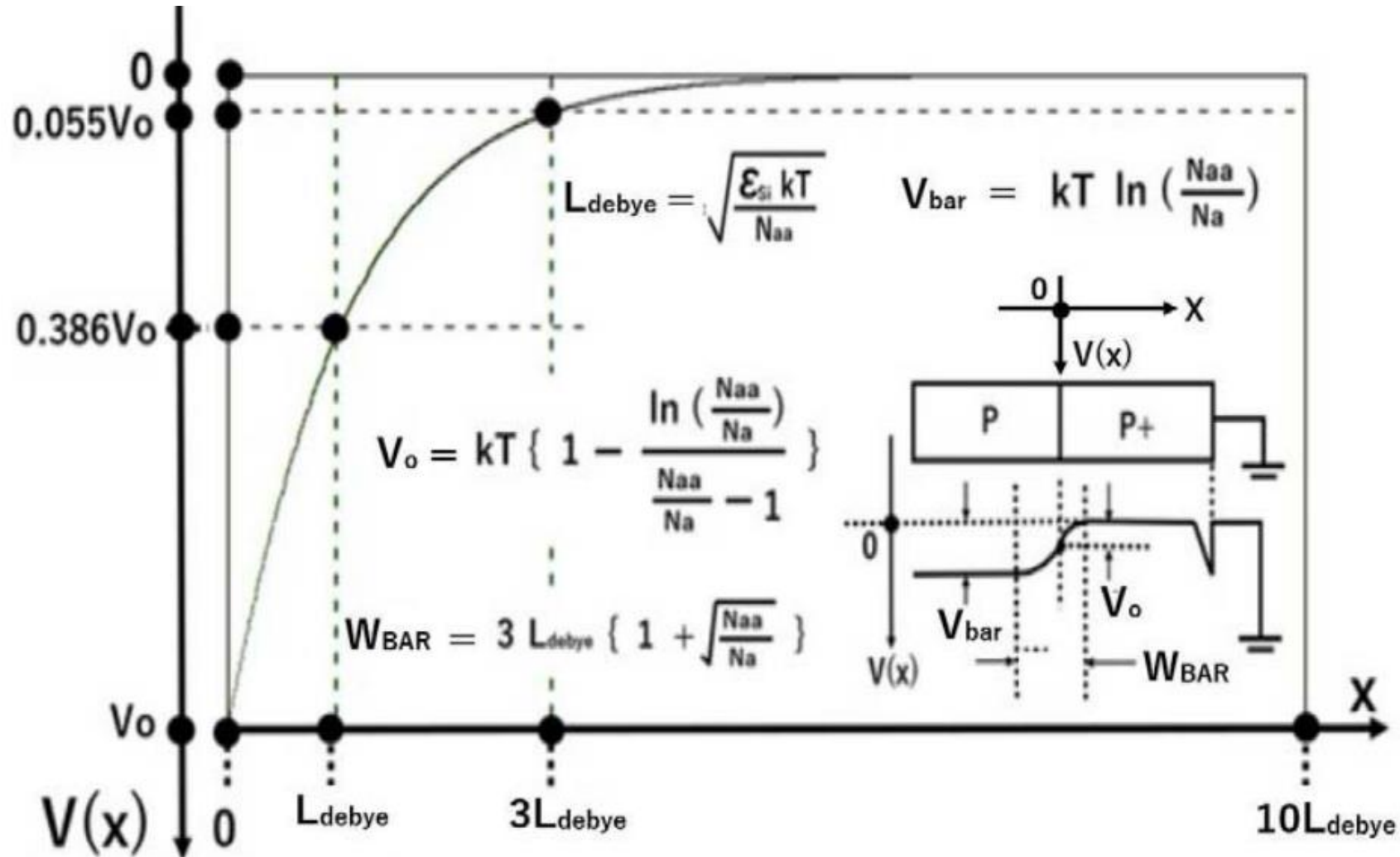


Figure 27. Barrier Potential and Barrier Width of P+P Doping Profile.

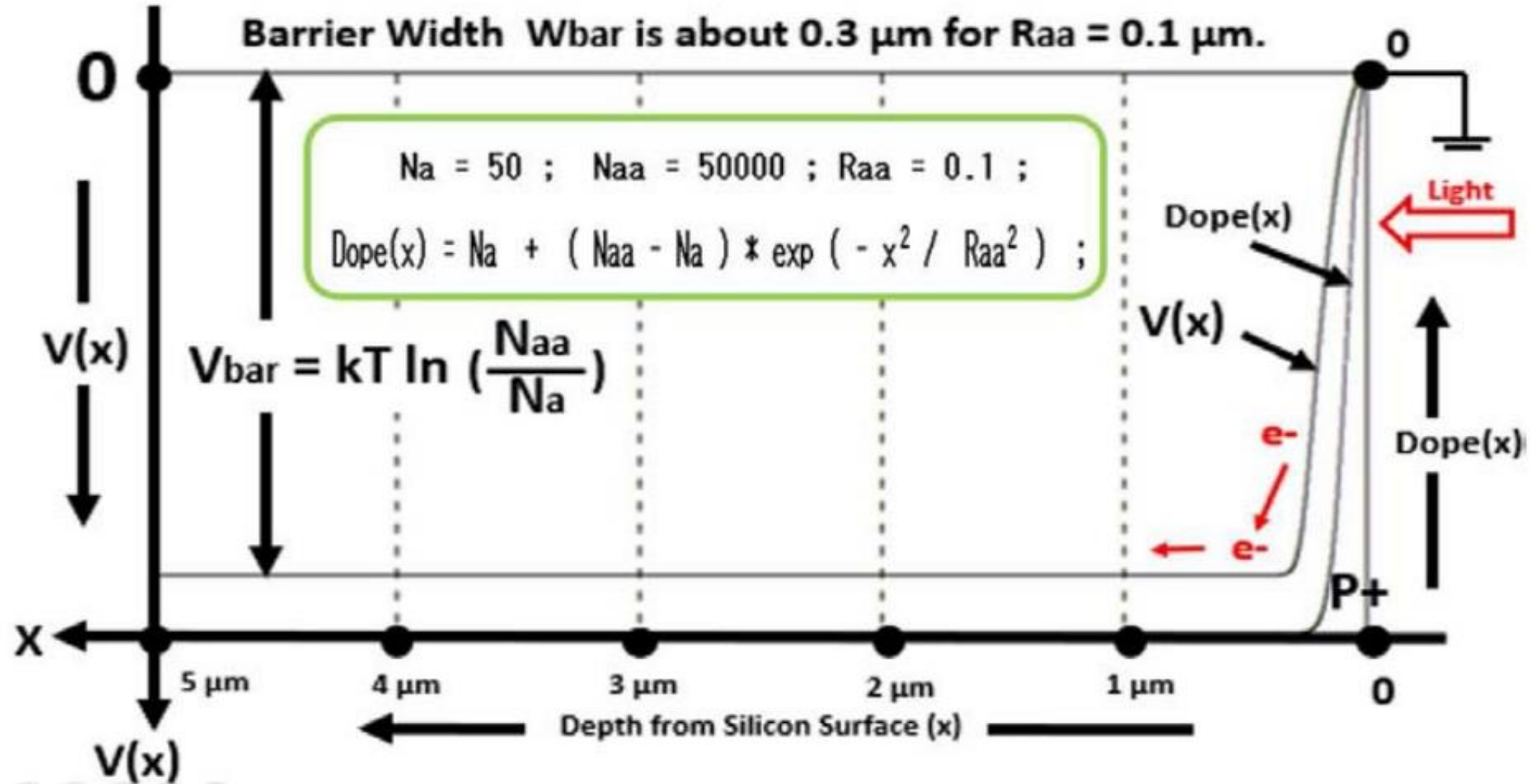


Figure 28. Barrier Potential and Barrier Width of P+P Single Gaussian Doping Profile.

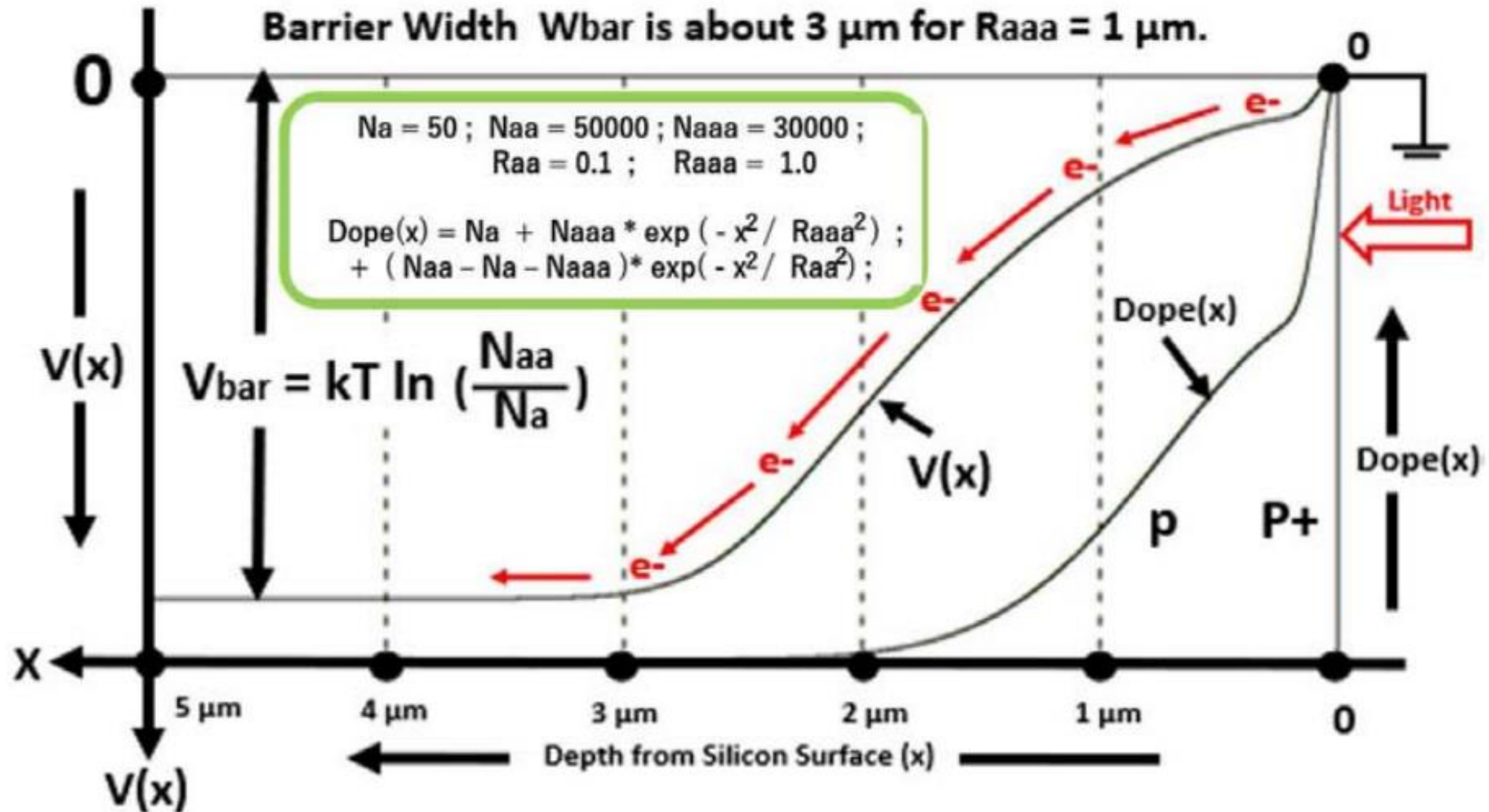
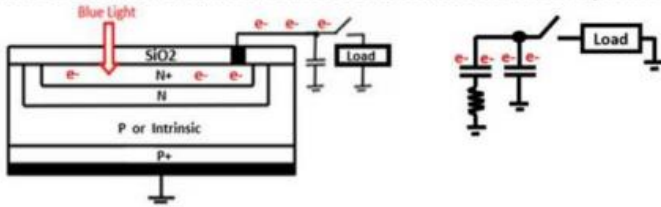
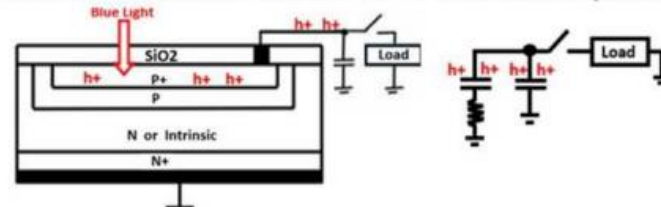


Figure 29. Barrier Potential and Barrier Width of P+P Double Gaussian Doping Profile

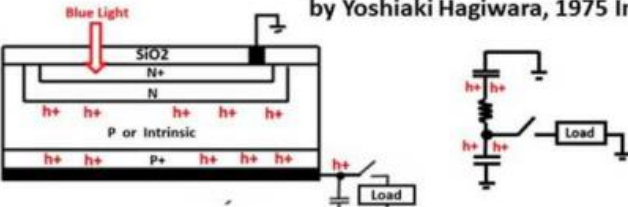
(a) Photo Electron and Hole Surface Recombination is the problem.



(b) Photo Electron and Hole Surface Recombination is the problem.



(c) Solar Cell with Pinned Photodiode defined in JPA1975-127647 by Yoshiaki Hagiwara, 1975 Invention



(d) Solar Cell with Pinned Photodiode defined in JPA1975-127647 by Yoshiaki Hagiwara, 1975 Invention

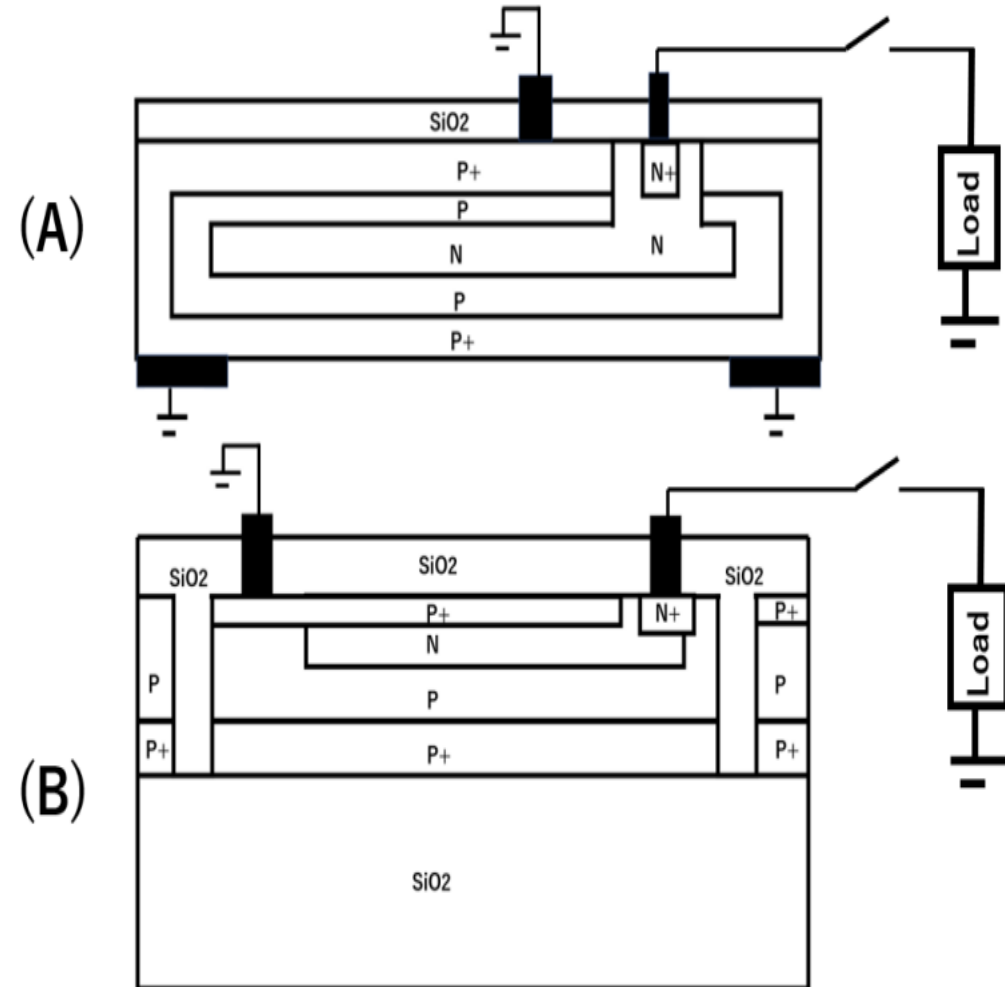
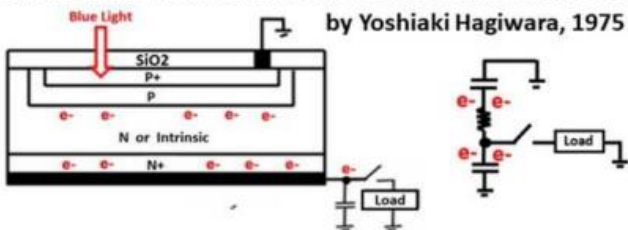


Figure 30. Comparison of Single and Double Junction Type Image Sensors and Solar Cells.

Figure 31. The P+PNP+ Double junction type Solar Cell Structures with the P+ Pinned Surface of Hole Accumulation Thin Layer of Less Than 500 Å.

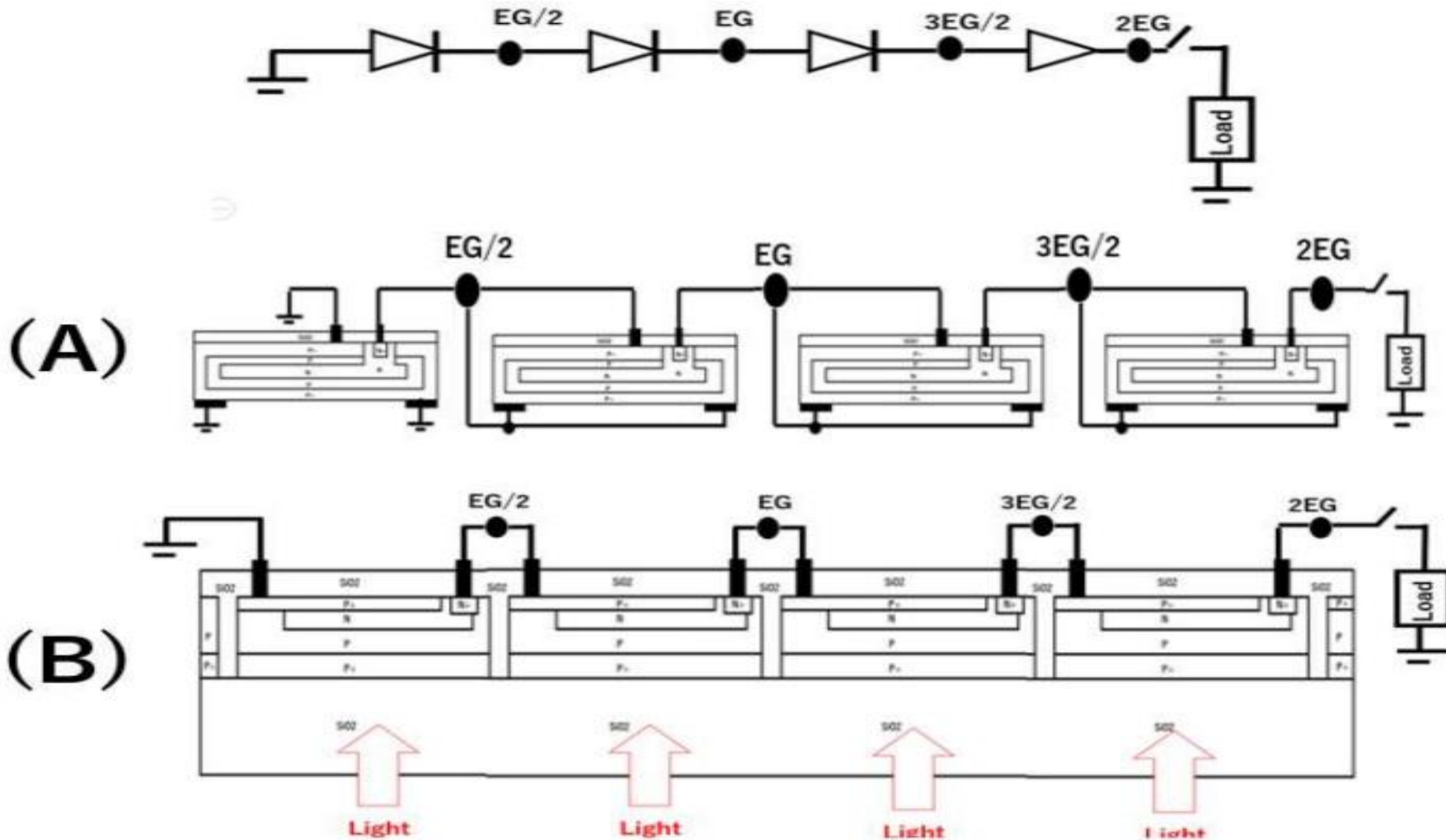
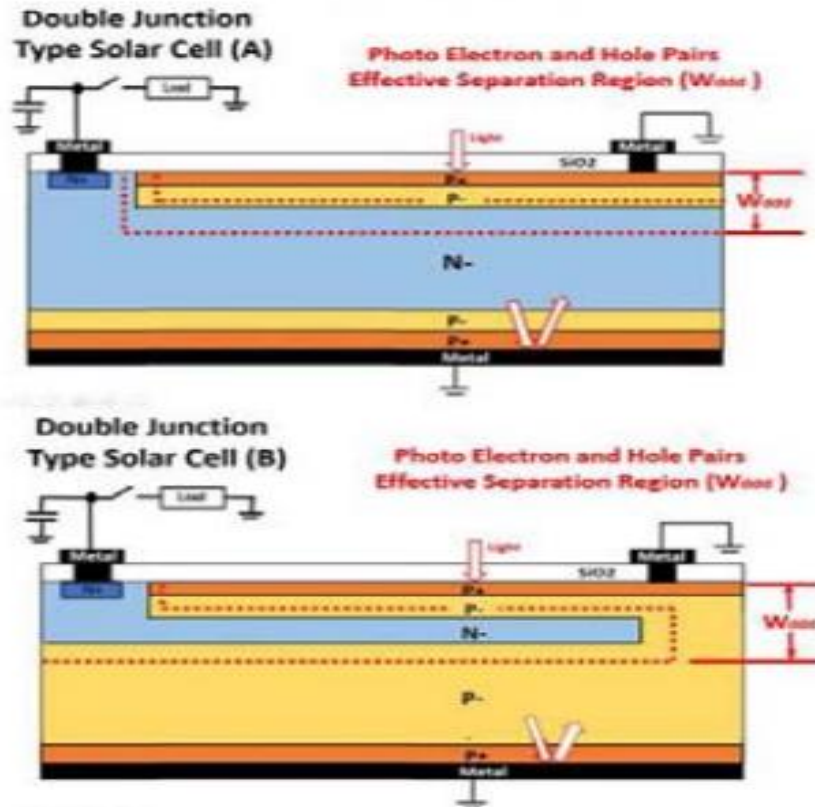


Figure 32. Four Pinned Photodiode Type Solar Cells in Series Connection.

PNP Double Junction Type Solar Cell

See JPA 1975-134985 and JPA2020-131313
invented by Yoshiaki Hagiwara



Double Junction type Pinned Photodiode Solar Cell

See JPA 2020-131313 by Yoshiaki Hagiwara

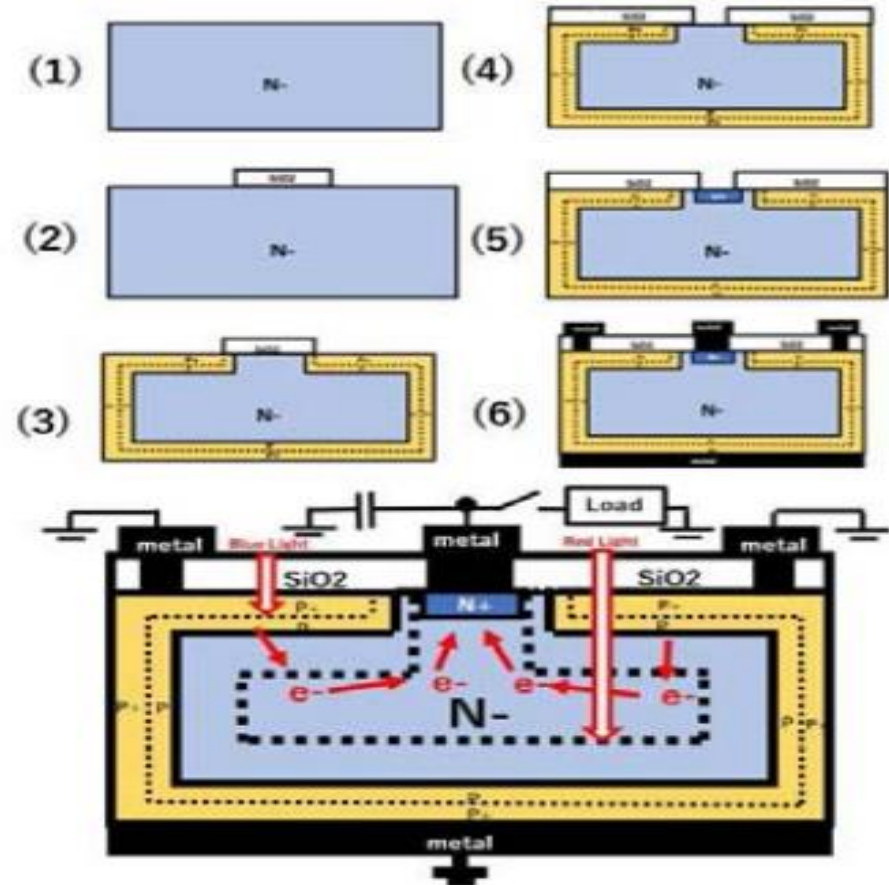


Figure 33. Fabrication Process Flow of Double Junction P+PNPP+ Solar Cell.

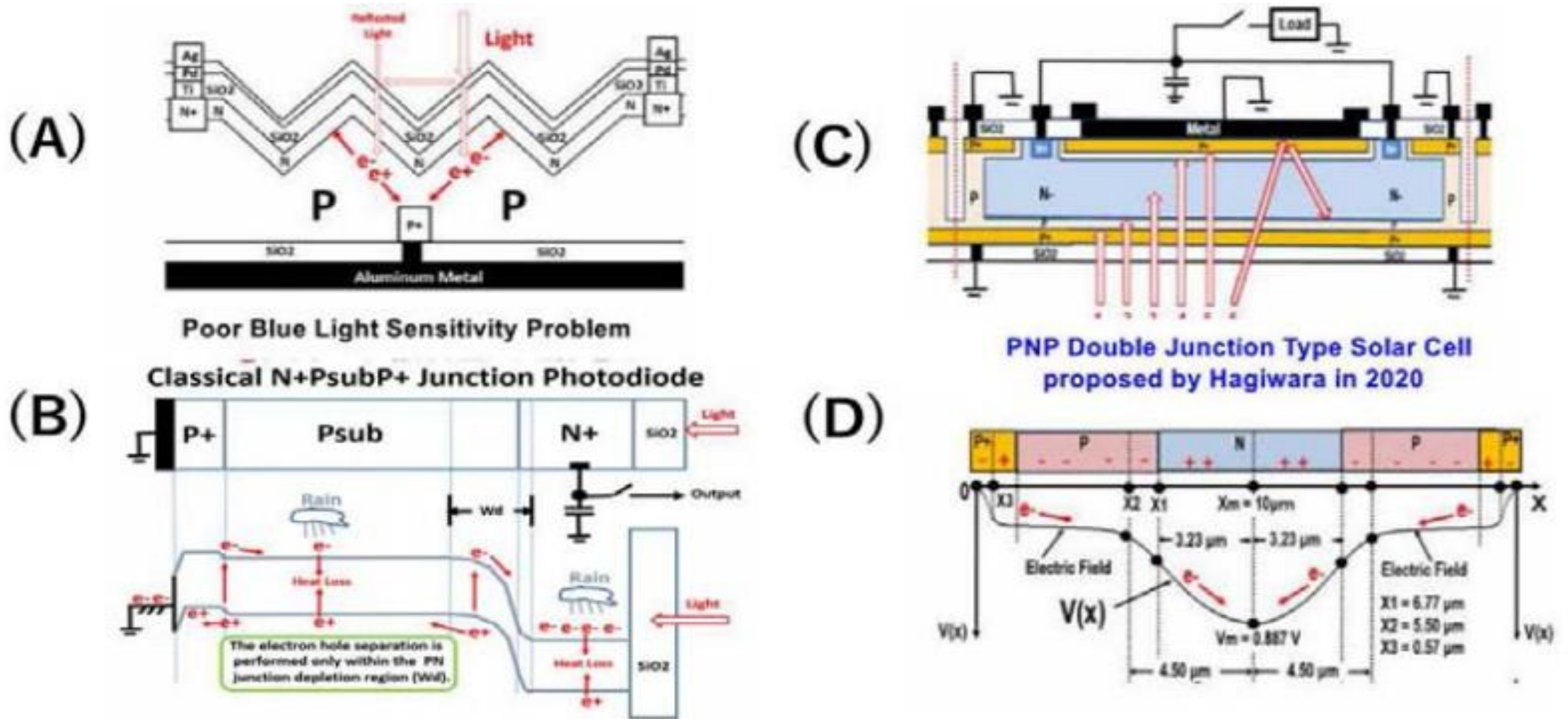


Figure 34. Fabrication Process Flow of Double Junction P+PNPP+ Solar Cell.

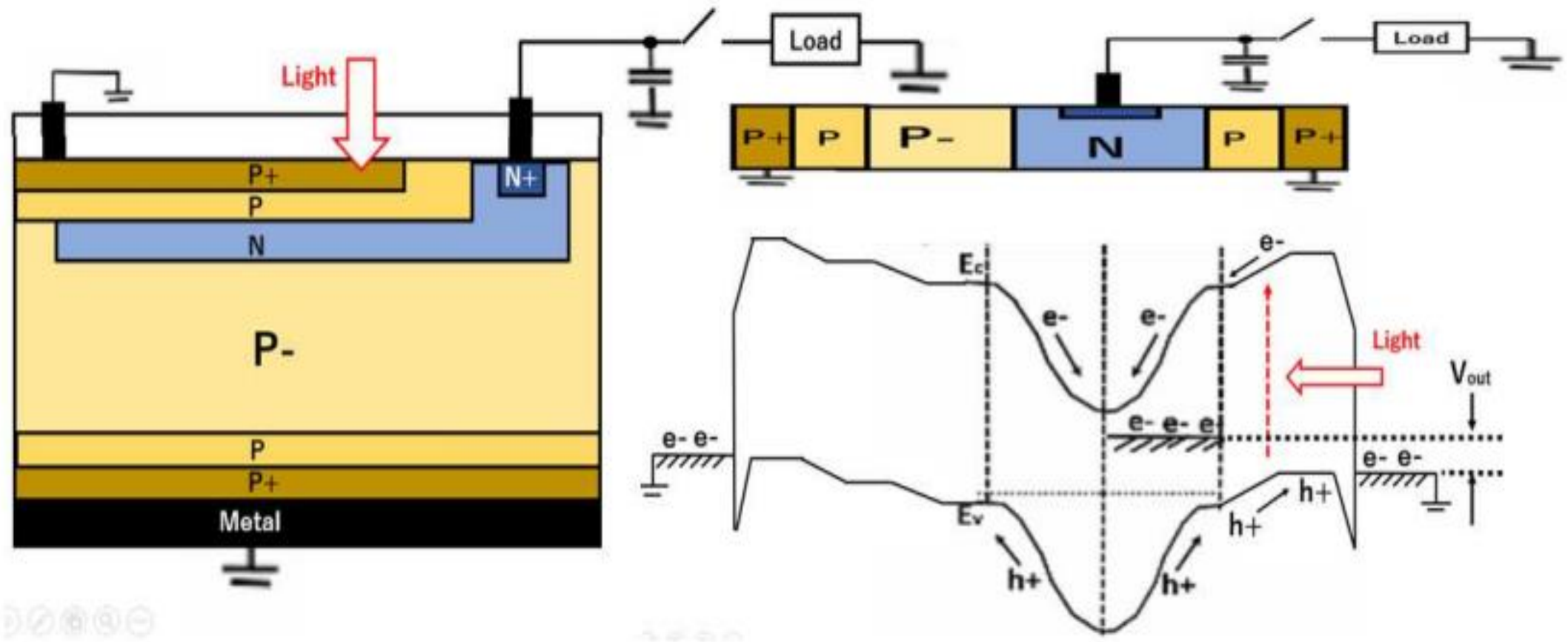
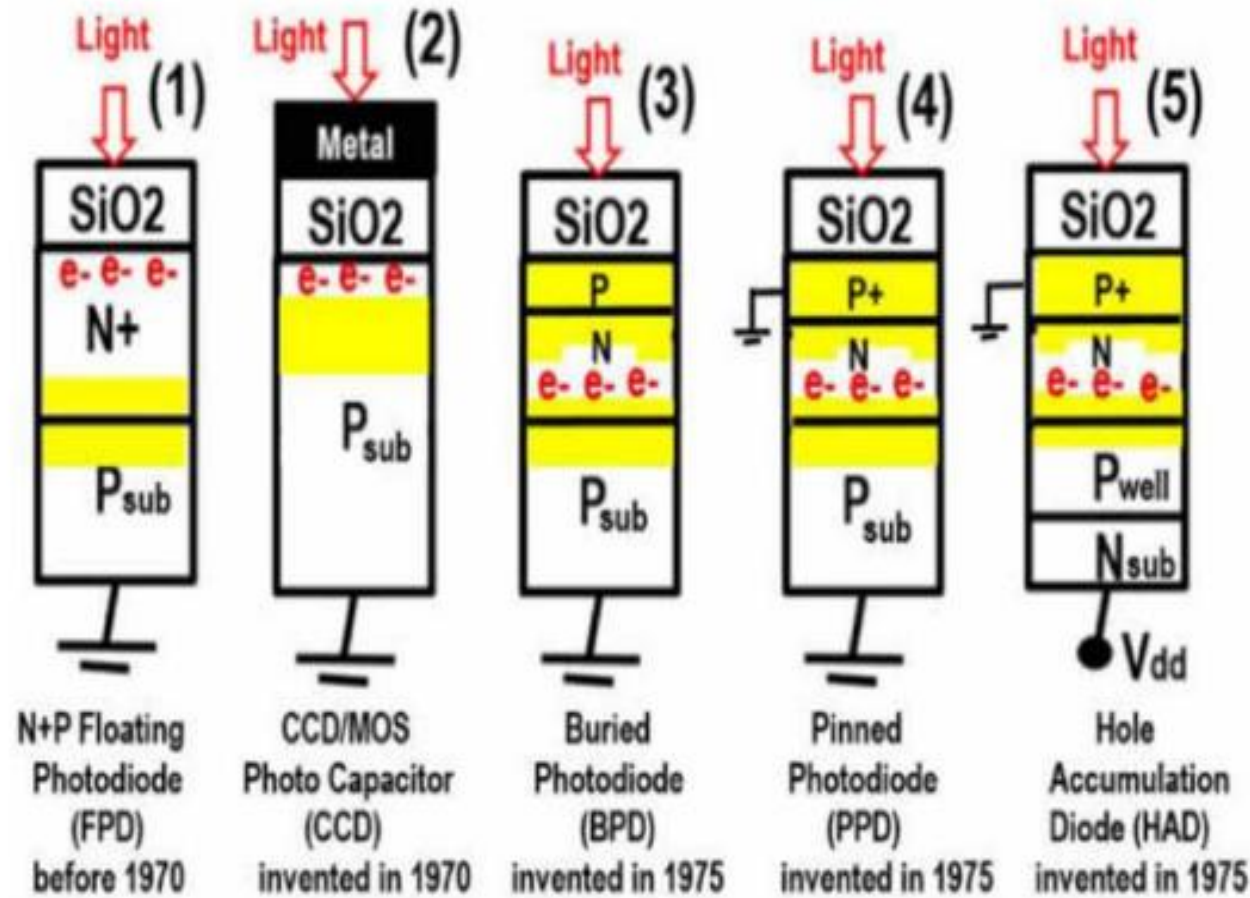
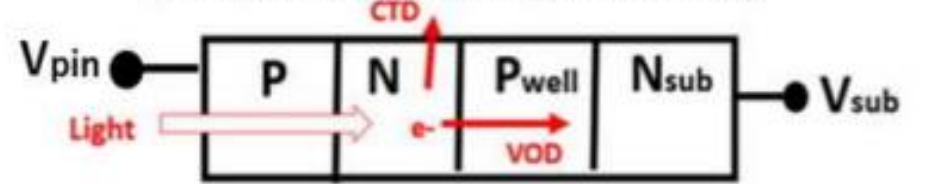


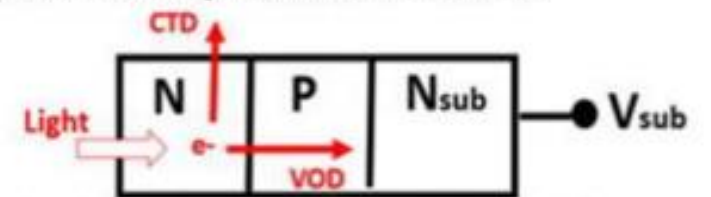
Figure 35. Band Diagram of P⁺PNPP⁺ Double Junction Type Photodiode Solar Cell.



(5) Triple Junction Pinned Photodiode on Substrate
JPA1975-134985 by Hagiwara at Sony



(5a) Floating Surface Double Junction Photodiode
JPA1978-1971 by Yamada at Toshiba



(5b) Floating Surface Double Junction Photodiode
JPA1978-1971 by Teranishi et al at NEC

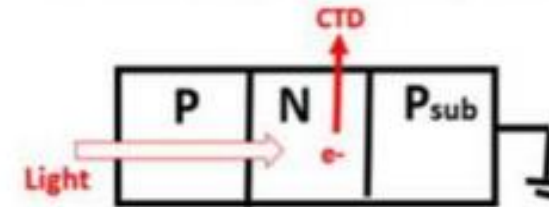
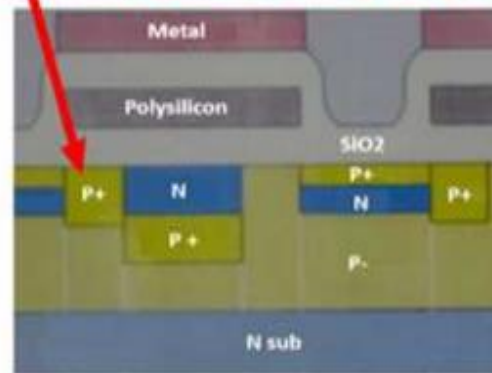
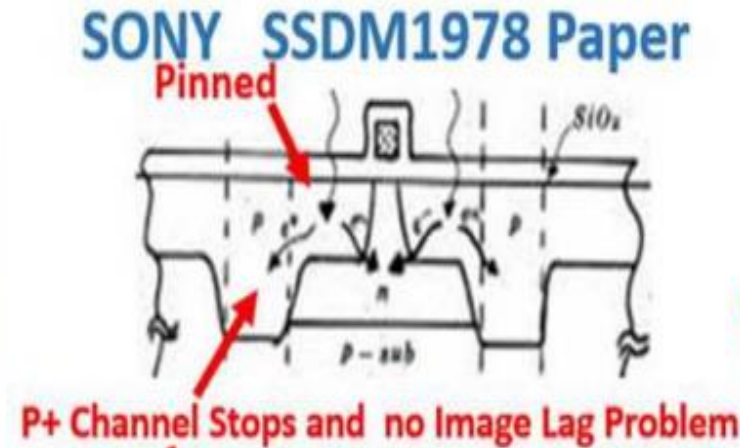
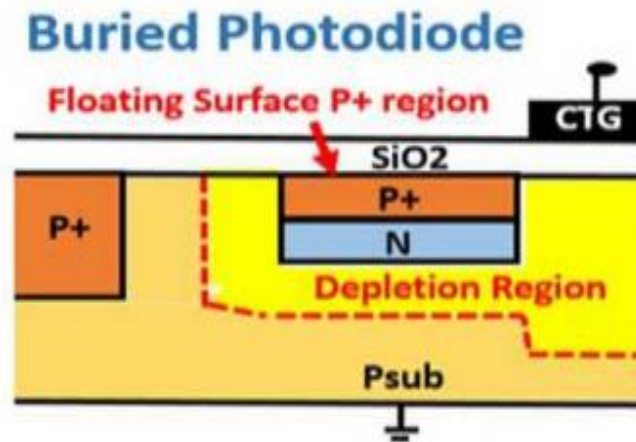
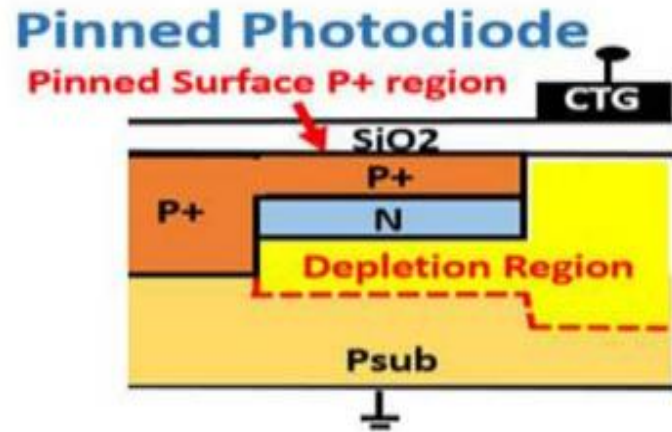
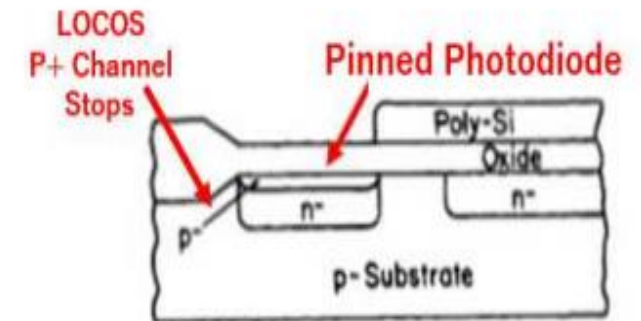
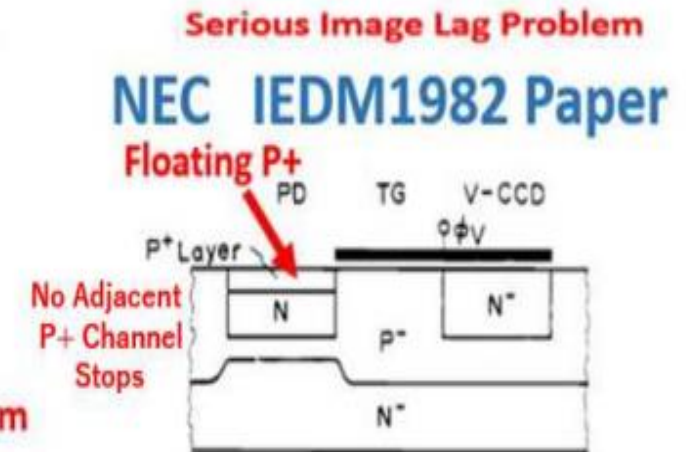


Figure 36. Historical Developments of Five types of Basic Photo Sensors Structures.

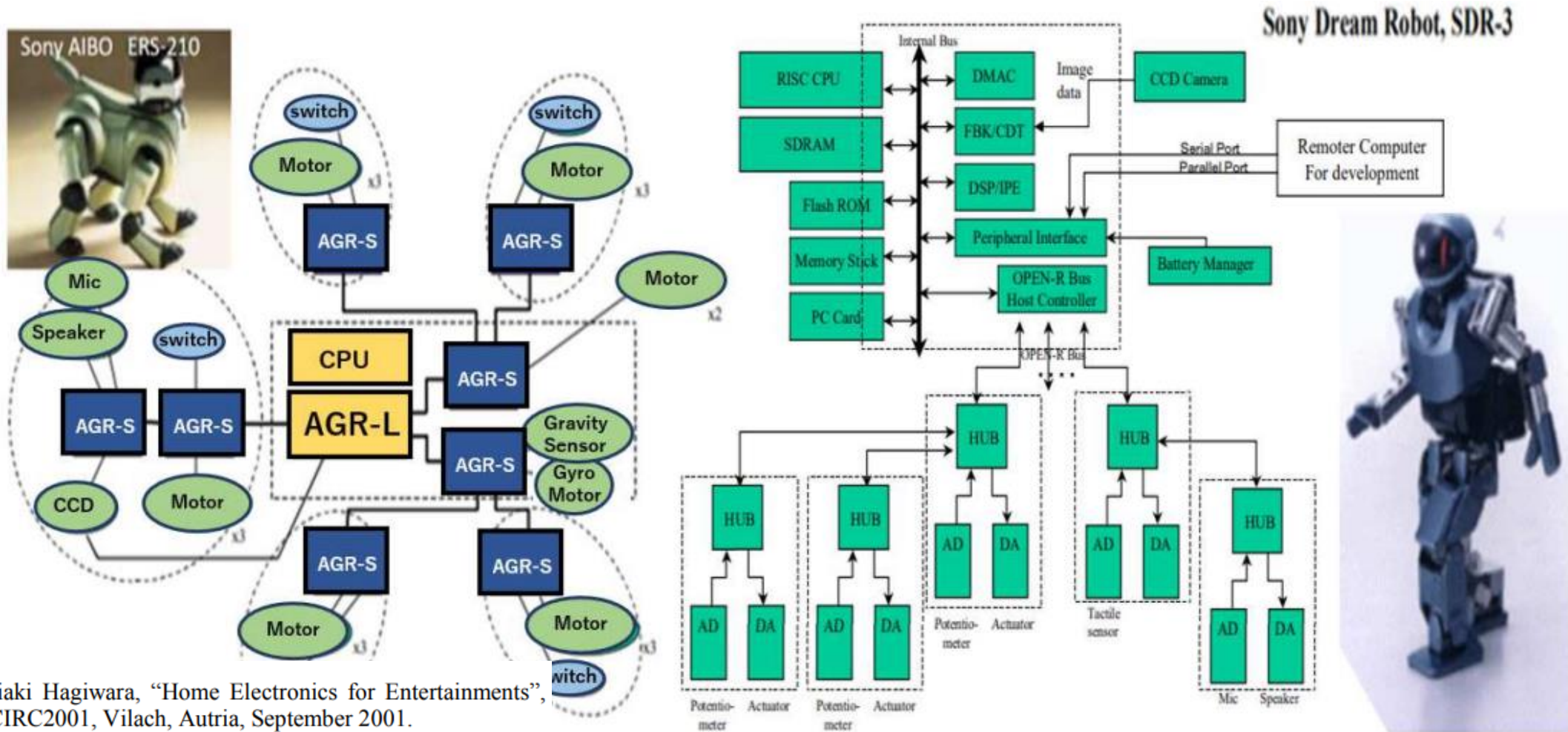


SONY 1987 HAD Sensor



KODAK IEDM1984 Paper

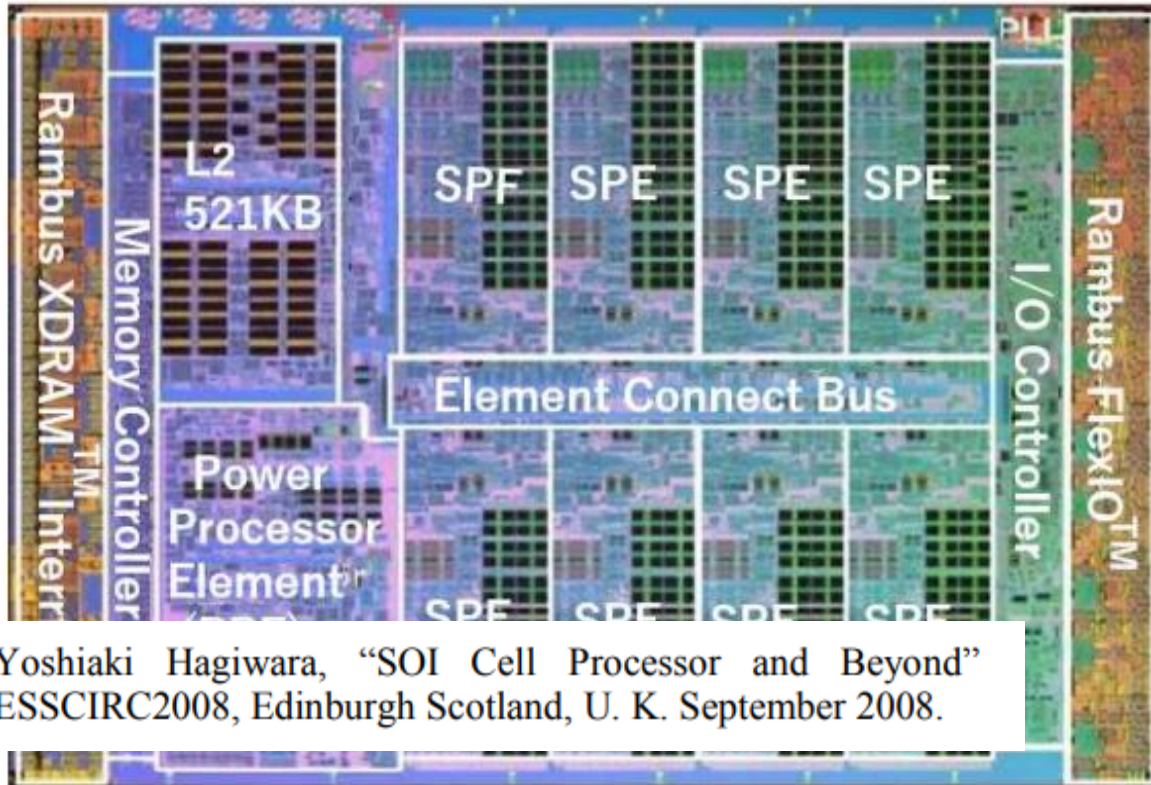
Figure 37. Comparison of Sony 1978, NEC 1982 and Kodak 1984 Photodiodes.



[18] Yoshiaki Hagiwara, "Home Electronics for Entertainments", ESSCIRC2001, Vilach, Austria, September 2001.

Figure 38. Sony Dream Robot AIBO ERS-210 and SDR-3.

Play Station 3 Cell Processor Broadband Engine

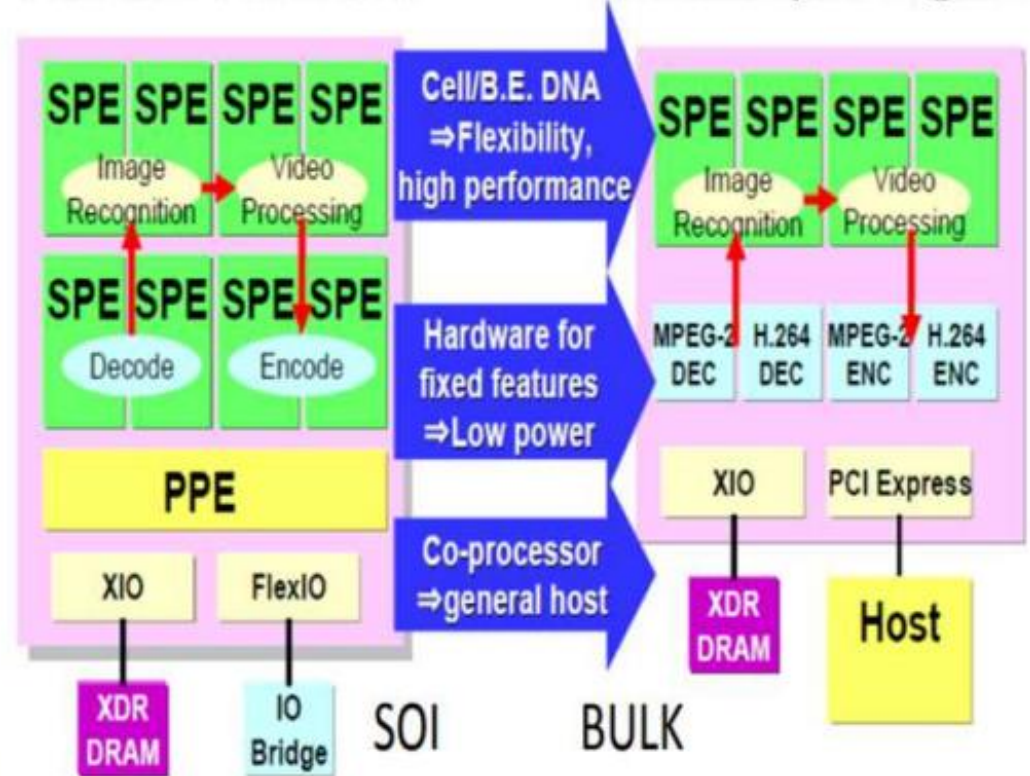


[19] Yoshiaki Hagiwara, "SOI Cell Processor and Beyond" ESSCIRC2008, Edinburgh Scotland, U. K. September 2008.

Osamu Takahashi at ISSCC2008

PS3 Cell Processor

Toshiba Spur Engine



Mitsuo Saito at ICD-ARC Panel May 13, 2008

Figure 39. PS3 Cell / B. E. and Toshiba Spurs Engine.

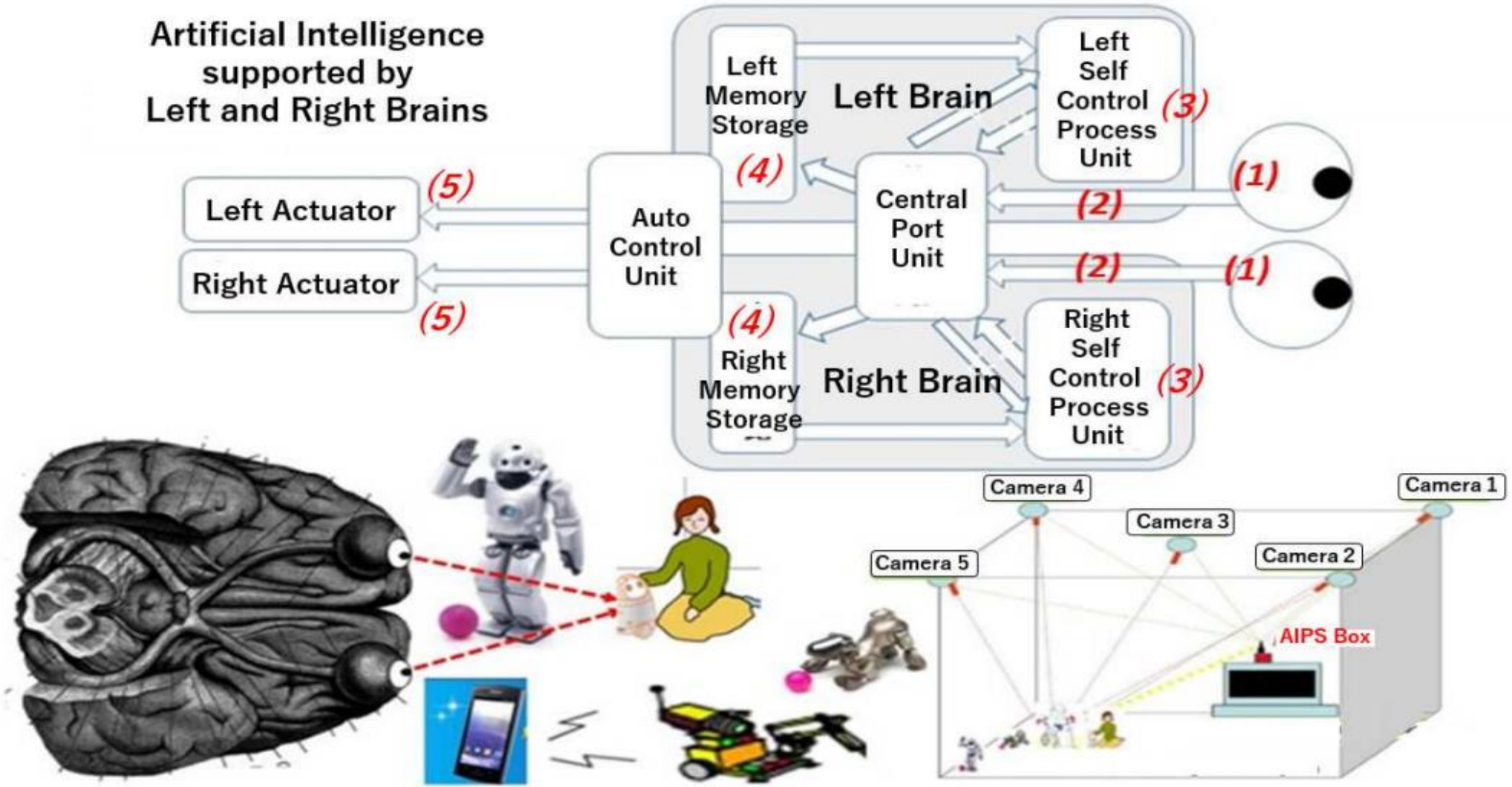


Figure 40. Artificial Intelligence supported by Left and Right Brains.

See <http://www.aiplab.com>

Pinned Buried PIN Photodiode Type Solar Cell

(4) [P2021 ICECET2021 Paper61.pdf](#)

[P2021 ICECET2021 Paper61.html](#)

Abstract— This paper reviews the origin of Pinned Buried Photodiode and its historical development efforts. Three original Japanese Patent Applications filed by Hagiwara at Sony in 1975 are explained in details which defined the first triple junction type Pinned Buried Photodiode with the in-pixel vertical overflow drain (VOD) function with the electrical shutter capability, realizing the completely film-free and mechanical-parts-free all-digital solid-state image sensors. It is shown that the conventional PN junction depletion region is not the only place to have a barrier potential needed for photo electron hole pair separation. A clever doping-engineering of the pinned surface P+P hole accumulation region can also create the surface barrier electric field to enhance drastically the photo electron and hole pair separations to increase the short-wave blue light sensitivity. It is concluded that this surface P+P doping-engineering possibly creates Pinned Buried PIN Photodiode Type Solar Cell with a better quantum efficiency.

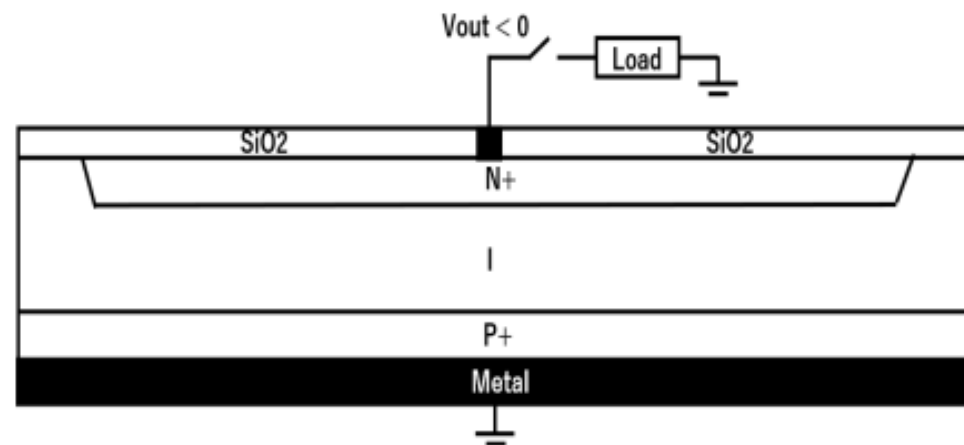


Fig. 1 Single junction PIN photodiode type Solar Cell (Nishizawa 1950)

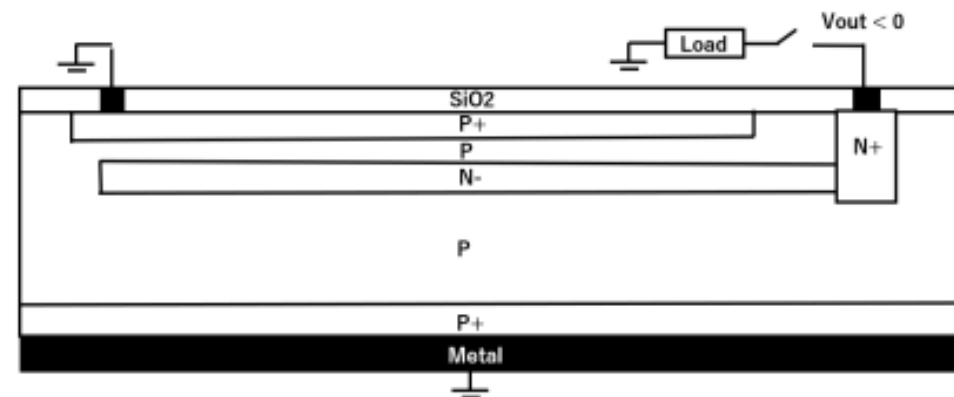


Fig. 2 Double Junction Pinned Photodiode type Solar Cell (Hagiwara.2020)

Pinned Buried PIN Photodiode Type Solar Cell

(4) [P2021 ICECET2021 Paper61.pdf](#)

[P2021 ICECET2021 Paper61.html](#)

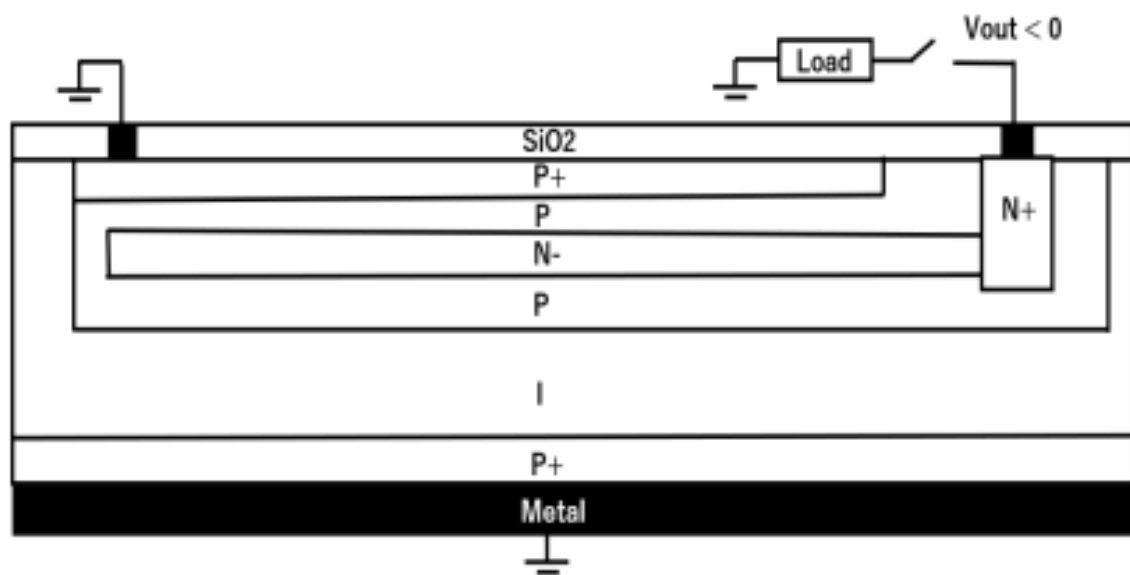


Fig. 3 Pinned PIN Photodiode type Solar Cell (Hagiwara.2021)

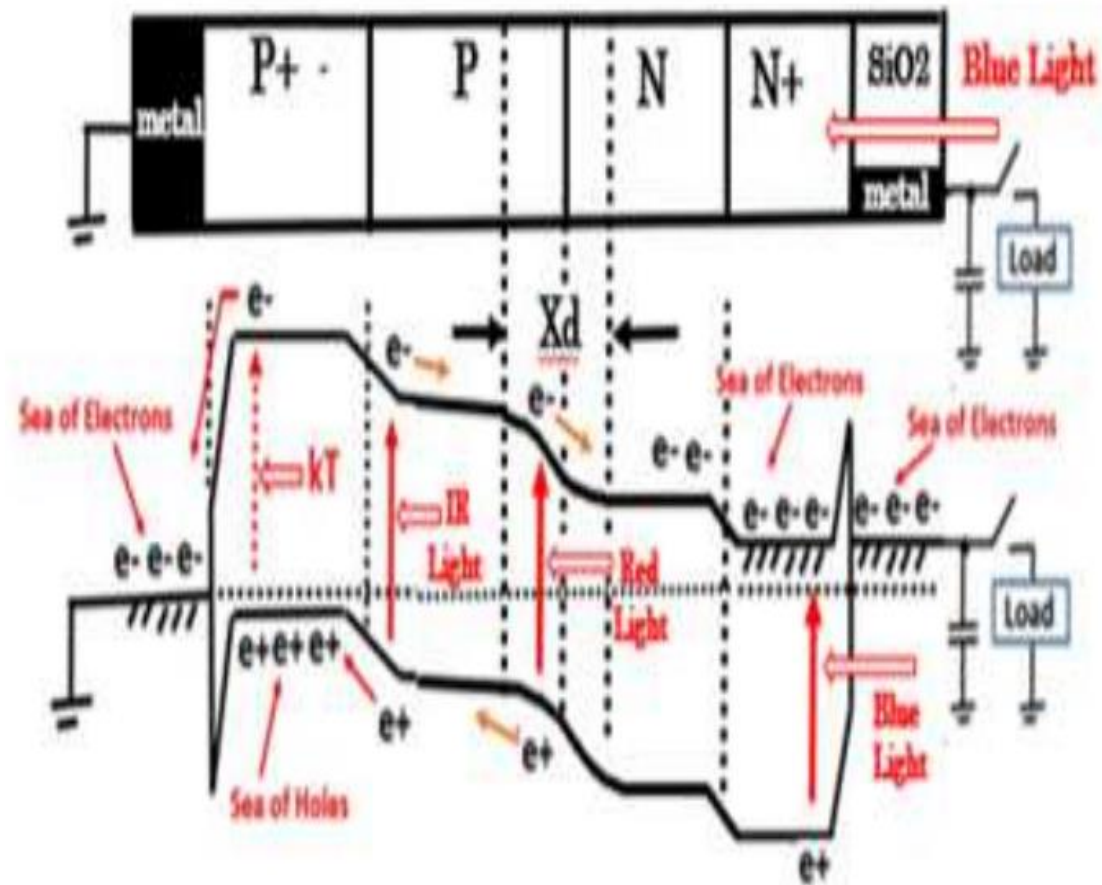


Fig. 4 Single Junction N⁺NP⁺ Photodiode type Solar Cell

Pinned Buried PIN Photodiode Type Solar Cell

(4) [P2021 ICECET2021 Paper61.pdf](#)

[P2021 ICECET2021 Paper61.html](#)

Pinned Buried Photodiode invented by Yoshiaki Hagiwara
as defined in Japanese Patent Claim of
JPA1975-127646 filed on October 23, 1975

特許請求の範囲

半導体基体の一方の主面側に、絶縁膜を介して電荷転送用電極が被着配列される1の導電膜の転送領域が形成され、之に対向し且つ之より上記半導体基体の他方の主面側に上記転送領域との間に他の導電膜のベース領域を介して受光領域が形成され、上記ベース領域に所定電圧を印加することにより上記受光領域に蓄積した電荷を上記転送領域に転送し、上記電荷転送用電極に所定のクロック電圧を印加して電荷の転送を行うようにしたことを特徴とする固体撮像装置。

Pinned Buried Photodiode shown in Figure 7
in JPA1975-127646 filed on October 23, 1975

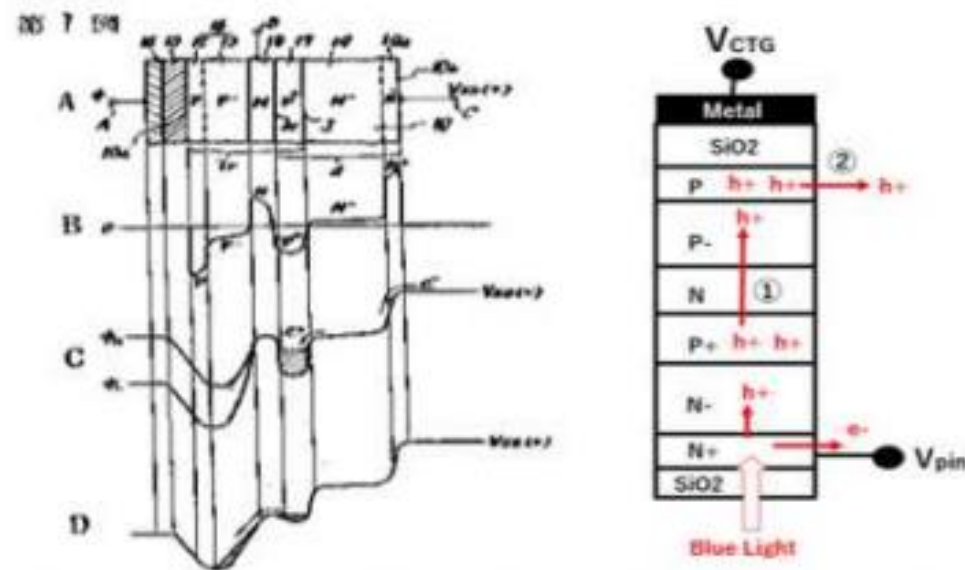


Fig 5 A reproduction of Patent Claim and a figure in JPA1975-127646

Pinned Buried PIN Photodiode Type Solar Cell

(4) [P2021 ICECET2021 Paper61.pdf](#)

[P2021 ICECET2021 Paper61.html](#)

Pinned Buried Photodiode invented by Yoshiaki Hagiwara
as defined in Japanese Patent Claim of
JPA1975-127647 filed on October 23, 1975

特許請求の範囲

半導体基体の一方の主面側に、絶縁膜を介して電荷転送用電極が被覆配列される1の導電型の転送領域が形成され、之より上記半導体基体の他方の主面側に上記転送領域に接する他の導電型の領域と被覆膜に接する1の導電型の領域とより成る受光領域が形成され、上記転送用電極に所定の電圧を印加することにより、上記受光領域に蓄積した電荷を上記転送領域に転送し、上記電荷転送用電極に上記所定の電圧とは異なるクロック電圧を印加して上記基体の上記一方の主面に沿つて電荷の転送を行うようにしかことを特徴とする固体撮像装置。

Pinned Buried Photodiode shown in Figure 7
in JPA1975-127647 filed on October 23, 1975

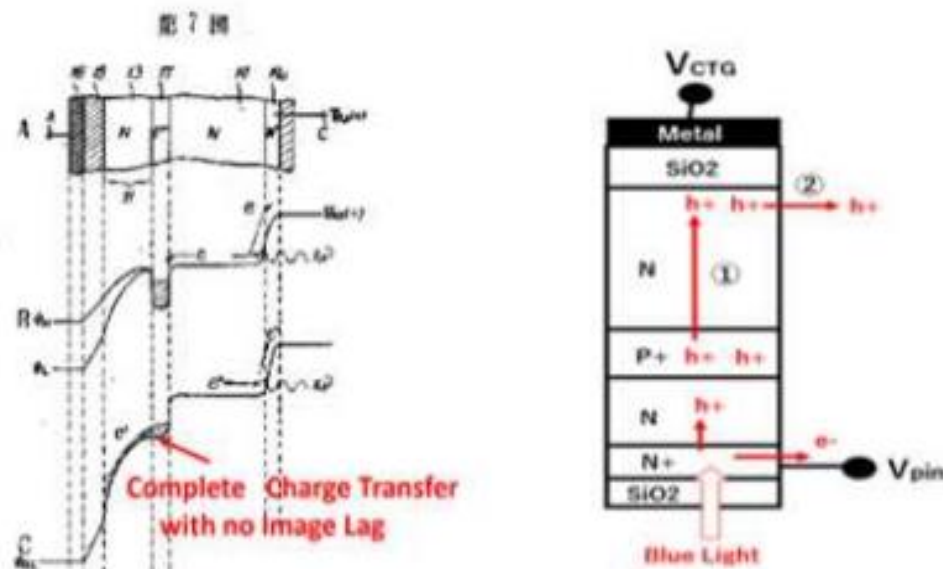


Fig 6 A reproduction of Patent Claim and a figure in JPA1975-127647

Pinned Buried PIN Photodiode Type Solar Cell

(4) [P2021 ICECET2021 Paper61.pdf](#)

[P2021 ICECET2021 Paper61.html](#)

Pinned Buried Photodiode invented by Yoshiaki Hagiwara
as defined in Japanese Patent Claim of
JPA1975-134985 filed on November 10, 1975

特許請求の範囲

半導体基体に、第1導電型の第1半導体領域と、
之の上に形成された第2導電型の第2半導体領域
とが形成されて光感知部と之よりの電荷を転送する
電荷転送部とが上記半導体基体の主面に沿う如く
配置されて成る固体撮像装置に於いて、上記光感
知部の上記第2半導体領域に整流性接合が形成さ
れ、該接合をエミッタ接合とし、上記第1及び第
2半導体領域間の接合をコレクタ接合とするトラ
ンジスタを形成し、該トランジスタのベースとな
る上記第2半導体領域に光学像に応じた電荷を蓄
積し、ここに蓄積された電荷を上記転送部に移行
させて、その転送を行うようにしたことを特徴と
する固体撮像装置。

Pinned Buried Photodiode shown in Figure 6
in JPA1975-134985 filed on November 10, 1975

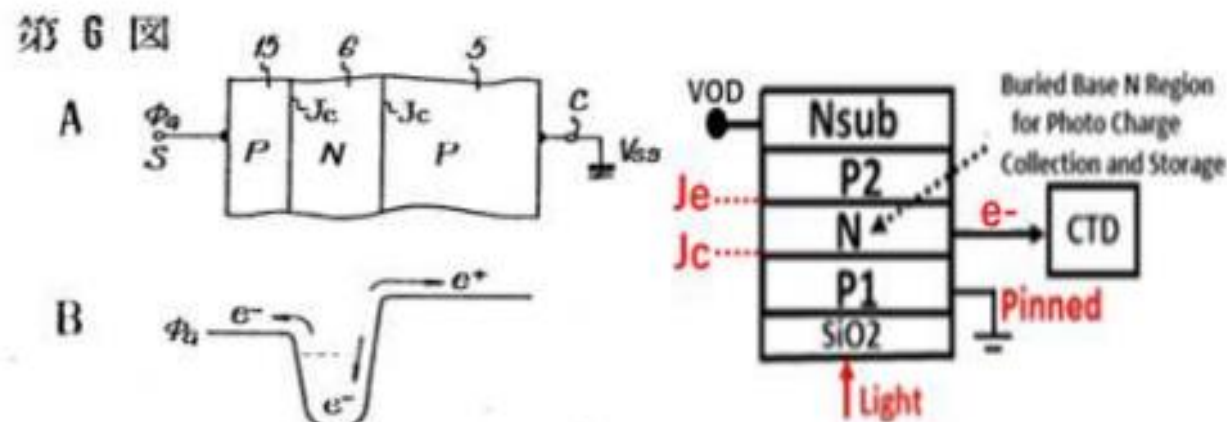


Fig 7 A reproduction of Patent Claim and a figure in JPA1975-134985

Pinned Buried PIN Photodiode Type Solar Cell

(4) [P2021 ICECET2021 Paper61.pdf](#)

[P2021 ICECET2021 Paper61.html](#)

TABLE I. HISTORICAL PHOTOSENSOR DEVELOPMENT EFFORTS

Three types of Photo Sensing Devices Three important Features		1	2	3
		N+P Single Junction Photodiode with Floating N+ Surface	Charge Couple Device CCD/MOS Dynamic Photo Capacitor	P+NP Double Junction Dynamic Photo Transistor Pinned Buried Photodiode
1	Image Lag Problem	Serious Image Lag Problem	No Image Lag Problem	No Image Lag Problem
2	Surface Dark Current Noise	No Surface Dark Current Noise	Serious Surface Dark Current Noise	No Surface Dark Current Noise
3	Short-Wave Light Sensitivity	Poor Short-Wave Light Sensitivity	Very Poor Short-Wave Light Sensitivity	Excellent Short-Wave Light Sensitivity

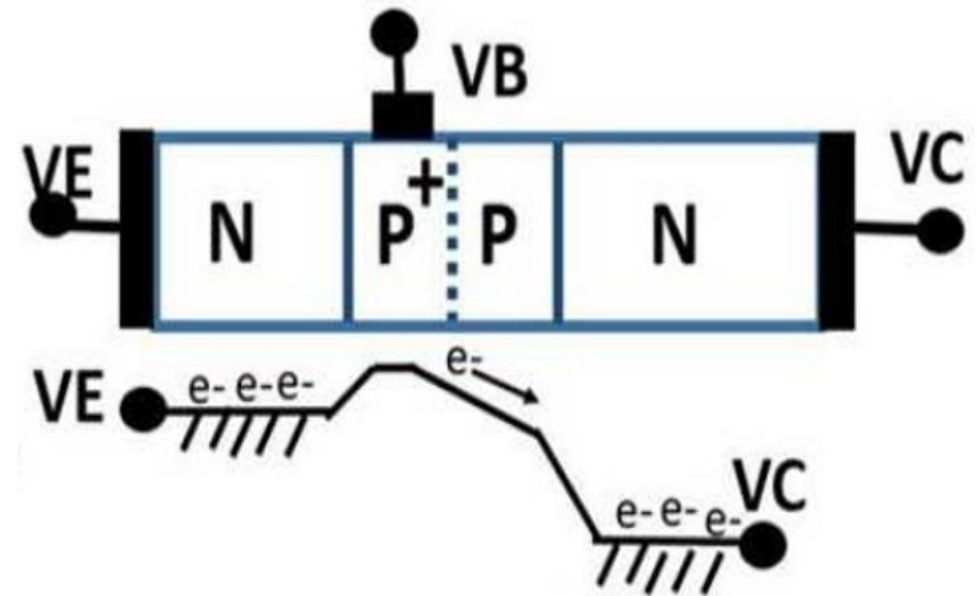


Fig. 8 Drift Field Transistor with the base barrier electric field formed by the P+P base doping-engineering for high frequency operations.

Pinned Buried PIN Photodiode Type Solar Cell

(4) [P2021 ICECET2021 Paper61.pdf](#)

[P2021 ICECET2021 Paper61.html](#)

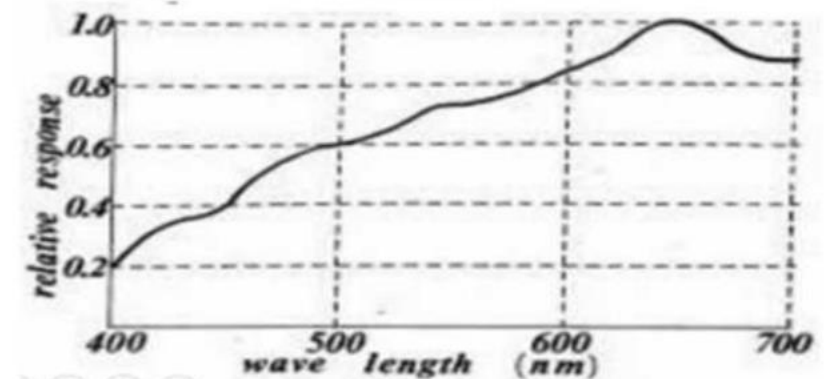
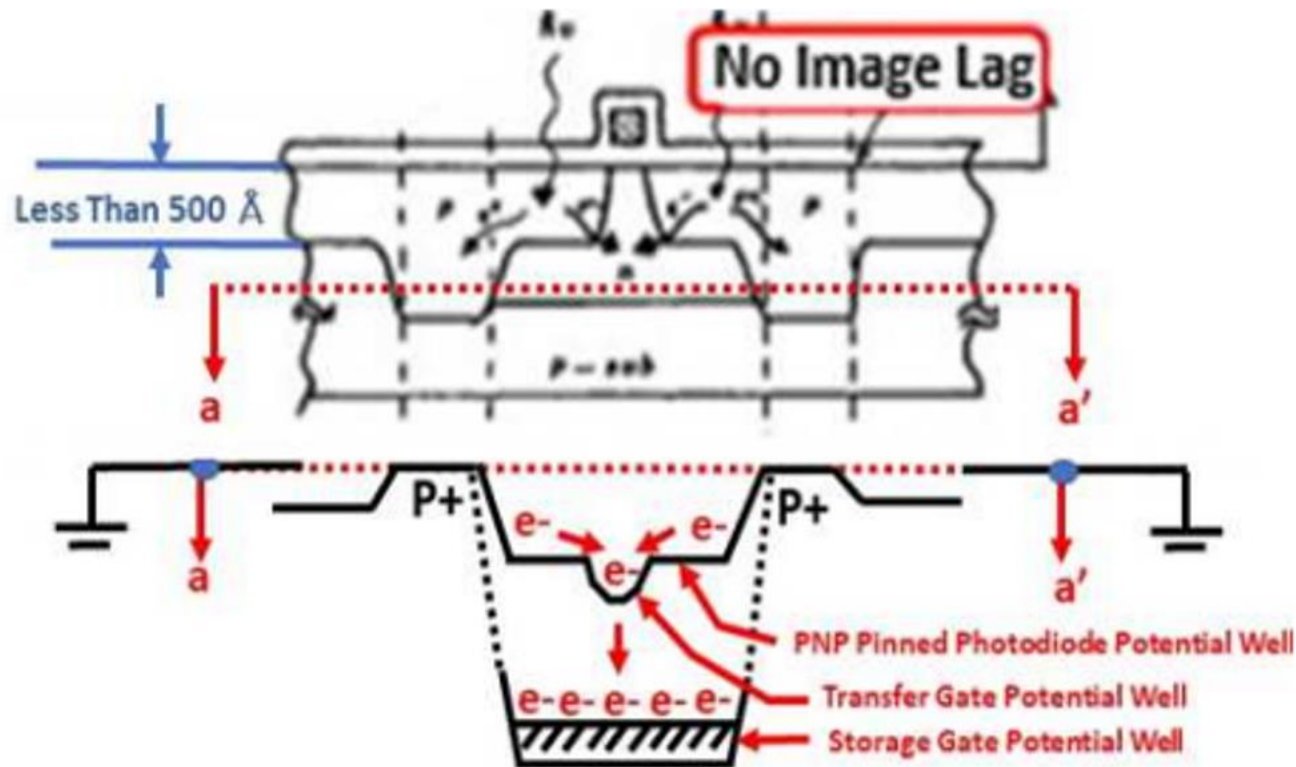


Fig. 9 Spectral Response of Pinned Buried Photodiode, reported at SSDM1978 in Tokyo. Sony had no image lag problem by 1980 using first all-CCD process and then this PNP Double junction Photo Transistor Process while all other companies suffered image lag problem with the N+P floating-surface single-junction type photo sensor with poor blue light sensitivity.

Pinned Buried PIN Photodiode Type Solar Cell

(4) [P2021 ICECET2021 Paper61.pdf](#)

[P2021 ICECET2021 Paper61.html](#)

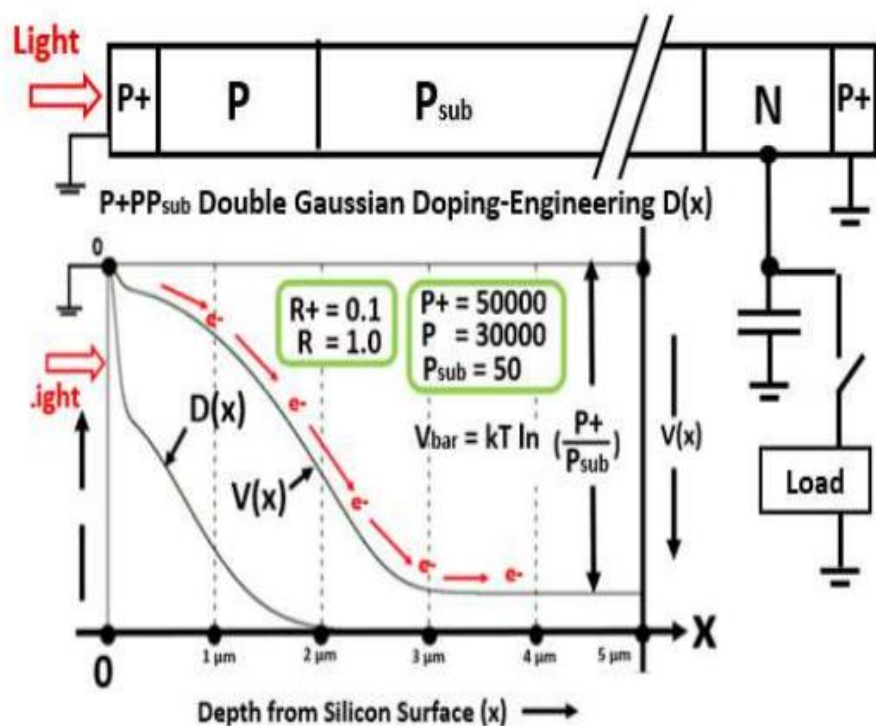


Fig. 10 Exact Numerical Computation of P+P Surface Barrier Potential $V(x)$

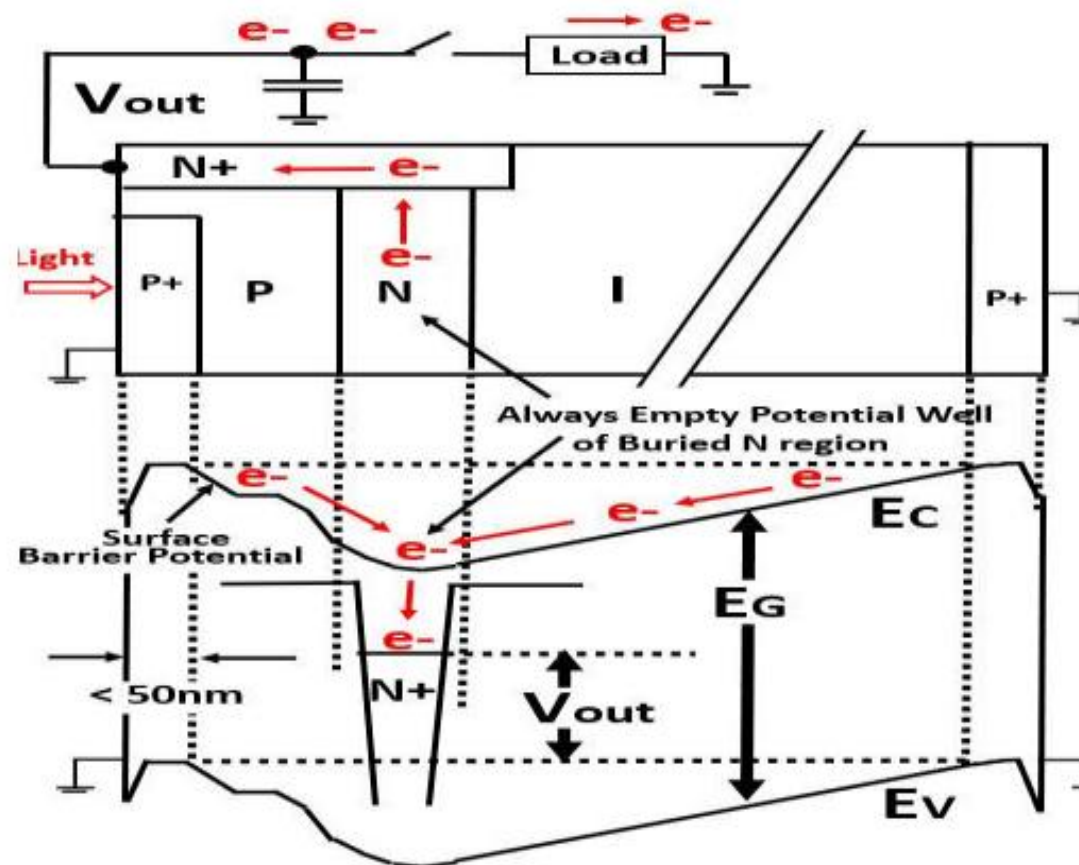


Fig. 11 Pinned Buried P+PNIP+ Photodiode Structure type Solar Cell

Pinned Buried PIN Photodiode Type Solar Cell

(4) [P2021 ICECET2021 Paper61.pdf](#)

[P2021 ICECET2021 Paper61 htm](#)

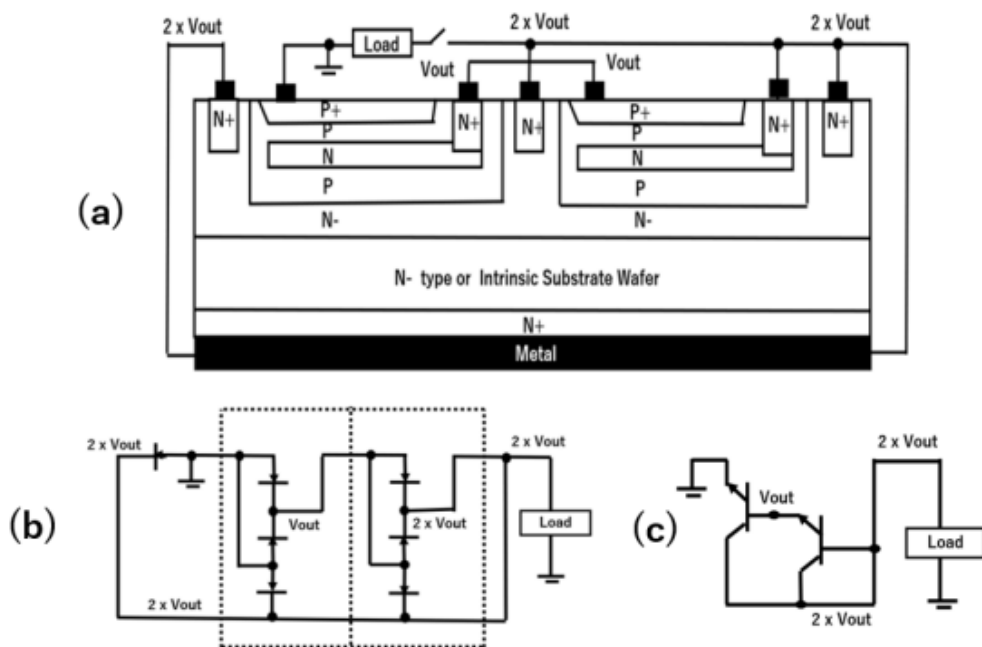


Fig. 12 (a) Two Units of Triple Junction Pinned Buried P+PNPIP-Photodiode type Solar Cells in series with (b) a diode circuit formation and (c) two-photo-transistor formation which can be fabricated by Bipolar Tr Process.

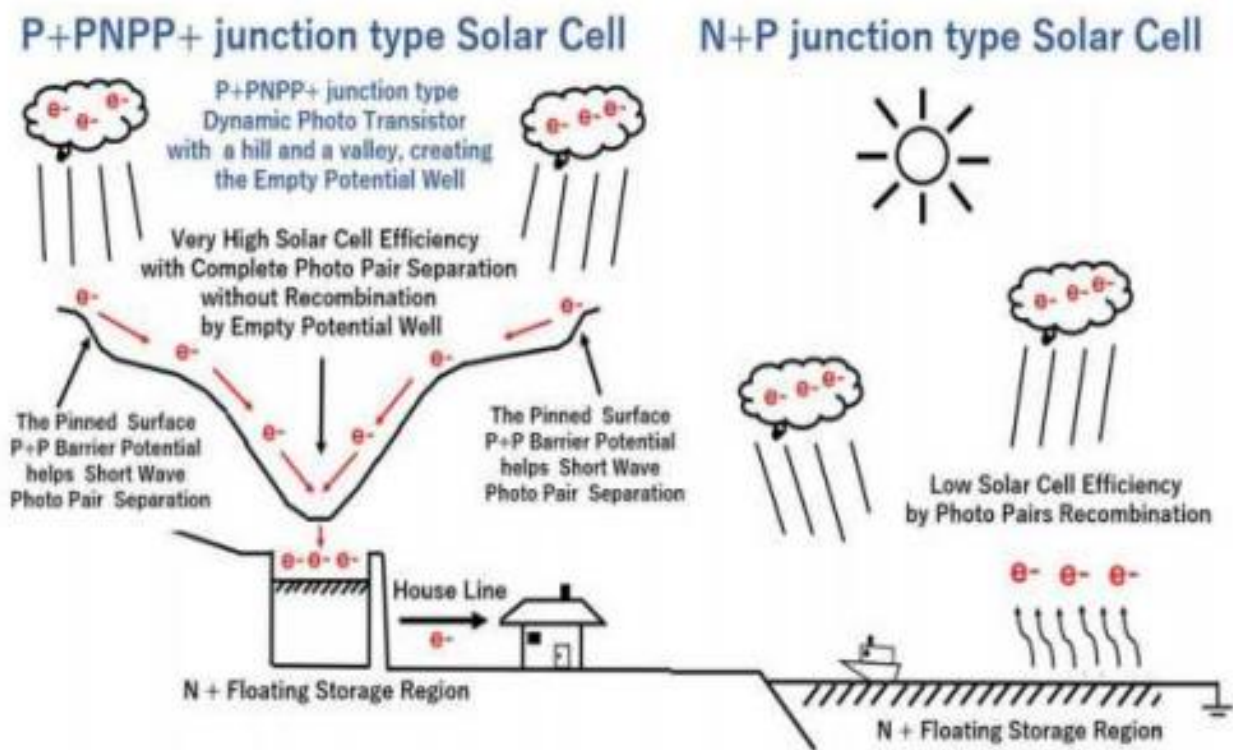


Fig. 14 Analogy of rain drops and photo electrons under the sunshine.

Pinned Buried PIN Photodiode Type Solar Cell

(4) [P2021 ICECET2021 Paper61.pdf](#)

[P2021 ICECET2021 Paper61.html](#)

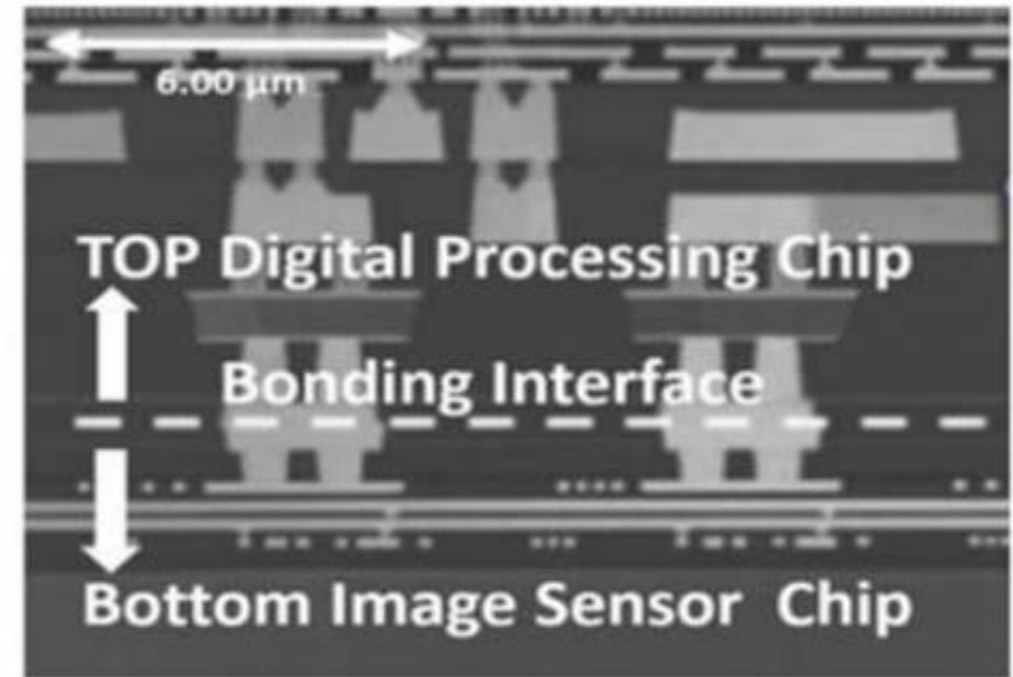
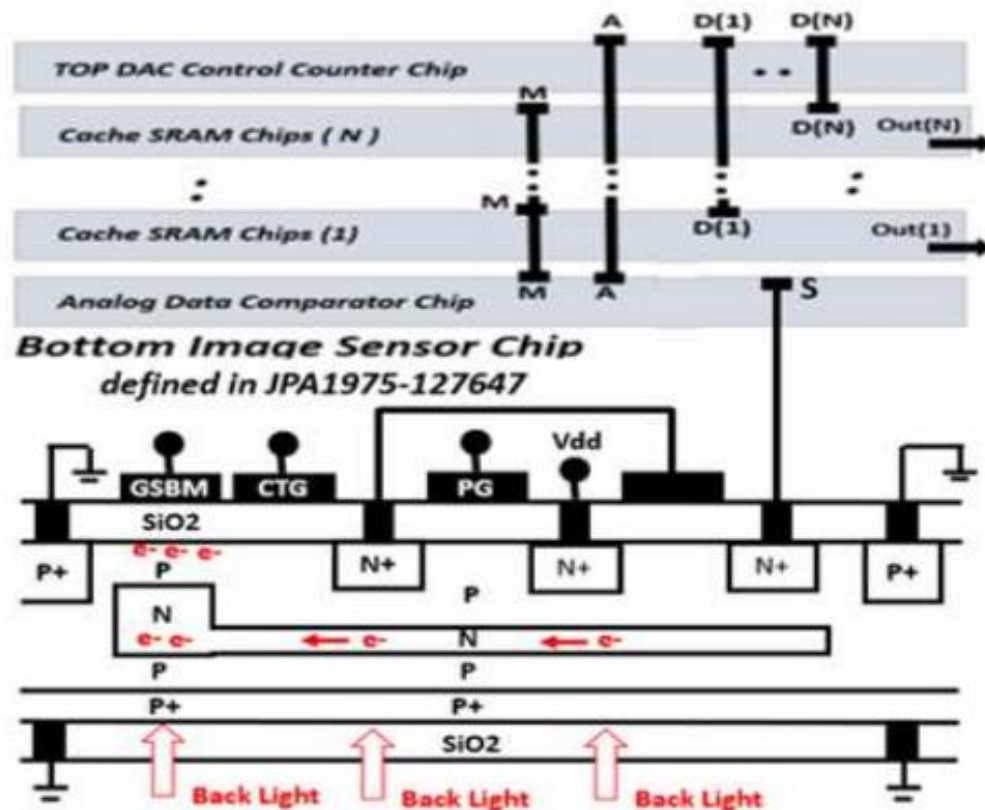


Fig. 13 Cross Sectional View of two-chip stacked back-illuminated CMOS Image Sensor (Courtesy of Sony Corporation) and the future 3D Multichip CMOS Image Sensor Structure using P+PNP junction Pinned Buried Photodiode.

Pinned Buried PIN Photodiode Type Solar Cell

(4) [**P2021 ICECET2021 Paper61.pdf**](#)

[**P2021 ICECET2021 Paper61.html**](#)

REFERENCES

- [1] <https://mainichi.jp/english/articles/20181026/p2a/00m/0na/036000c>
- [2] http://www.aiplab.com/JPA_2020_131313_on_PPD_Solar_Cell.html
- [3] http://www.aiplab.com/JPA_1975_134985_on_PPD_with_VOD.html
- [4] http://www.aiplab.com/JPA_1977_126885_on_Electric_Shutter.html
- [5] http://www.aiplab.com/JPA_1975_127646_on_NPNP_type_PPD.html
- [6] http://www.aiplab.com/JPA_1975_127647_on_NPN_type_PPD.html
- [7] https://en.wikipedia.org/wiki/Herbert_Kroemer

Invention and Historical Development Efforts of Pinned Buried Photodiode

(5) [P2021ICECET2021_Paper75.pdf](#)

[P2021 ICECET2021 Paper75.html](#)

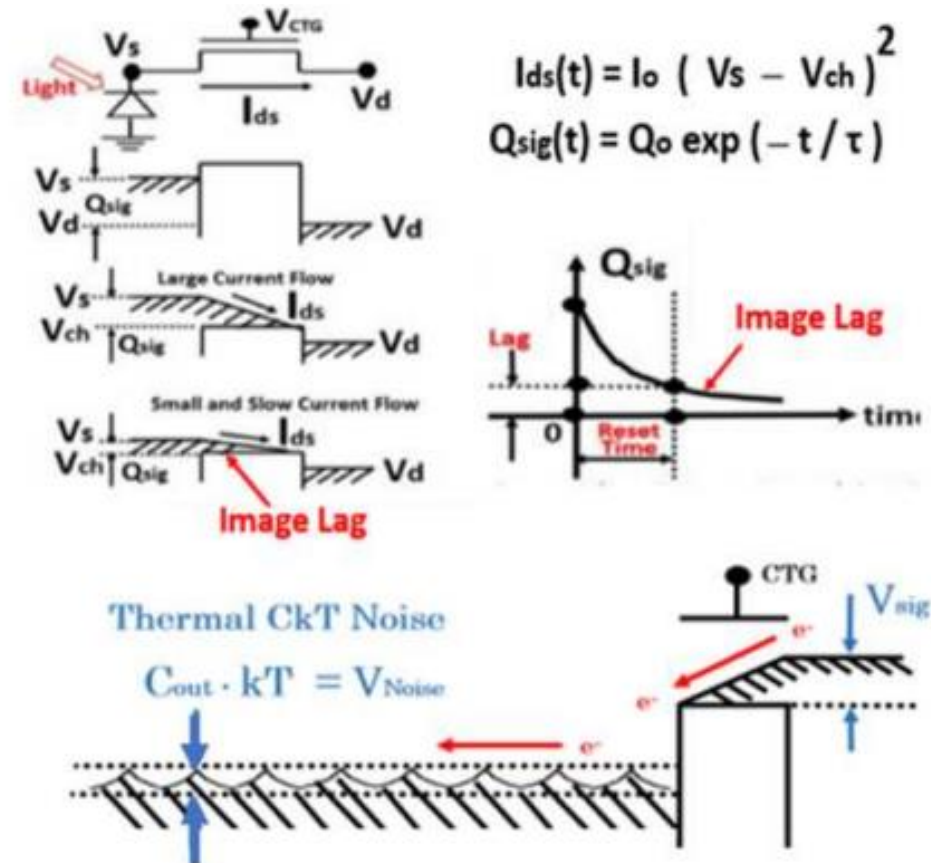
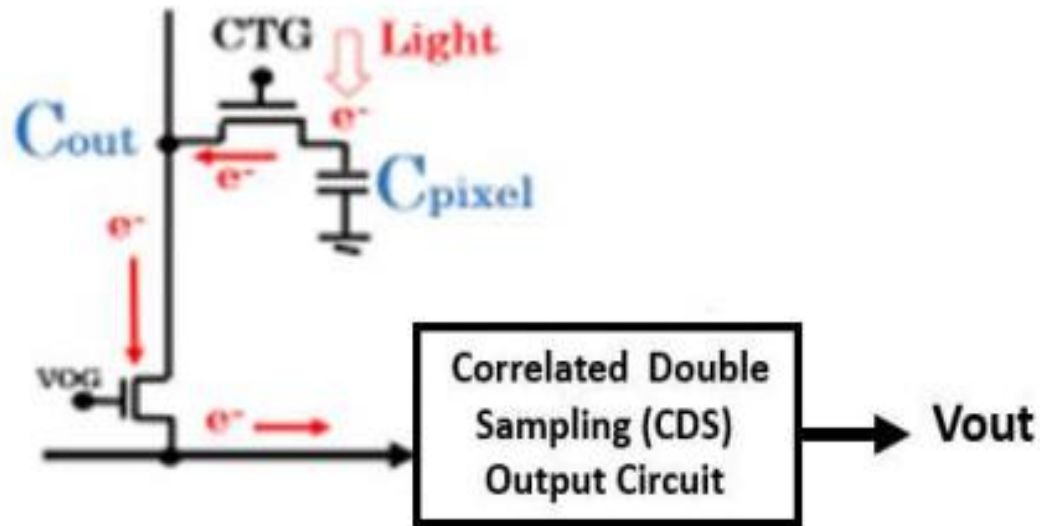


Fig. 1 Classical N+ Floating Surface Single Junction N+P Type Photodiode

Invention and Historical Development Efforts of Pinned Buried Photodiode

(5) [P2021ICECET2021_Paper75.pdf](#)

[P2021 ICECET2021 Paper75.html](#)

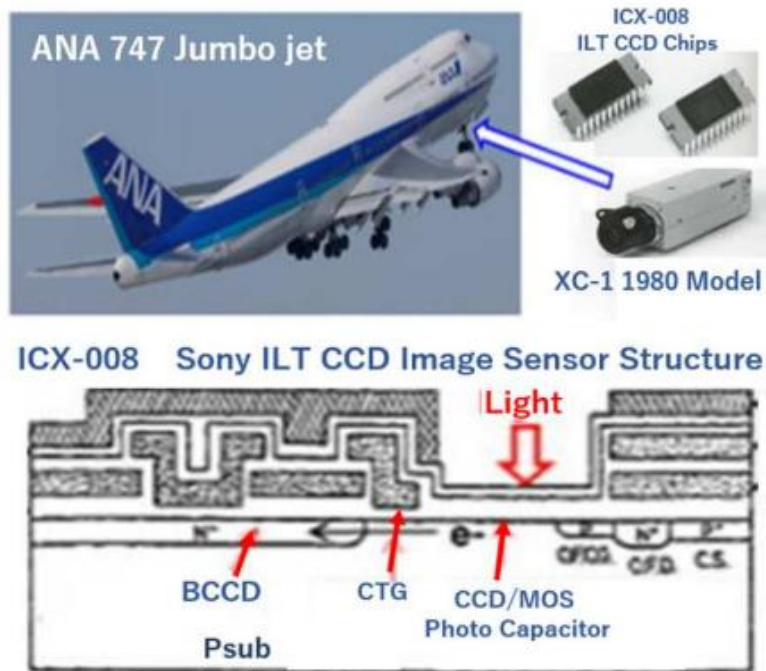


Fig. 2 SONY Two-chip CCD Color Camera XC-1 used in 747 Jumbo, with fast-action movie-pictures of landing and lifting-off with no image lag problem.

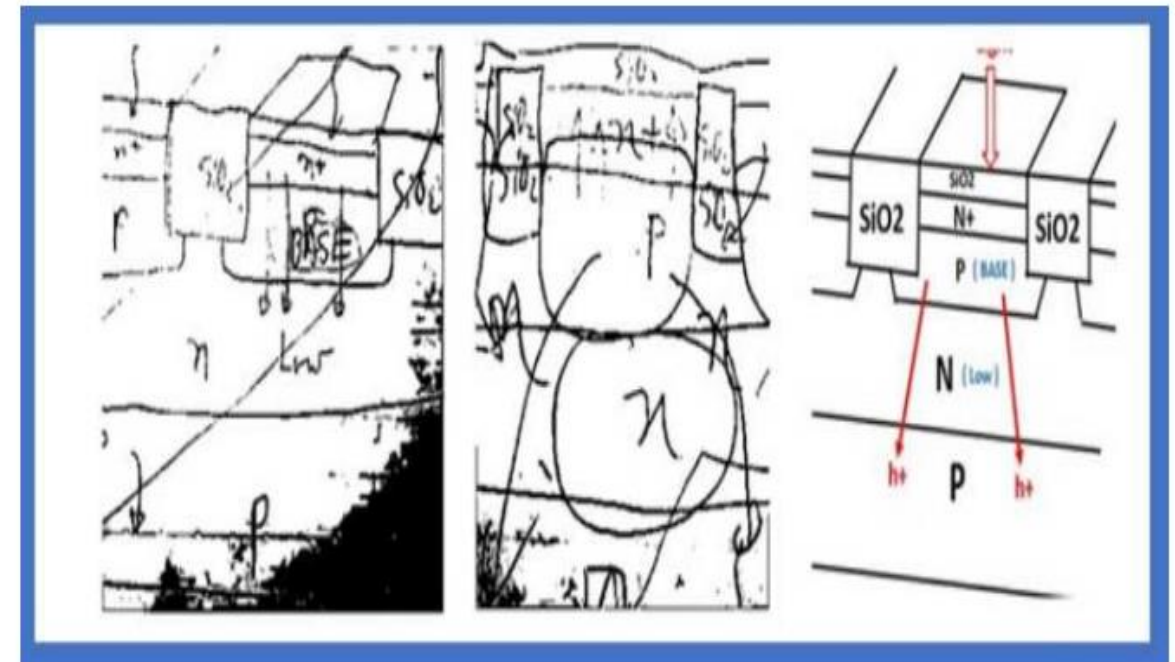


Fig. 3 Hagiwara March 1975 Lab Note, sketching N+PNP triple junction type Dynamic Photo Thyristor type Pinned Buried Photodiode with the vertical overflow drain (VOD) function with the electrical Shutter function capability.

Invention and Historical Development Efforts of Pinned Buried Photodiode

(5) [P2021ICECET2021_Paper75.pdf](#)

[P2021 ICECET2021 Paper75.html](#)

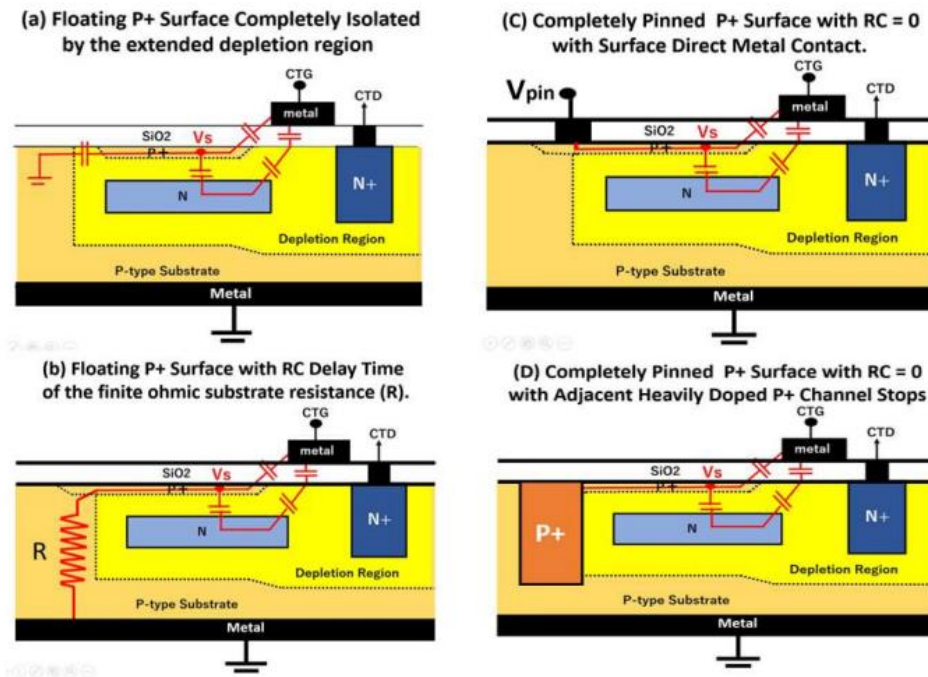


Fig.4 Difference of Buried Photodiode and Pinned Photodiode

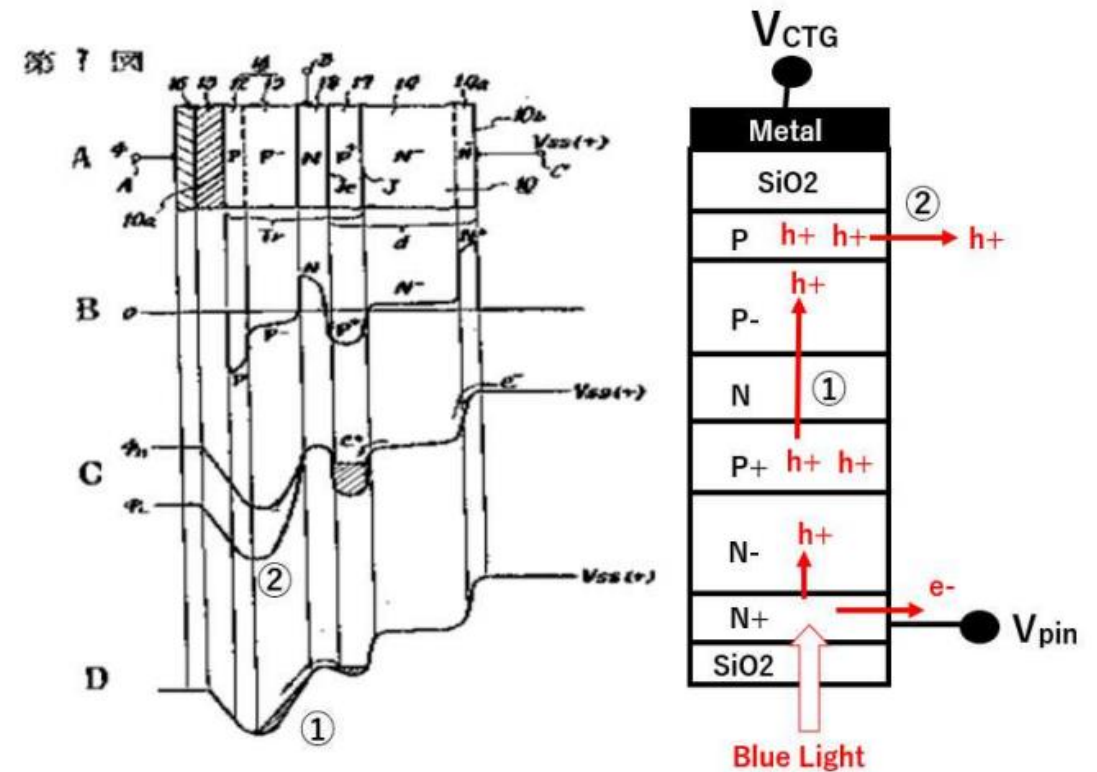


Fig. 5 The N+N-P+NP-N triple junction Pinned Photodiode which is a reproduction of a figure drawn in Japanese patent application JPA1975-127646.

Invention and Historical Development Efforts of Pinned Buried Photodiode

(5) [P2021ICECET2021_Paper75.pdf](#)

[P2021 ICECET2021 Paper75.html](#)

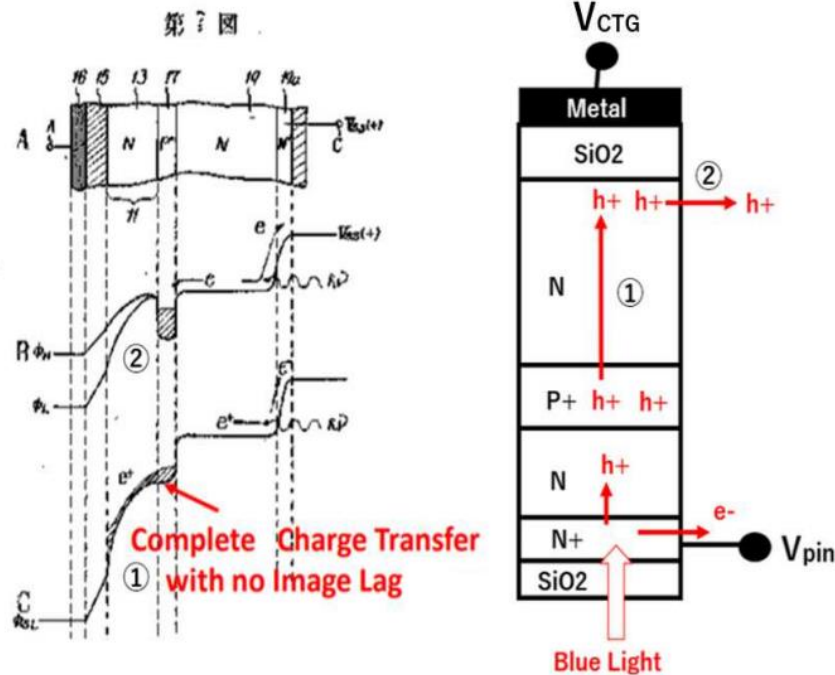


Fig. 6 The N+N-P+N double junction Pinned Photodiode which is a reproduction of a figure drawn in Japanese patent application JPA1975-127647.

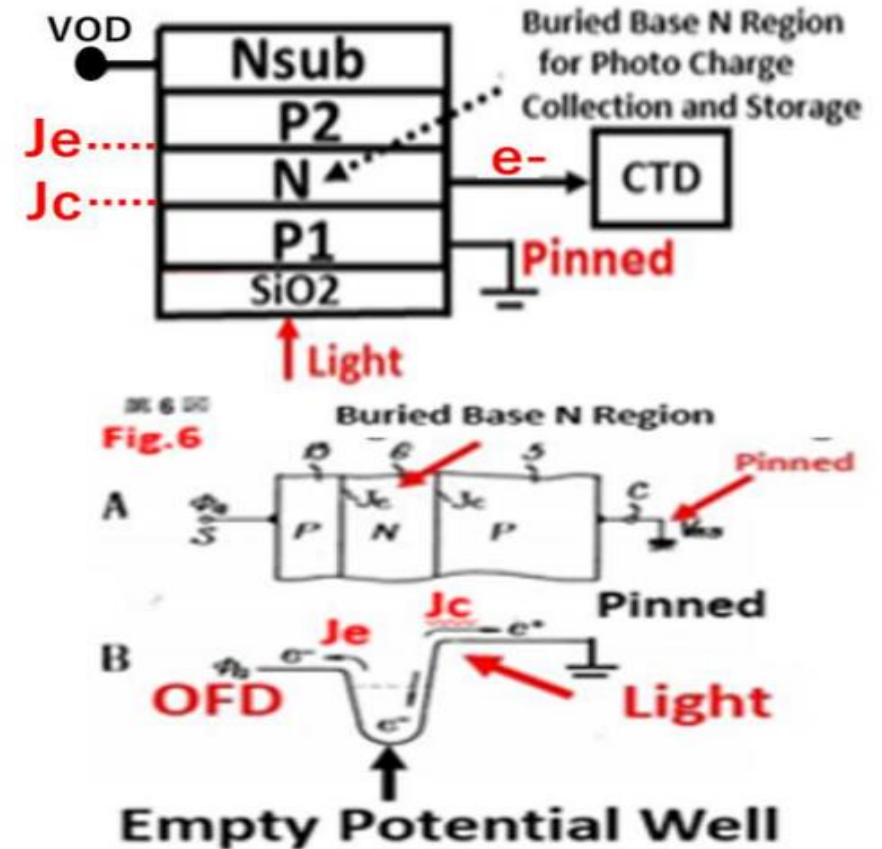


Fig 7 The patent claims in Japanese and an English translation with a reproduction of a figure drawn in Japanese patent application JPA1975-134985 which defined an PNP double junction dynamic photo transistor type Pinned Buried Photodiode with in-pixel overflow draining (VOD) capability.

Invention and Historical Development Efforts of Pinned Buried Photodiode

(5) [P2021ICECET2021_Paper75.pdf](#)

[P2021 ICECET2021 Paper75.html](#)

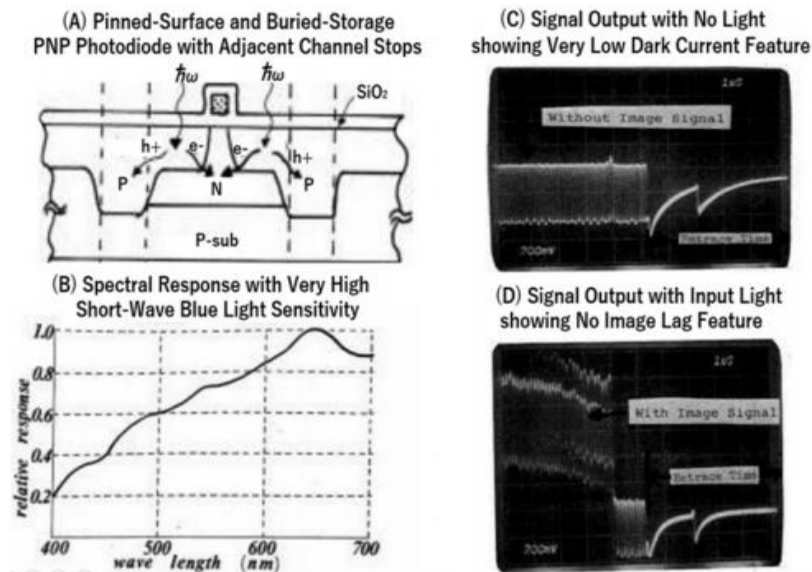


Fig 8 The PNP double junction dynamic photo transistor type Pinned Buried Photodiode reported at SSDM1978 in Tokyo. Sony was working secretly on the critical image-lag problem since 1975 and had no image lag problem completely by 1980 while other companies were suffering image lag problems with the N+P floating-surface single-junction type photo sensor with poor blue light sensitivity.

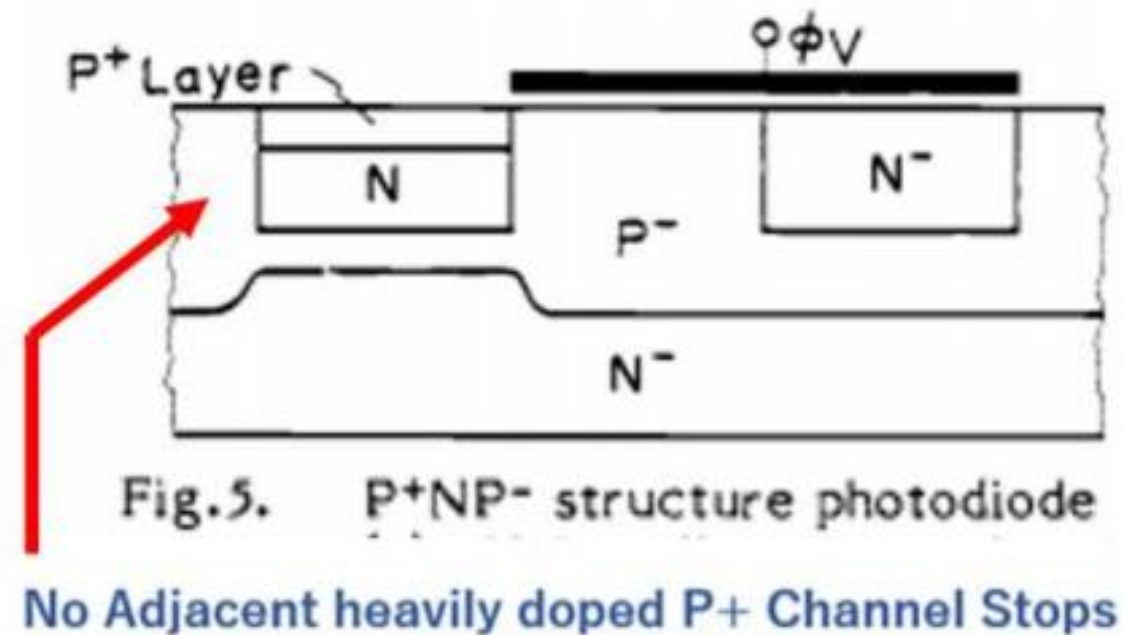


Fig. 9 NEC P+NP-N- Buried Photodiode reported in IEDM1982

Invention and Historical Development Efforts of Pinned Buried Photodiode

(5) [P2021ICECET2021_Paper75.pdf](#)

[P2021 ICECET2021 Paper75 html](#)

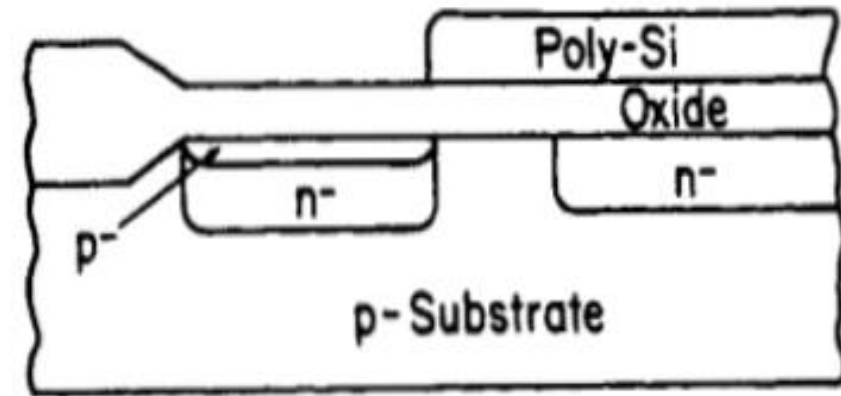
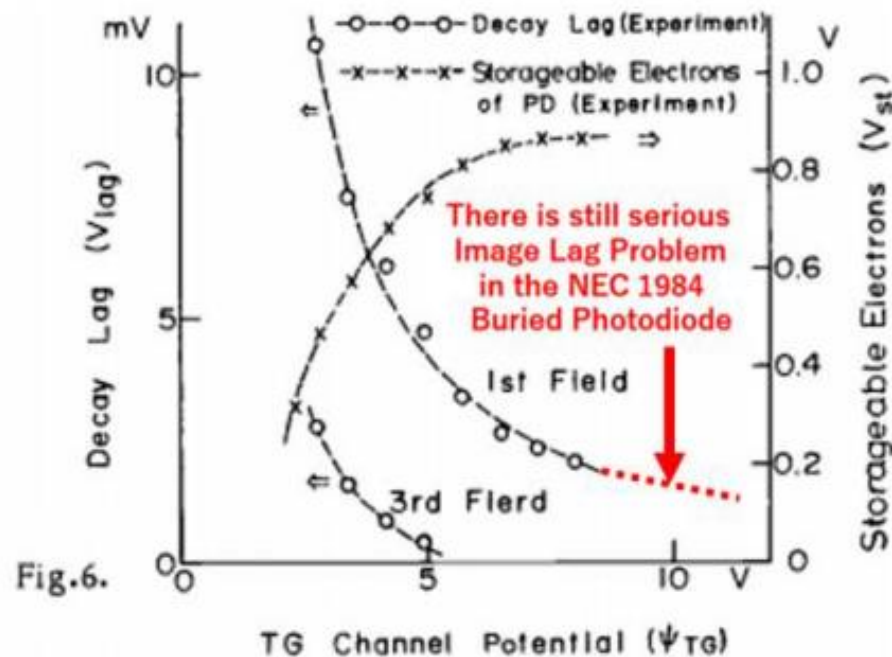


Fig.12 Pinned Surface Photodiode reported in IEDM1984 by KODAK

Fig. 10 NEC Buried P+NP-N- Photodiode reported in IEDM1982

Invention and Historical Development Efforts of Pinned Buried Photodiode

(5) [P2021ICECET2021_Paper75.pdf](#)

[P2021 ICECET2021 Paper75.html](#)

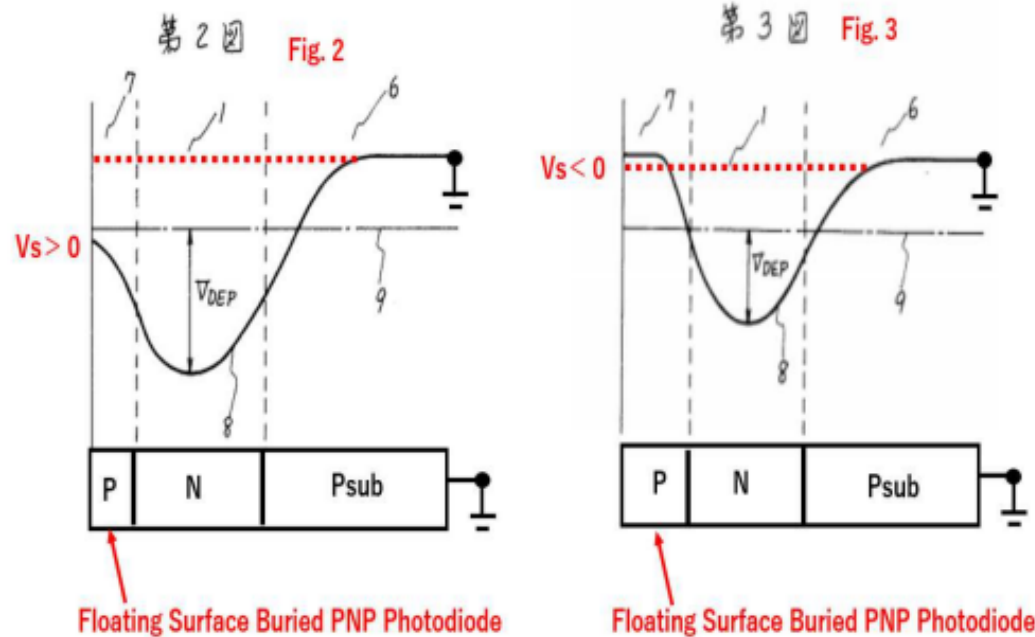


Fig. 11 NEC Patent (JPA1980-138026) on Floating Surface Photodiode

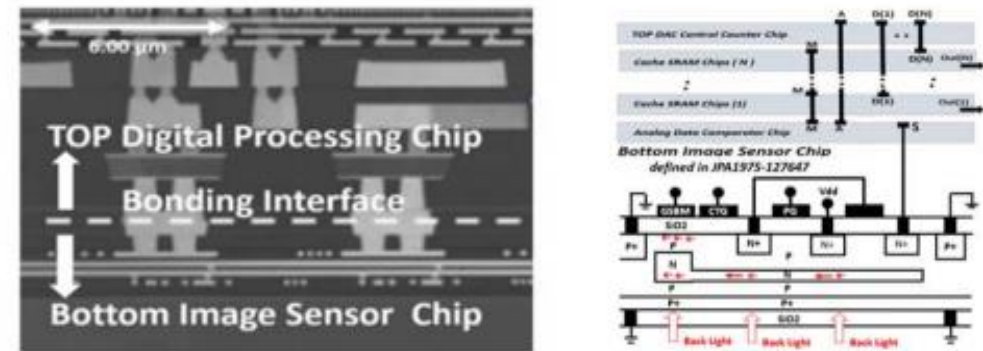
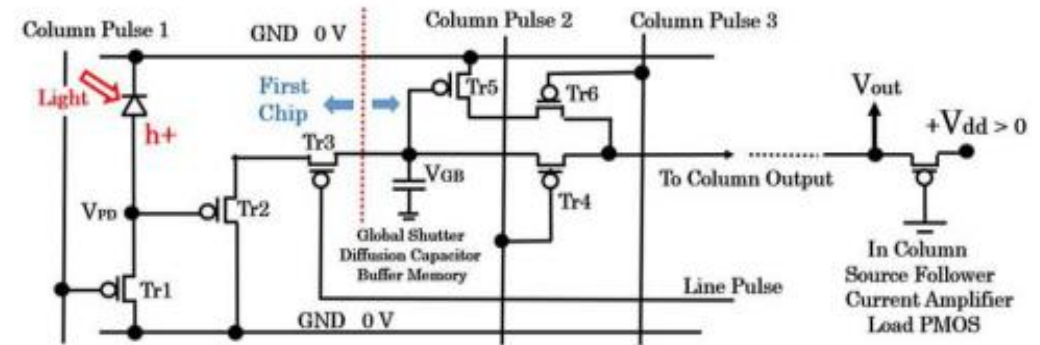


Fig. 13 Active In-Pixel Current AMP 1C6T Circuit (Hagiwara 2020) and Two-chip Stacked Back-Light CMOS Imager (Courtesy of Sony Corporation)

128-Bit Multicomparator Chip designed by Caltech Students and fabricated by Intel.

Ref: IEEE Journal of Solid State Circuits, VOL.SC11, No.4, October 1976

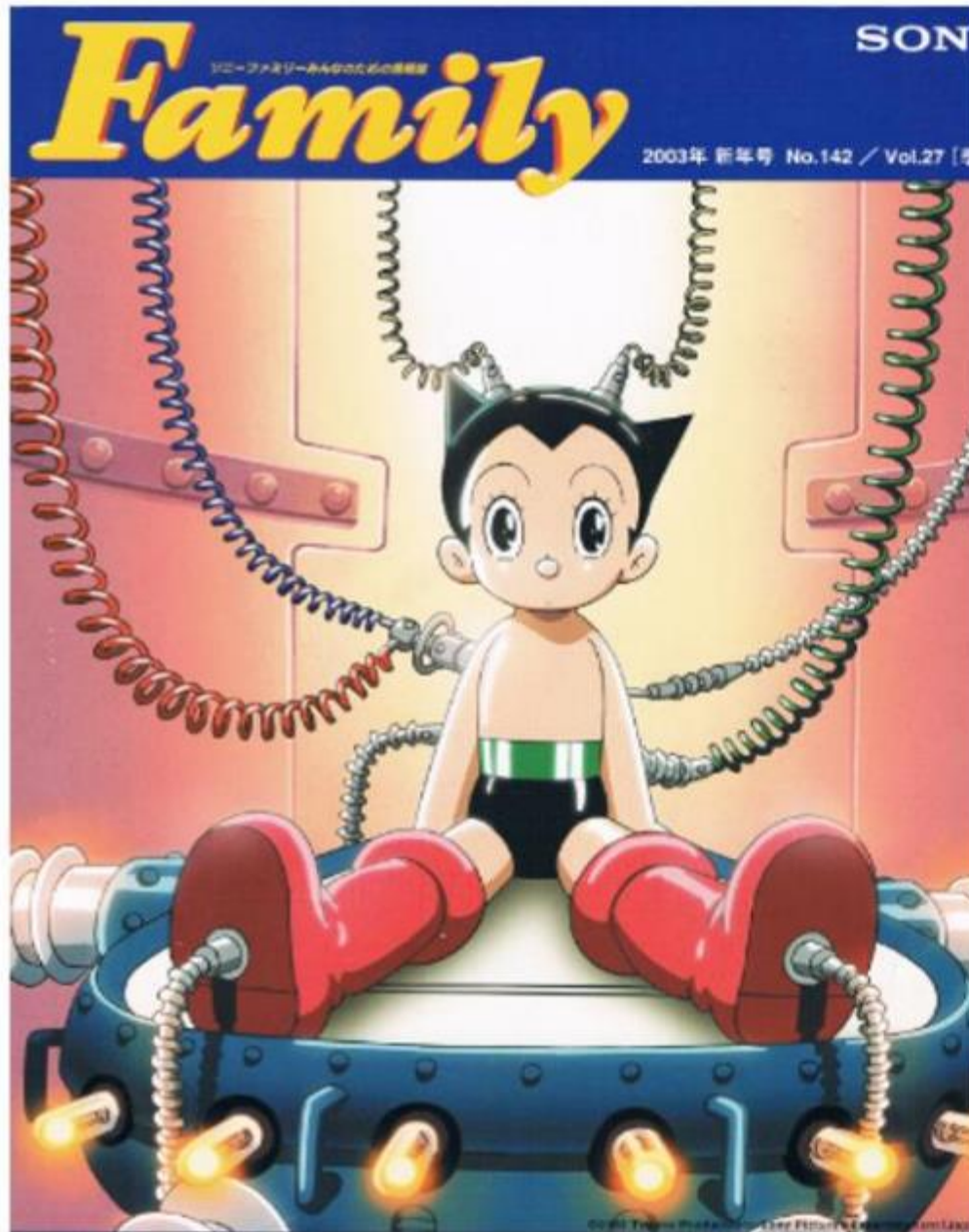
Dr. Yoshiaki Hagiwara at Sony

Caltech Graduate, 1975



Yoshiaki Hagiwara was born in Kyoto, Japan, on July 4, 1948. He received the B.S., M.S., and Ph.D. degrees from the California Institute of Technology, Pasadena, in 1971, 1972, and 1975, respectively.

Since 1967, he has served several research groups in the Institute. He worked as a Data Processor in hydraulics from 1967 to 1969, engaging in the analysis of the pressure distribution of solitary waves, the influence of the geological features of a harbor upon the induced standing-wave amplitude in the harbor, and the diffusion mechanism of polluted objects in moving fluids. From 1969 to 1971, he worked as an Experimentalist in the Material Science Department and studied the switching and other electronic properties of newly developed amorphous alloys from the low temperature of 4 K to room temperature. From 1971 to 1975 he was a Research and Teaching Assistant both in the Electrical Engineering and Physics Departments at the California Institute of Technology. In the summer of 1971 and 1973, he visited Sony Corporation, Tokyo, Japan, as a Product-Appraisal Engineer at the Atsui plant and engaged in developments and applications of bipolar technologies in video and power integrated circuits. He is presently with the Sony Corporation, Tokyo, Japan. His interests lie in the areas of digital and linear integrated circuit designs, the physics of microelectronics, and artificial intelligence.



Sony Family Journal 2003 January Issue, No.142/Vol.27

Yoshiaki Hagiwara was born on July 4, 1948 in Kyoto Japan. Graduated from Murasaki-no Elementary School in 1958. Lady Murasaki Shikibu is very famous as the writer of the story of Genji. Graduated from Rakusei Middle High School in 1961. Moved to Riverside-city in California USA in 1965 and graduated from Riverside City Polytechnique High School in 1967. Lived in Pasadena California since 1967 and received BS1971, MS1972 and PhD1975 in Electrical Engineering and Physics from California Institute of Technology (Caltech) . Joined Sony on February 1975 till July 2008. Taught at Sojo University as a professor till 2017. He is now serving for the ssis.or.jp.

Artificial Intelligent Partner System(AIPS) Home Page Top

hagiwara-yoshiaki@aiplab.com

Hello, my name is Yoshiaki Hagiwara. I am also called simply as Yoshi, and as Yoshiaki Daimon and also as Yoshiaki Daimon-Hagihara. I believe that I am the true inventor of the digital camera with the mechanical shutter function capability, which is completely filmless and free from mechanical parts. I worked at Sony from 1975 till 2008. My friends in Sony developed the digital camera in 1987. Sony is now enjoying image sensor business. Image sensors are very important to realize Artificial Intelligent AI robots and self-driving cars.



Evidence that Yoshiaki Hagiwara is the inventor of Pinned Buried Photodiode with in-pixel overflow Drain (VOD) function is given by the three basic Japanese Patent Applications, JPA1975-127646, JPA1975-127647 and JPA1975-134985.

Hagiwara also invented the in in-pixel Overflow Drain (OFD) Punch-thru Clocking Scheme to realize the completely-mechanical-part-free Electrical Shutter for digital cameras, opening a way to realize our modern digital TV world.

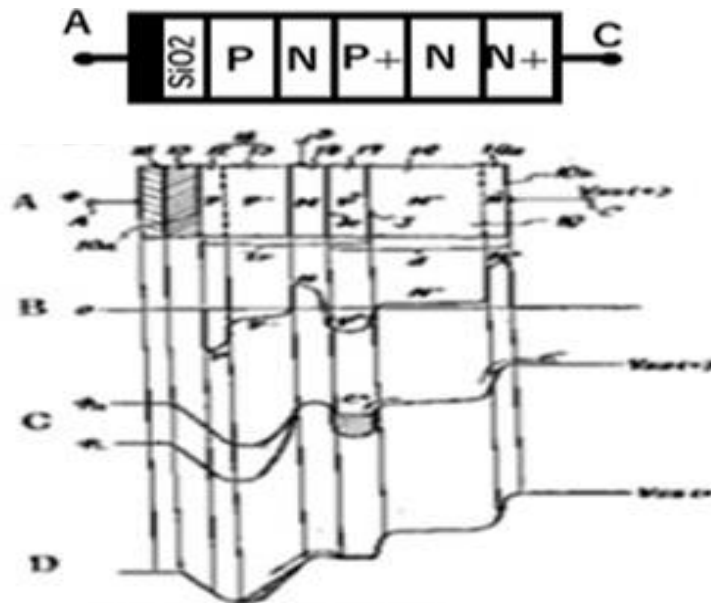
Evidence that Yoshiaki Hagiwara is the inventor of Electrical Shutter is given by the basic Japanese Patent Applications, JPA1977-126885.

The first Double Junction Pinned Buried Photodiode was developed by Hagiwara team at Sony in 1978. The first Triple Junction Pinned Buried Photodiode with Electrical Shutter function was developed by Hamazaki team at Sony in 1987.

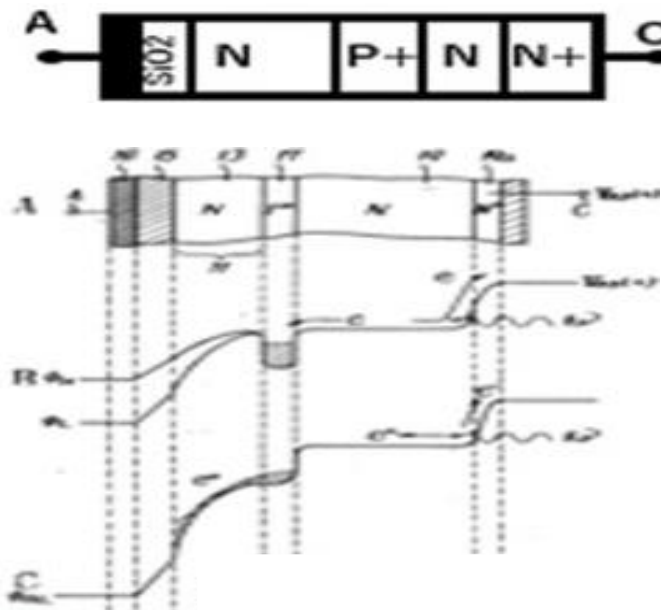
Yoshiaki Hagiwara joined Sony in Feb 1975 to build Artificial Intelligent Partner System(AIPS), which includes Artificial Intelligent Robot System, Artificial Intelligent Self-Driving Car, and Artificial Intelligent Vision Sensor System. His first work was developing the CCD image sensors. Hagiwara Team at Sony in 1989 developed 4M Cache SRAM for SNAPSHOT picture acquisition which opened a way to build the digital camera system. Hagiwara is also the inventor of the electrical shutter of the digital camera system.

Who invented Pinned Photodiode ?

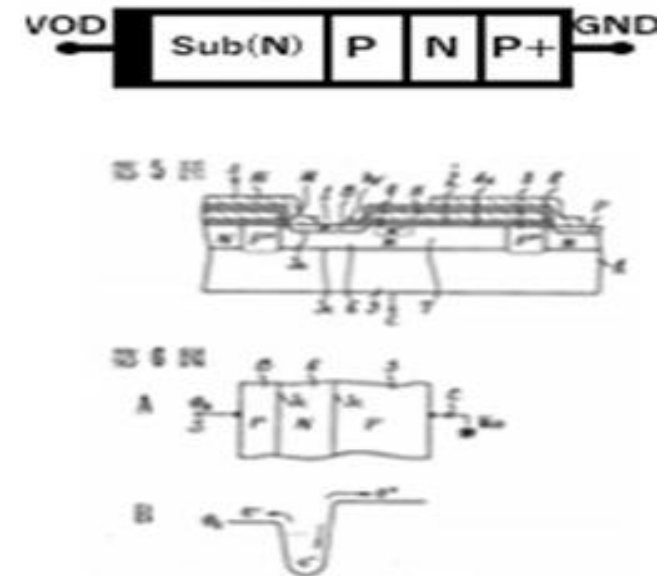
Hagiwara at Sony invented Pinned Photodiode in 1975. The evidence is given by the three Japanese patent applications, JPA1975-127646, JPA1975-127647 and JPA1975-134985. The first Pinned Photodiode was defined in October 23, 1975 as the N+NPNP triple junction (in Fig. 7 of JAP1975-127646) type and the N+NPN double junction type (in Fig. 7 of JAP1975-127647) type photodiodes with the N+ type pinned surface and the P type buried photo charge storage region with the complete charge transfer capability and the no-image-lag feature. The photo charge is transferred and drained to the CCD/MOS type charge storage buffer memory quickly by the strong punch-thru action. The second Pinned Photodiode was defined in November 10, 1975 as the PNP double junction (in Fig. 6 of JAP1975-134985) type photodiode with the vertical overflow drain action also with the complete charge transfer capability and the no-image-lag feature as evidence the empty potential well of the buried photo charge storage, completely depleted of the charge.



JPA1975-127646 Fig. 7



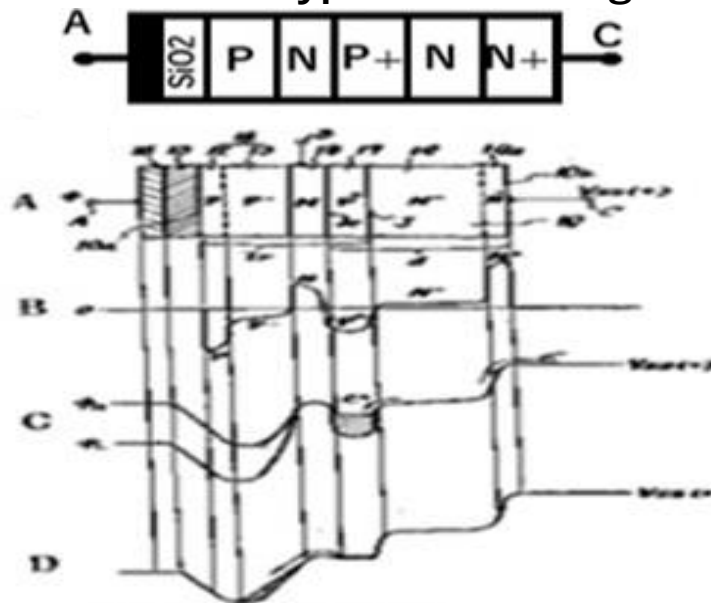
JPA1975-127647 Fig. 7



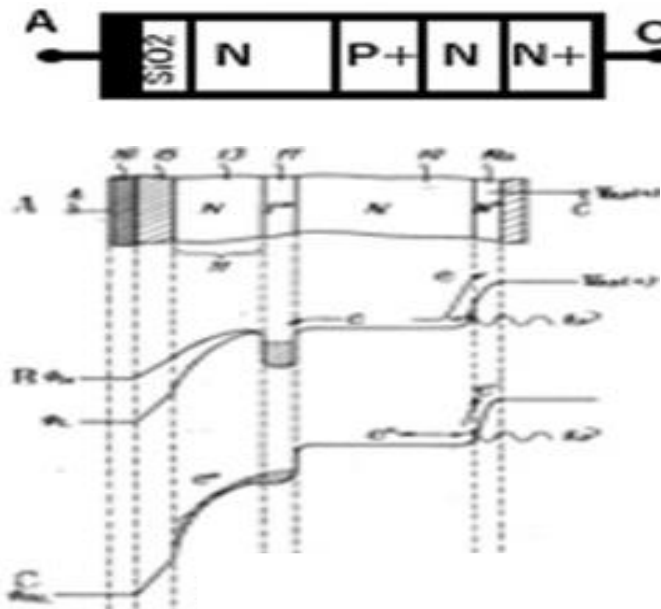
JPA1975-134985 Fig. 6

Who invented Electric Shutter ?

Hagiwara at Sony invented Electric Shutter in October 23, 1975. The evidence is give and explained in Fig. 7 of the Japanese patent application, JPA1975-127646, in which the first Electric Shutter function was defined. The photo charge is transferred and drained to the in-pixel buried channel type vertical overflow drain (VOD) region, which is defined as the buried channel region of the buried channel type CCD/MOS buffer memory capacitor. The three-voltage-level clocking scheme (Clock C and D) of the first Electric Shutter Function mode was defined in Fig. 7 of JPA1975-127646, using the strong punch-thru action mode between the buried P type photo charge storage region and the P-type in-pixel vertical overflow drain (VOD) region. The strong draining gate clock D voltage as shown by creates the very deep potential well in the in-pixel P-type buried vertical overflow drain (VOD) region in case of Fig. 7 of JPA1975-127646 while the strong draining gate clock C voltage creates the very deep potential well in the in-pixel surface N-type inverted region in case of Fig. 7 of JPA1975-127647.



JPA1975-127646 Fig. 7



JPA1975-127647 Fig. 7

Hagiwara at Sony invented in 1975 the first Electric Shutter Function.

To achieve the complete Electric Shutter function, the surface of the photodiode must be pinned and fixed by the external constant voltage with the zero resistance.

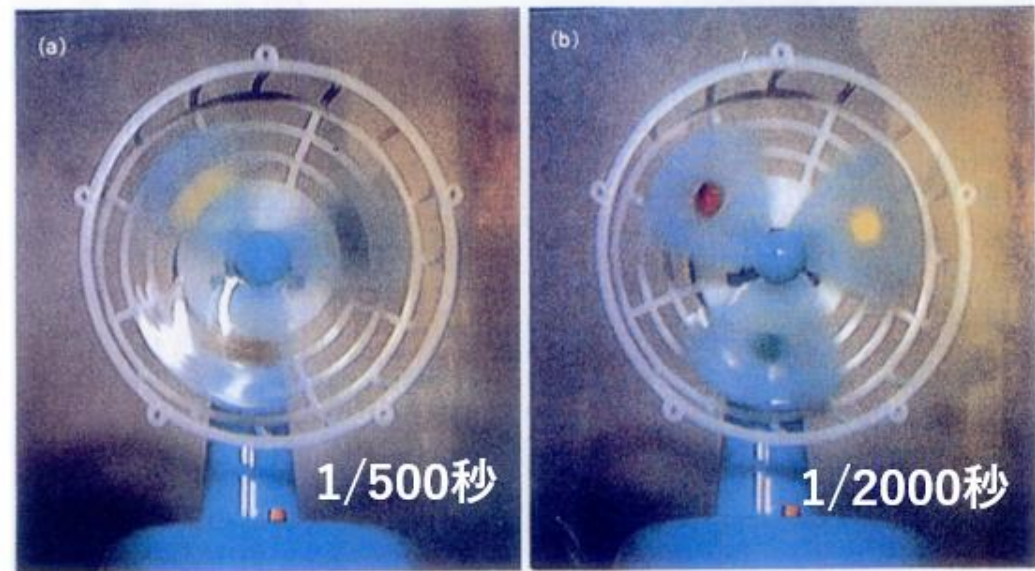
The first Pinned Photodiode was invented by Hagiwara in 1975 to achieve the electric shutter function.

First Pinned Photodiode was invented by Hagiwara in 1975 in order to realize Electric Shutter.

題目： 人工知能ロボットを支える、超光感度の賢い電子の目を太陽電池に応用する

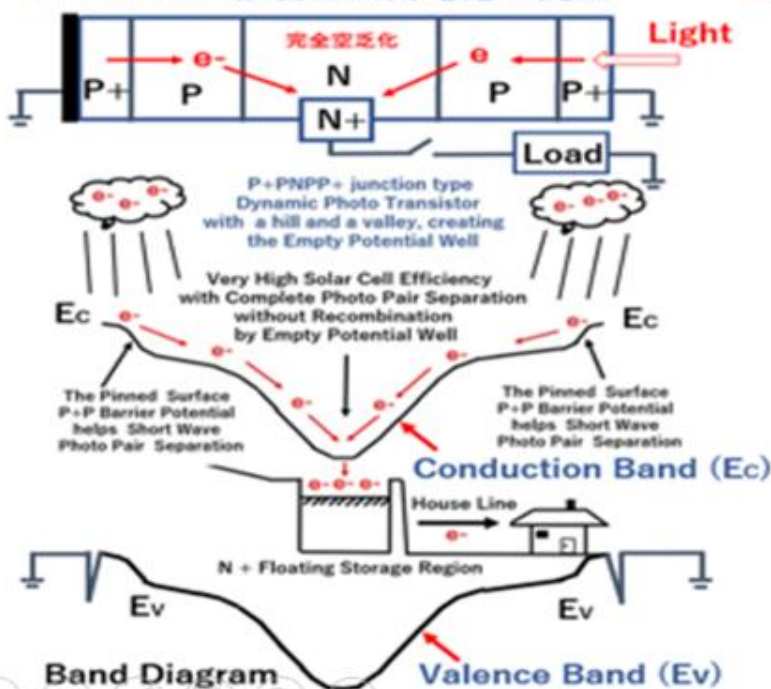
概要

1975年に萩原良昭が発明(JPA1975-127646, JPA1975-127647, JPA1975-134985)考案した超光感度のイメージセンサーの受光素子構造は、Double 接合型の受光素子である。通称、Pinned Photodiodeと呼ばれる受光素子である。短波長青色光に対する感度特性が優れている事が知られているが、その受光素子構造を太陽電池の光電変換効率向上のために採用することを提案する。

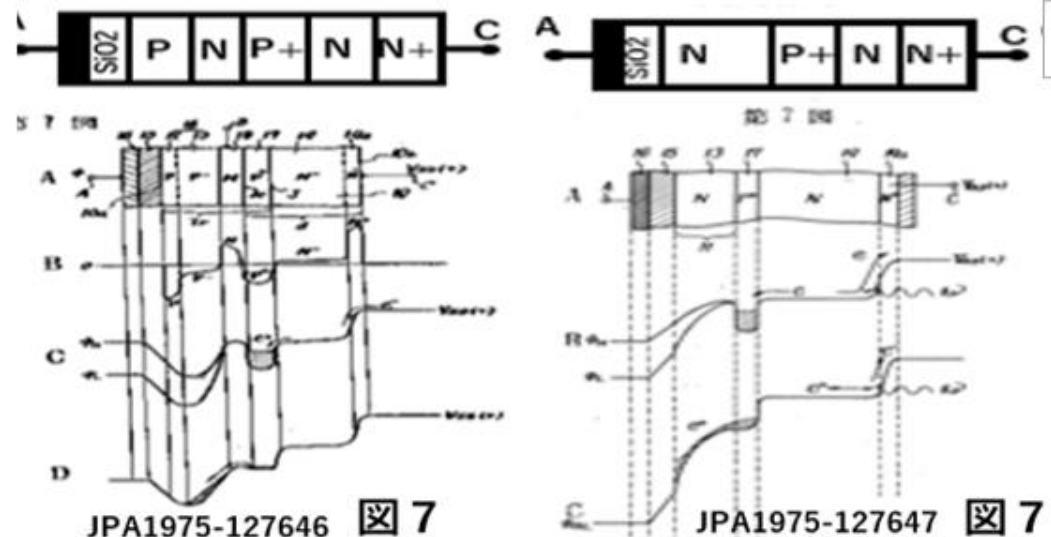
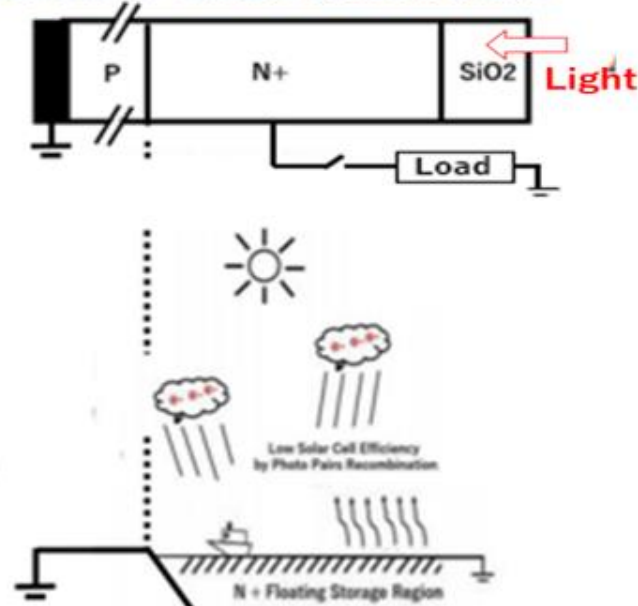


電子シャッター機能付きビデオカメラ Sony 1987

P+PN-PP+接合型太陽電池の提案



従来のN+P single 接合太陽電池



JPA1975-127646 図7

JPA1975-127647 図7

First Pinned Photodiode was invented by Hagiwara in 1975 in order to realize Electric Shutter.

NIKKEI MICRODEVICES 1987年10月号

pp.60~67

38万画素に達した固体撮像素子

最低照度5lxの高感度
インターライン型CCD

基板に余剰電荷を掃き出し,可変電子シャッターを実現

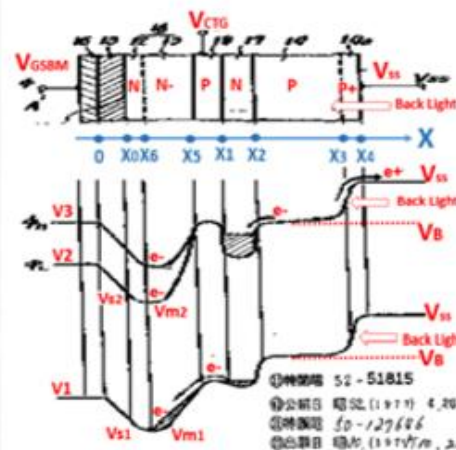
ソニー 半導体事業本部 CCD 事業部

浜崎 正治
鈴木 智行
賀川 能明
石川 貴久枝
宮田 克郎

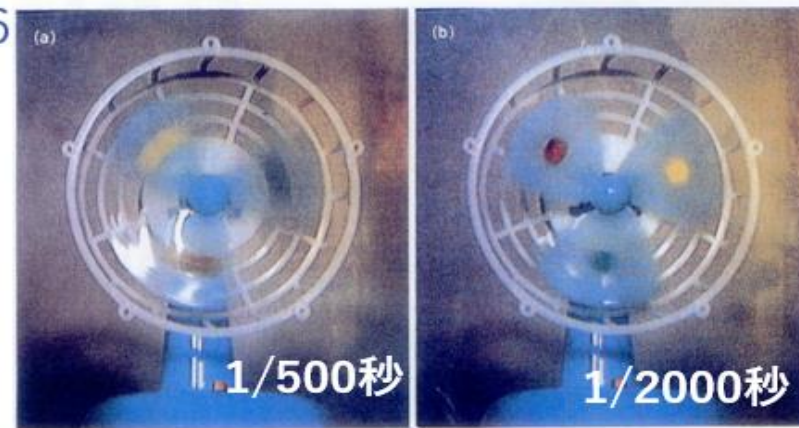
ソニー国分セミコンダクタ CCD 製造部
神戸 秀夫

最も一般的な固体撮像素子であるインターライン型 CCD で、
2/3 インチで 38 万と大規模な画素数を持つ素子をソニーが製品化した。
画素面積が小さくなることで減少する信号量を確保するため、
縦型オーバーフロー・ドレインを採用して開口率を上げ、
補色フィルタで光の利用効率を上げた。
さらに界面準位からの暗電流を抑えている。
この結果、81 dB のダイナミック・レンジが得られた。

JPA1975-127646



JPA1975-127646の図7と同一受光構造である。受光表面はGNDにピン留めされた、P+NPNsub 接合型、すなわち Triple 接合型の Pinned Photodiode.



電子shutterの動作原理の説明図

図4

SONYの1987年発表の電子シャッター機能付き Hole Accumulation Diode (HAD) 受光素子構造

First Pinned Photodiode was invented by Hagiwara in 1975 in order to realize Electric Shutter.

1980年の特許にもIEDM1982の論文にもLocos Isolationの記載は皆無である。いつの間にかこの論文にはLocos Isolationが受光部に採用されている。

2014年12月1日(月)

映像情報メディア学会技術報告

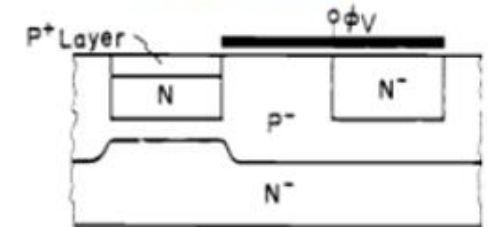
ITE Technical Report Vol. 38, No. 47
IST2014-52(Dec. 2014)

(Invited) Effect and Limitation of Pinned Photodiode

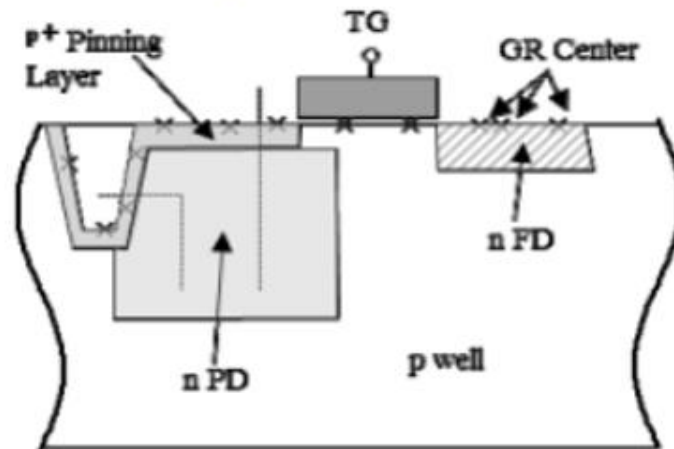
Nobukazu Teranishi^{1,2}

Abstract The pinned photodiode (PPD) is the primary technology for image sensors and used in almost all CCD image sensors and CMOS image sensors. This paper discusses effect and limitation of PPD, especially dark current and electronic shuttering. Even when PPD is used and silicon surface is neutralized, proposed model explains that GR centers at the silicon surface contribute the dark current. The temperature dependence is an activation type with activation energy, E_g , not $E_g/2$. It is important to reduce GR centers for dark current reduction at PPD also. It is also noted that the vertical overflow drain (VOD) shutter combined with PPD has potential of high speed shuttering with small skew.

(1) NEC (Teranishi) Buried Photodiode at IEDM1982

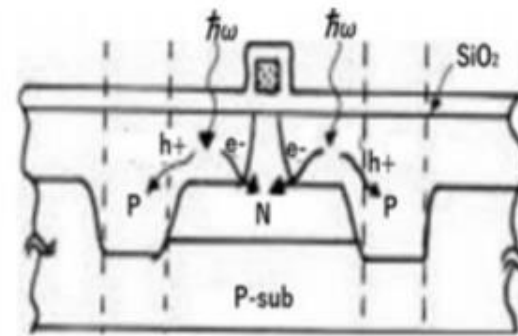


(2) Pinned Photodiode with LOCOS Isolation described by Teranishi in 2014

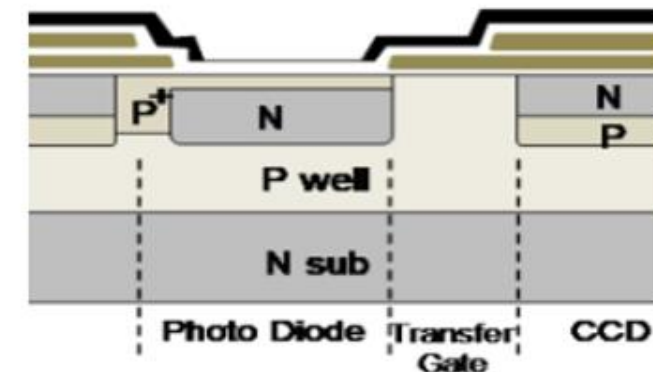


Practical and Actual Pinned Photodiode does not use LOCOS isolation, but with the adjacent P+ channel stops formed by Deep High Energy Implantation with Lamp Anneal technology developed by Kazuo Nishiyama at Sony in 1978

(3) Pinned Photodiode Sony(Hagiwara) 1978



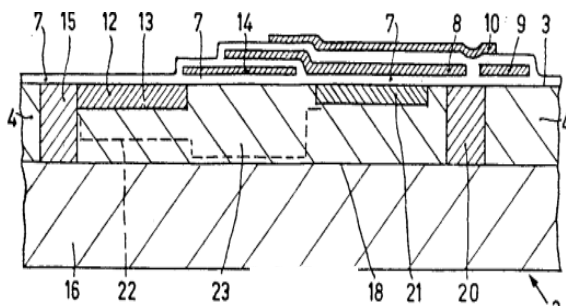
(4) Pinned Photodiode explained by Semiconductor History Museum



First Pinned Photodiode was invented by Hagiwara in 1975 in order to realize Electric Shutter.

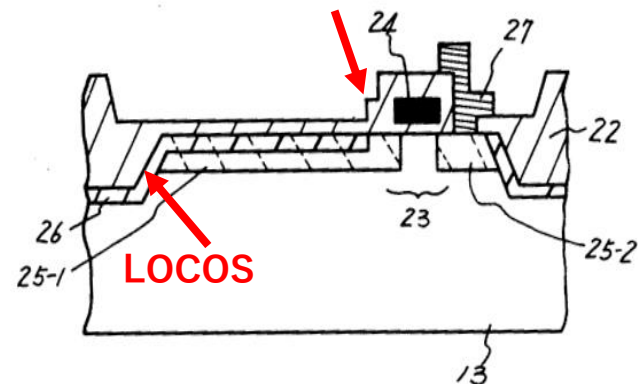
Sony never used LOCOS isolation in image sensors. Instead, Sony used the high energy ion implantation since 1978 to form the adjacent heavily doped P+ channel stops with Lamp Anneal Method invented by Nishiyama at Sony.

(1) Philips JPA1976-65705
RC delay between the surface and the grounded substrate

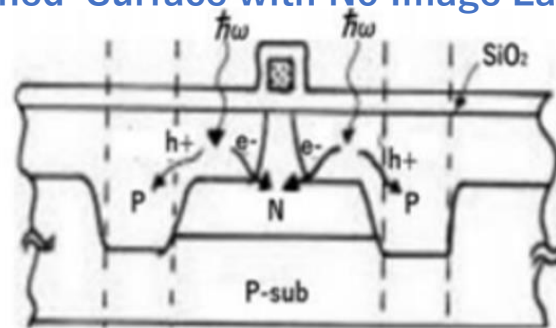


Priority June 9, 1975

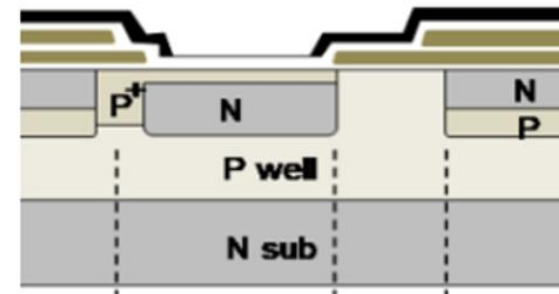
(2) Hitachi JPA1977-837
Floating Surface with Image Lag
LOCOS



(3) Sony SSDM1978 paper
Pinned Surface with No Image Lag



(4) SSIS Japan Semiconductor History Museum
Pinned Surface with No Image Lag



Type (3) and (4) have the adjacent P+ channel stops.

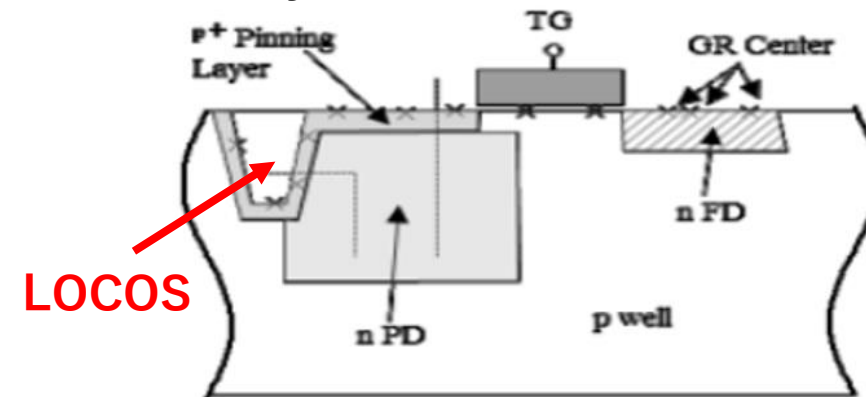
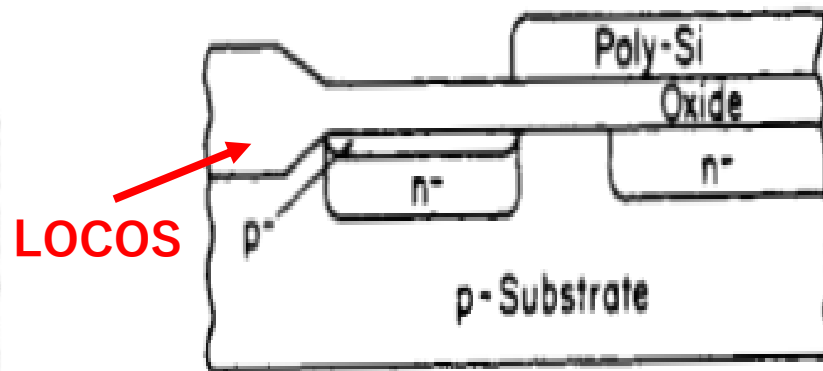
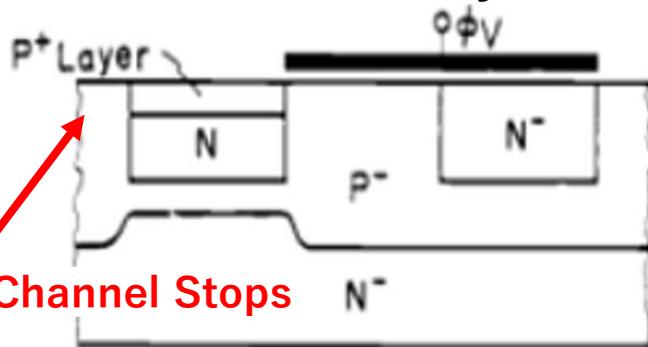
Type (1) and (5) do not have the completely pinned surface and both suffer RC time delay.

Type (2), (6) and (7) use LOCOS Isolation which has the high-resistivity side walls.

(5) Buried Photodiode reported at IEDM1982 by NEC

(6) Pinned Photodiode reported at IEDM1984 by KODAK

(7) Pinned Photodiode reported by Teranishi in 2014



First Pinned Photodiode was invented by Hagiwara in 1975 in order to realize Electric Shutter.

Since Hagiwara SSDM1978 Paper, Sony never used LOCOS isolation.

昭和55年1月24日発表

テレビジョン学会技術報告

インターライン転送方式 CCD 撮像素子

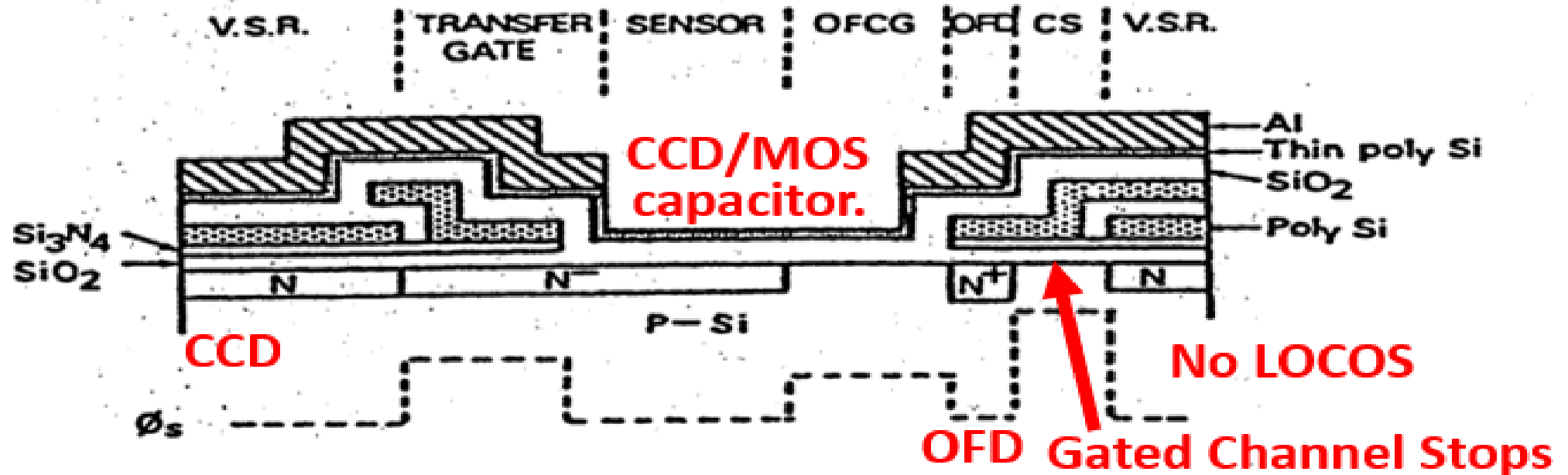
狩野 靖夫

安藤 哲雄

萩原 良昭

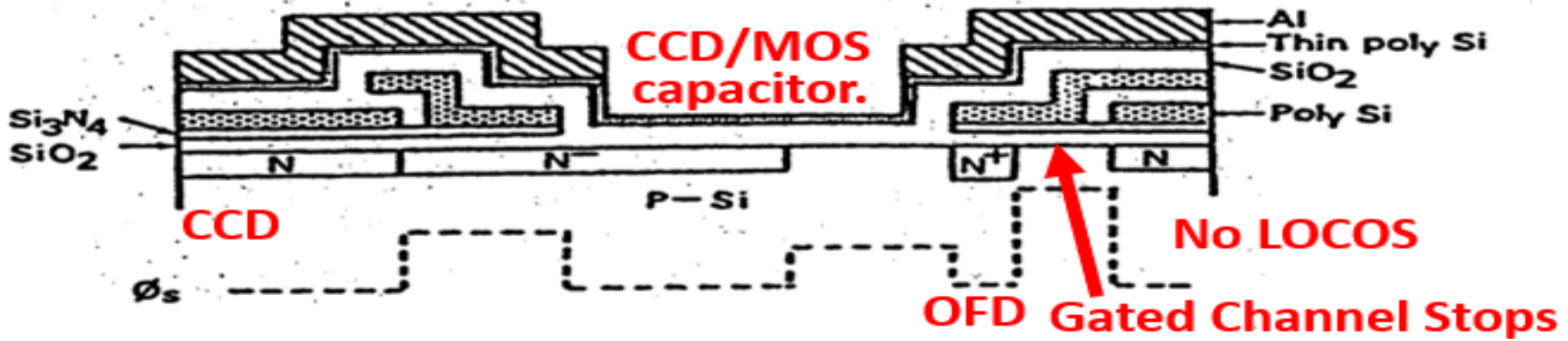
橋本 武夫

ソニー株式会社 厚木工場 半導体事業部



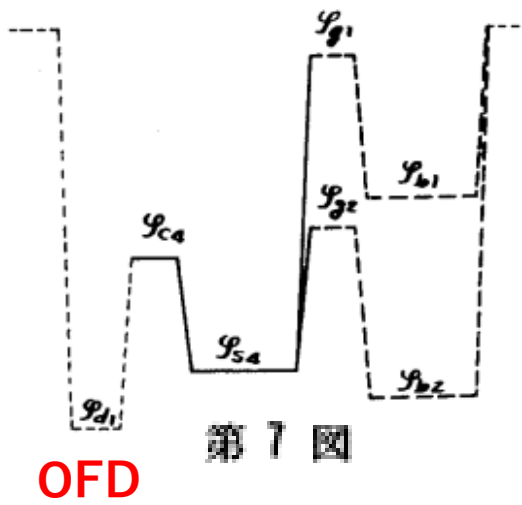
Using the thin Poly Si gate CCD/MOS capacitor type Photo Sensor, Sony's Interline Transfer CCD Image Sensors in 1980 had no-image-lag. And using the Overflow Drain (OFD) of the in-pixel anti-blooming feature, the Punch-thru Clocking Scheme to realize the Electric Shutter function was invented by Hagiwara in 1977. See JP1977-126885.

First Pinned Photodiode was invented by Hagiwara in 1975 in order to realize Electric Shutter.

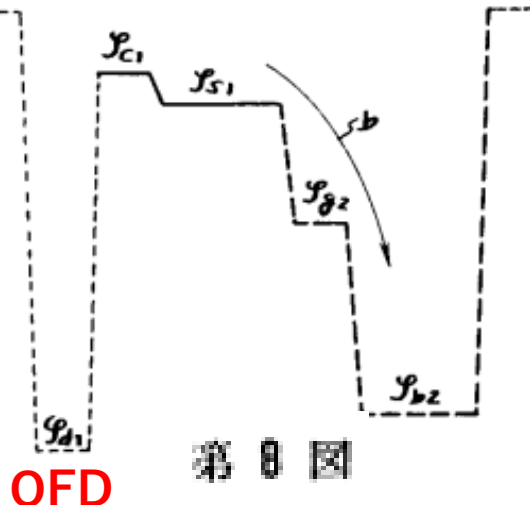


Using the thin Poly Si gate CCD/MOS capacitor type Photo Sensor, Sony's Interline Transfer CCD Image Sensors in 1980 had no-image-lag. And using the Overflow Drain (OFD) of the in-pixel anti-blooming feature, the Punch-thru Clocking Scheme to realize the Electric Shutter function was invented by Hagiwara in 1977. See JP1977-126885.

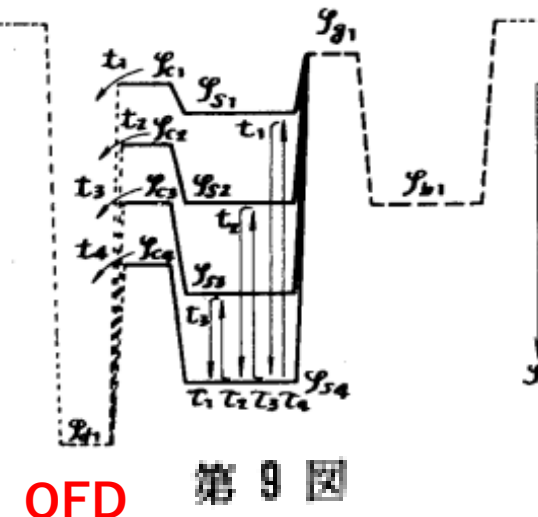
(1) Integration Time



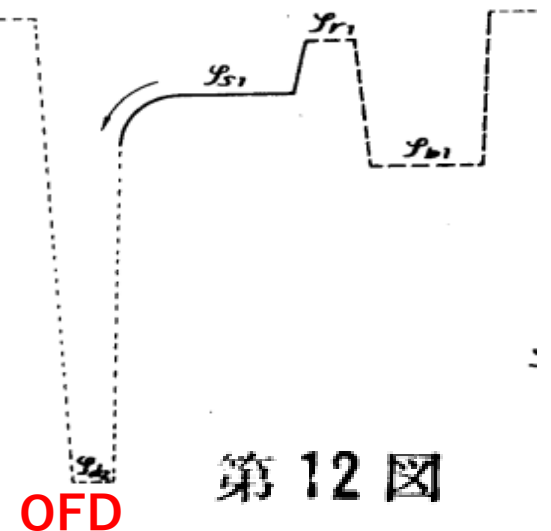
(2) Reset Time with no Image lag



(3) Anti-blooming and Gamma Mode

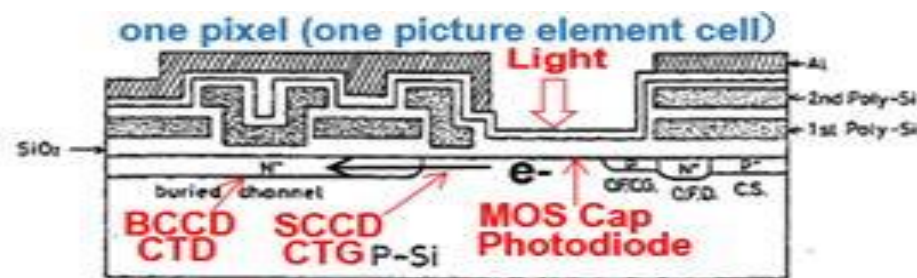


(4) Electric Shutter Punch-thru Mode



First Pinned Photodiode was invented by Hagiwara in 1975 in order to realize Electric Shutter.

Serious surface dark current was still the big head ache.



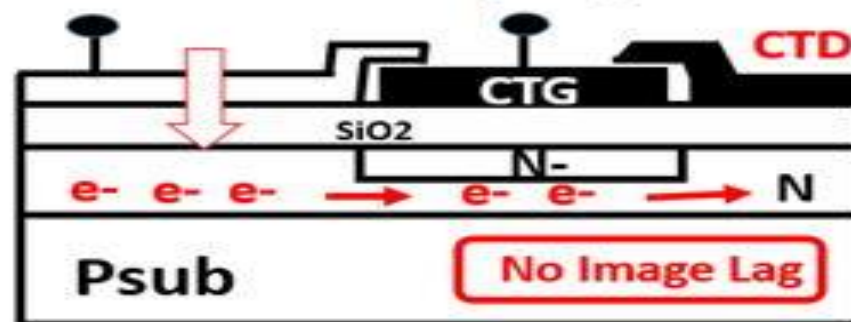
Very Small Photo Window Area



To save pixel area, the vertical Overflow Drain (VOD) was desired.

Hagiwara thought the surface trap noise can be quenched by applying the buried channel CCD type MOS photodiode.

The lightly doped buried channel type N diffusion (NP junction) photodiode can operate as the BCCD type complete charge transfer mode without image lag and trap noise. But it still had a serious surface dark current due to the strong surface electric field of the BCCD type MOS capacitor photodiode, together with the bad surface positive fixed charge $+Q_{ss}$.



狩野、安藤、松本、萩原、橋本、"インターライン転送方式 CCD撮像素子" テレビジョン学会、電子装置研究会 ED 481. pp.47-52. Jan 24. 1980.

Sony XC-1 1980 Two-Chip CCD Color Video Camera

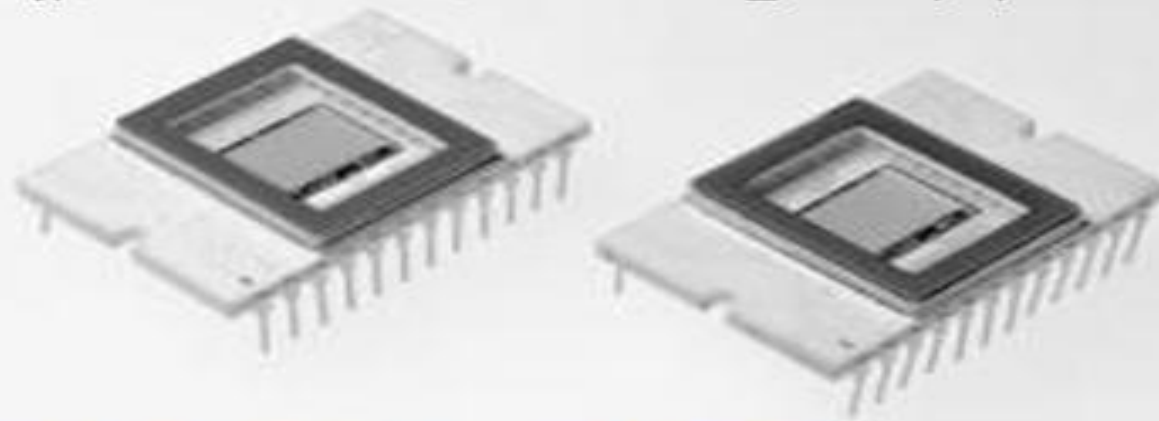


First Pinned Photodiode was invented by Hagiwara in 1975 in order to realize Electric Shutter.

CCD撮像素子 (ICX008)

SONYが初めて1980年商品化した国産の CCD Image Sensorです。
日本発明協会公式WEBでも掲載していただいております(笑顔)。

http://koueki.jiii.or.jp/innovation100/innovation_detail.php?eid=00059&test=open&age



「高密度インターライン転送方式CCD撮像素子」

岡田静夫、島田孝、松本博行、

安藤哲雄、狩野靖夫、桑沢哲郎、萩原良昭

Japan SSD Conferenc , DDD78-5, May , 1978.

(画像提供：ソニー)

米国カリフォルニア工科大学在学中萩原良昭は埋め込み型 CCD の電荷転送原理の博士論文を国際学会のISSCC1974年にて発表。1975年2月20日にSONYに入社。この写真はSONYの中央研究所のほんの十数名の開発 研究者先輩の中で指導を受けて、試行錯誤しながら、第8番目の試作品で成功したものです。当時まだ20歳後半の若い研究者の萩原良昭が、プロセス担当の先輩の狩野課長・松本係長と評価担当の安藤課長・桑沢先輩の指導を受けながら、一人で設計し、評価を担当したものです。透明電極を採用し、残像のない高速アクション映像を提供した画期的な固体撮像装置でした。

(8) 超光感度のCMOS型イメージセンサーの特性

詳細は青山社出版の人工知能パートナーシステム(AIPS)を支える「デジタル回路の世界」に記載。

<https://www.seizansha.co.jp/ISBN/ISBN978-4-88359-339-2.html>

<https://www.seizansha.co.jp/>



崇城大学 理事長付き 特任教授
IEEE Life Fellow, Ph.D., 工学博士

仕様:B5判上製

475ページ

ISBN978-4-88359-339-2

発行日:2016/03/01



人工知能パートナーシステム(AIPS)を支える
デジタル回路の世界

IEEE Life Fellow, Ph.D.

萩原 良昭 著

ISBN978-4-88359-339-2 B5判 上製 475頁

定価(本体9,000円+税)

未来の人間社会には人工知能パートナーシステム(AIPS)とも言える人間にやさしい支援システムが出現すると期待している。AIPS搭載の自動走行車や老人介護システム、人間型歩行ロボットやロボット・ハウスなどである。そこで本書では、そのAIPSを支える「デジタル回路の世界」と題し、ハードとソフトの両面で、人とコンピュータをつなぐデジタル技術について紹介している。図や絵をたくさん用意して、基礎からやさしく解説している。

Thank You !