

2020年7月10日(金) ソニー厚木テック講演会 萩原良昭

ゲスト

半導体電子産業新聞社 CEO 泉谷 渉様
もとSONY常務・中央研究所所長 渡辺誠一様

Image Sensor Story



Yoshiaki Hagiwara

Ph.D. IEEE Life Fellow

萩原 良昭

hagiwara-yoshiaki@aiplab.com

人工知能パートナーシステム (AIPS) を支える

デジタル回路の世界

ISBN978-4-88359-339-2

青山社 <http://www.seizansha.co.jp>

AIPS consortium (NPPO)

<http://www.aiplab.com/>

2020年7月10日(金) 萩原良昭 講演会

Sonyの半導体の過去を振り返って、その強さと、源泉と、
今後に向けて、一緒に考えてみましょう♡

- SONYの半導体がどうして昔も今も日本一なのか？
- どうして Bipolar Transistorで世界一だったのか？
- どうして CCD Image Sensorで世界一だったのか？
- どうして CMOS Image Sensorで世界一なのか？
- これからも Sonyの半導体は世界一を維持できるのか？

半導体産業人協会 教育委員会 運営委員

<http://www.ssis.org>

hagiwara@ssis.org

Artificial Intelligent Partner System (AIPS)

個人コンサルティング 代表

<http://www.aiplab.com>

Hagiwara-yoshiaki@aiplab.com

萩原良昭

この講演に関する参考図書

- (1) 人工知能パートナーシステム(AIPS)を支える「デジタル回路の世界」
萩原良昭著 青山社 ISBN978-4-88359-339-2
- (2) 「伝説ソニーの半導体」その栄光の軌跡そして未来への構図
泉谷渉、川名喜之著 産業タイムズ社 ISBN978-4-88353-290-2 C3055
- (3) 「イノベーションの成功と失敗」 武田 立、瀬戸篤著、
同文館出版 ISBN978-4-495-38571-2
- (4) 「技術の系統化調査報告」 国立科学博物館、
Volume 29, March 2020, ISSN 2187-462X
- (5) 「ソニー初期の半導体開発記録」 企業戦略と発展の原動力
川名 喜之 著 美研プリンティング株式会社（非売品）

この講演のSlideの詳細解説

http://www.aiplab.com/Slide_Sony_Atsumi_Tech_2020_07_10.html

<http://www.aiplab.com>

hagiwara-yoshiaki@aiplab.com

(1) 人工知能パートナーシステム(AIPS)を支える「デジタル回路の世界」
萩原良昭著 青山社 ISBN978-4-88359-339-2

<https://www.seizansha.co.jp/ISBN/ISBN978-4-88359-339-2.html>



人工知能パートナーシステム(AIPS)を支える デジタル回路の世界

IEEE Life Fellow, Ph.D.

萩原 良昭 著

ISBN978-4-88359-339-2 B5判 上製 475頁

定価(本体9,000円+税)

未来の人間社会には人工知能パートナーシステム(AIPS)とも言える人間にやさしい支援システムが出現すると期待している。AIPS搭載の自動走行車や老人介護システム、人間型歩行ロボットやロボット・ハウスなどである。そこで本書では、そのAIPSを支える「デジタル回路の世界」と題し、ハードとソフトの両面で、人とコンピュータをつなぐデジタル技術について紹介している。図や絵をたくさん用意して、基礎からやさしく解説している。

(2) 「伝説ソニーの半導体」その栄光の軌跡そして未来への構図

泉谷 渉、川名 喜之著 産業タイムズ社 ISBN978-4-88353-290-2 C3055



伝説 ソニーの半導体

～その栄光の軌跡そして未来への構図

■発刊趣旨とご購入のご案内

本書は、産業タイムズ社 代表取締役社長 泉谷 渉とソニー ㈱中央研究所 元副所長 川名 喜之氏の共同執筆により「伝説 ソニーの半導体」～その栄光の軌跡そして未来への構図 を発刊いたします。

ソニーの半導体に関する取材は延べ30年間に及んでおり、この内容を集大成するとともに、トランジスタラジオに始まる初期の半導体開発の歴史を振り返り、および将来に向けてのフューチャープランを展望できる本として仕上げました。

■内容構成

序章：ソニーの半導体はついに日本一 達成が目前に迫った

第1章：断トツ世界一のイメージセンサーはソニーの黄金武器

第2章：これがソニーの半導体工場の全貌だ！

～日の丸を背負ったものづくりスピリッツ

○ソニーがニッポン半導体の頂点に立つ日がやってきた!!

○2019年度の国内半導体生産ランキング 第1位獲得は目前！

(2) 「伝説ソニーの半導体」その栄光の軌跡そして未来への構図

泉谷 渉、川名 喜之著 産業タイムズ社 ISBN978-4-88353-290-2 C3055



体裁・頁数：四六判・310頁

定価 **3,500円 + 税**

第3章：トランジスタラジオ量産成功がソニーを町工場から世界 ステージへ

第4章：ハンディカム実現の CCD開発は苦闘から歓喜へのストーリー

第5章：特別インタビュー ソニー ㈱中央研究所 元副所長 川名喜之氏
～世界初の直視型ポータブルトランジスタTV開発に貢献

第6章：ソニーの半導体OBたちの語る言葉の超おもしろさ
～「失敗をおそれず、加点主義がすべてだ!」

第7章：90年代のソニーはSRAM、マイコン、システムLSIで戦った

第8章：ゲーム機向け半導体で「ウインテル」打倒の夢、
プレイステーション4はぶっちぎり世界一

第9章：ソニーの半導体は苦闘の中で選択と集中に向かう

第10章：特別インタビュー ソニー ㈱ 常務 半導体事業担当 清水照士氏
～国内半導体ランキングで初の首位獲得へ全力!!

最終章：「感動の共有」こそソニーの哲学、そこには希望だけが立っている

講演に関する参考図書

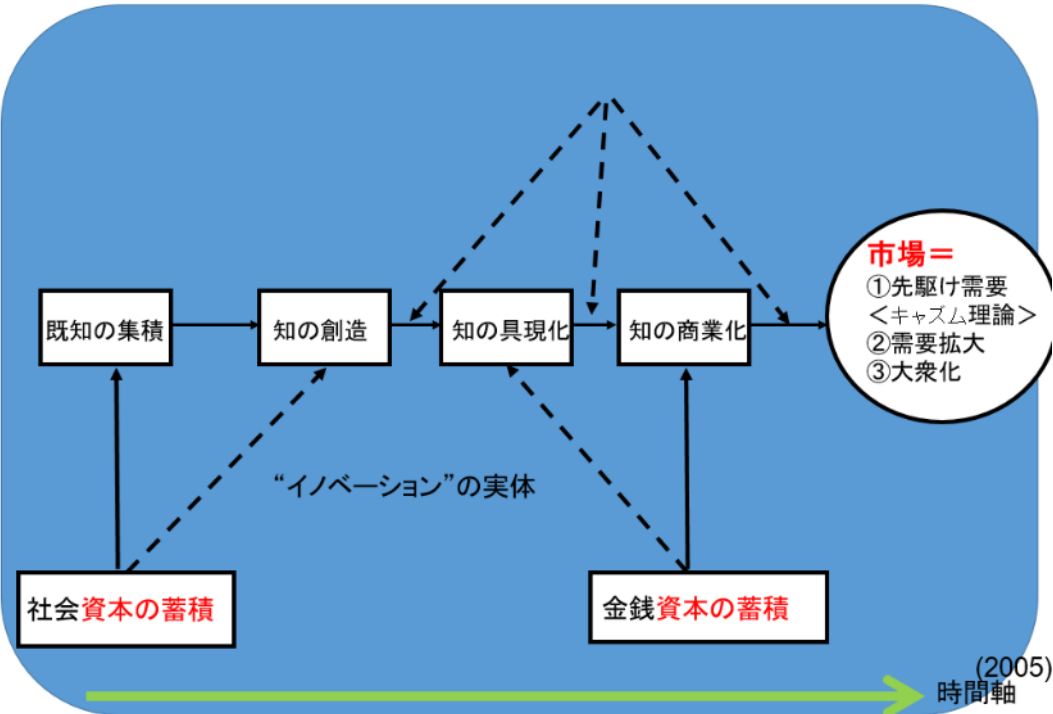
(3) 「イノベーションの成功と失敗」 武田 立、瀬戸篤著、
同文館出版 ISBN978-4-495-38571-2 単行本 – 2015/10/24

戦前戦中から戦後に至る 日本型イノベーションの真実

三知一体論

イノベーションにおいて技術革新のみが重要視されるが、成功させるためには「知の創造」「知の具現化」「知の商業化」の3つが不可欠である。SONYの知恵袋がイノベーションの真実を語る！

「知のヤマ師」とは「資本化家」(?)



講演に関する参考図書

- (3) 「イノベーションの成功と失敗」 武田 立、瀬戸篤著、
同文館出版 ISBN978-4-495-38571-2 単行本 – 2015/10/24

戦前戦中から戦後に至る 日本型イノベーションの真実

三知一体論

イノベーションにおいて技術革新のみが重要視されるが、成功させるためには「知の創造」「知の具現化」「知の商業化」の3つが不可欠である。SONYの知恵袋がイノベーションの真実を語る!

**車には運転手が必要だし、
エンジンがあっても、
車輪がないと前には進まない。**

萩原さん、ご一読いただいたようなので、趣旨はご理解いただきましたが、一言でいえば、
井深さんがよく言ってた、「1-10-100の法則」をかみ砕いたもので、「イノベーションとは、「発明」ではなく、「事業化すること」であり、「発明はカンタンだが『商業化』できてナンボのモノ」ということに尽きます。



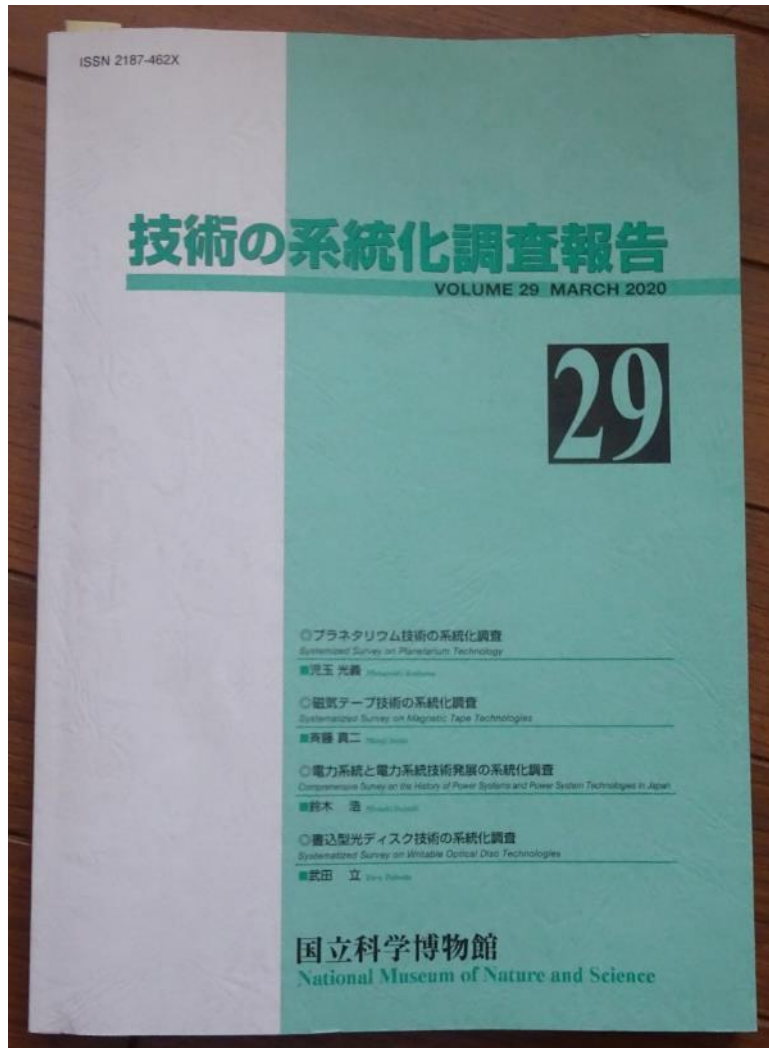
講演に関する参考図書

(4) 「技術の系統化調査報告」 国立科学博物館、 Volume 29, March 2020, ISSN 2187-462X

内容

- pp.1-106
プラネタリウム技術の系統化調査
児玉光義
- pp.107-194
磁気テープ技術の系統化調査
斎藤真二
- p195-272
電力系統と電力系統技術の
発展の系統化調査
鈴木 浩
- pp.273-330
書込型光ディスク技術の系統化調査

武田 立

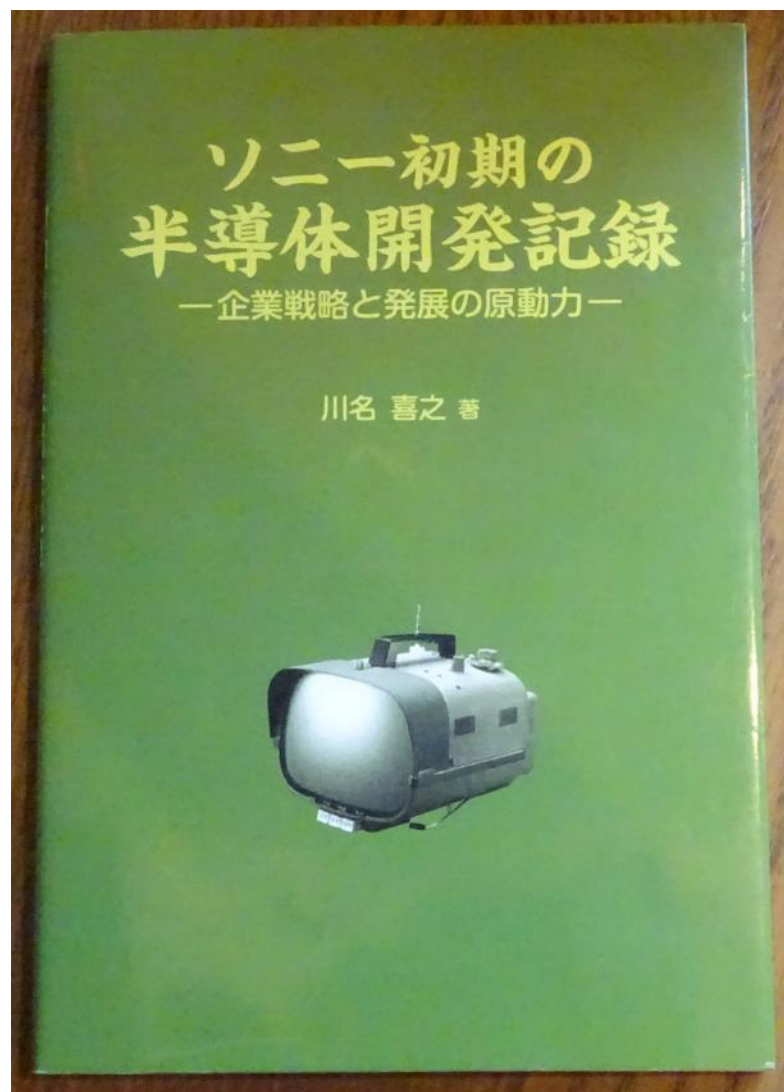


講演に関する参考図書

(4) 「ソニー初期の半導体開発記録」 企業戦略と発展の原動力

川名 喜之 著

美研プリンティング株式会社（非売品）



Sonyの半導体の過去を振り返って、その強さと、源泉と、
今後に向けて、一緒に考えてみましょう♡

- SONYの半導体がどうして昔は、日本一なのか？
- どうして Bipolar Transistorで世界一だったのか？

Image Sensor Story

萩原良昭(旧姓大門)の経歴：

1948年7月4日京都市出生。高校2年の時、渡米。1967年南カリフォルニアのRiverside市立Polytechnic High Schoolを卒業。1971年カリフォルニア州バサデナ市カリフォルニア工科大学(Caltech)に卒業。学士号(BS)取得。同年夏に一時帰国しソニー（株）厚木工場で実習。Bipolar Transistor プロセスを学ぶ。

Caltech より 1972 年修士号(MS) を習得。Intel 社と Caltech の産学共同プロジェクトに参加。128 bit 高速並列処理 data stream 比較処理プロセッサを開発設計し、Intel 社の E/D MOS Process Line で試作評価。PhD 論文テーマを埋め込みチャネル CCD の動作解析をテーマにして 1975 年 Caltech より電子工学(Major)と物理学(Minor)で博士号取得。1975 年 2 月 20 日 SONY 入社。横浜にあるソニー中央研究所情報処理研究室に配属される。

最初の 5 年間、1980 年まで CCD Image Sensor とそのビデオカメラシステムの開発研究に従事。その後、1990 年頃まではデジカメ用の ADC や Cache SRAM 開発研究に従事。その後、2000 年頃までは、SONY 内製マイコンやマイクロコントローラー chip の開発研究に従事。2000 年から 2008 年に定年退職するまでは最後の SONY での仕事として PS2 と PS3 の Cell Processor の開発研究に従事し、2008 年 7 月 SONY を定年退職。

2008 年 5 月、(神奈川県認定 NPO 法人) 人工知能パートナーシステム (AIPS) 研究所を設立、理事長に就任し、AIPS BOX の開発研究に従事。また、2009 年から 2017 年まで、熊本市にある崇城大学の情報学部の教授として勤務。

現在、日本産業人協会の教育員会の運営委員として奉仕。母校カリフォルニア工科大学(Caltech)からは Caltech 名誉卒業生の称号を持つ。IEEE Life Fellow。



半導体産業人協会
教育委員会 運営委員

<http://www.ssis.org>
hagiwara@ssis.org

Artificial Intelligent Partner System (AIPS)
代表

<http://www.aiplab.com>
Hagiwara-yoshiaki@aiplab.com

萩原良昭

Why is SONY so strong in Semiconductor Business from the beginning to now ?

(0) Sony could purchase the Bipolar Transistor Patent Right with a very low price of \$ 500 (?) from Bell Lab USA in 1954.

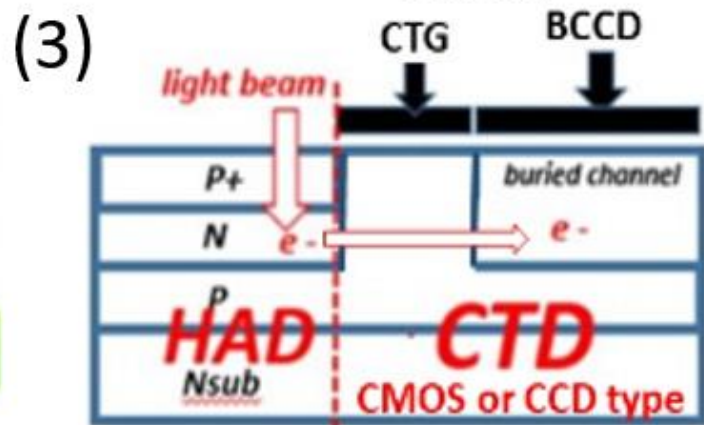
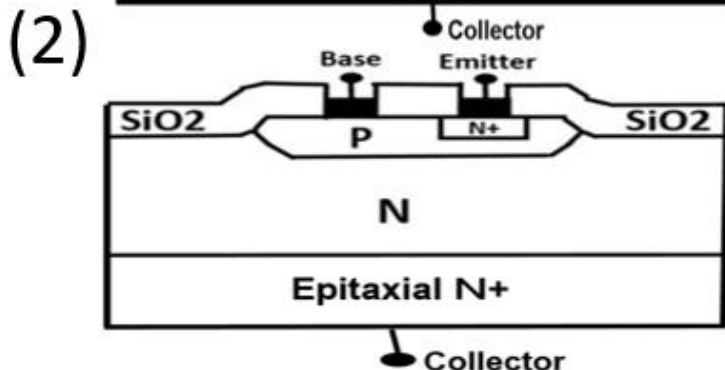
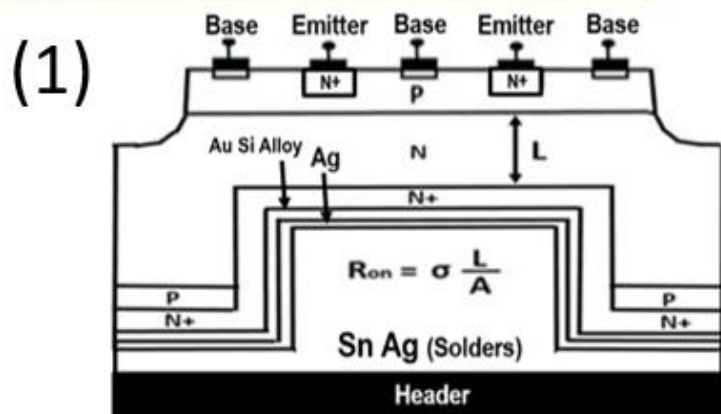
(1) Kawana, Yoshiyuki at Sony invented the low collector On-Resistance P+NP junction type Bipolar transistor by thinning the back side of silicon wafer, a technique now used for the backside illumination CMOS image sensors widely to improve sensitivity.

(2) Kato, Toshio at Sony invented the silicon surface light etching and new SiO₂ Passivation technique for the N+PN junction type Bipolar transistor with the MESA like isolation, which is now known as the shallow trench isolation with the excellent side wall SiO₂ formation to reduce the leakage current.

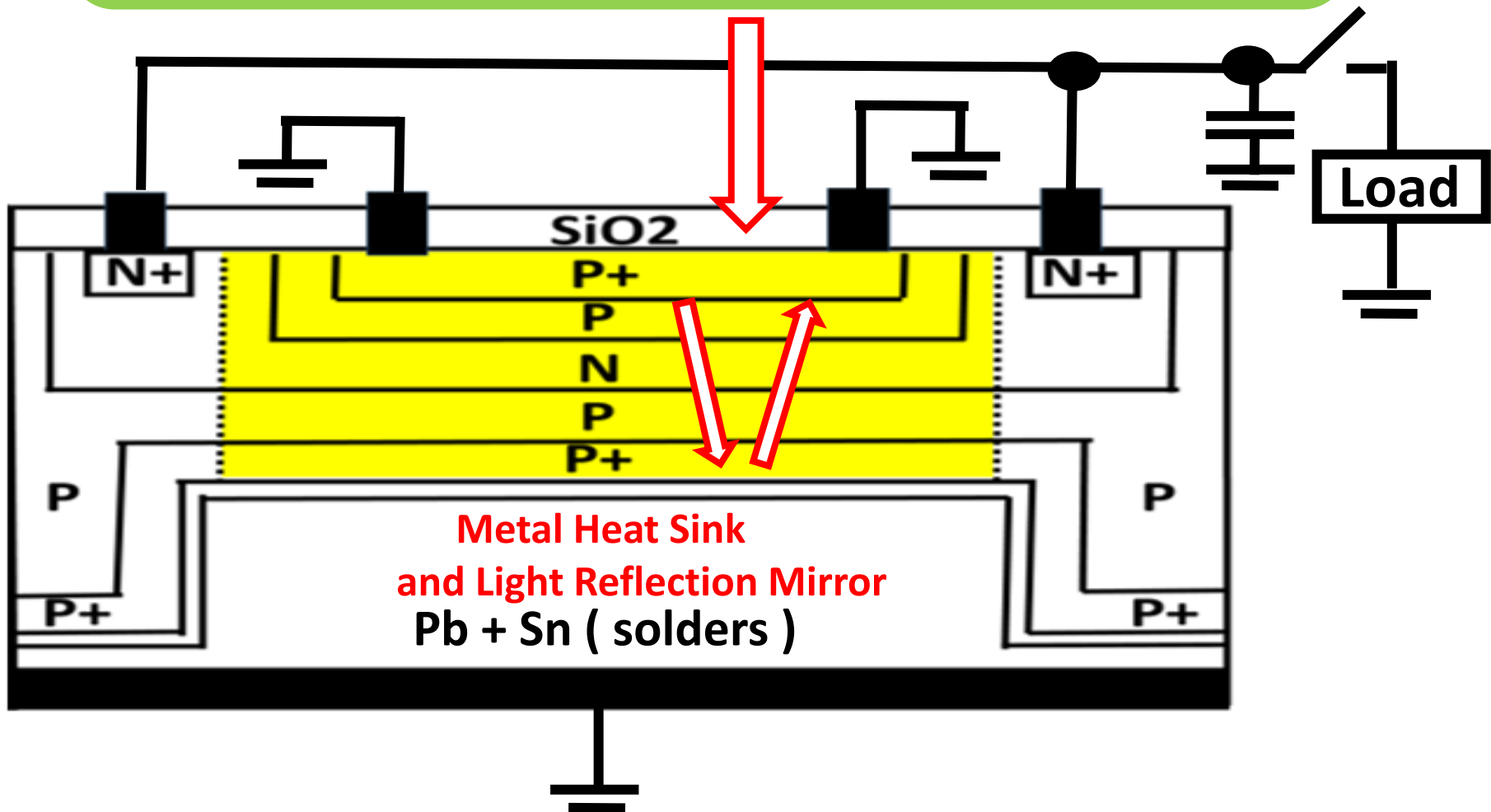
(3) Hagiwara, Yoshiaki at Sony invented the P+NPNsub junction (thyristor) type Pinned Photodiode, which is identical to SONY Hole Accumulation Diode (HAD), with the built-in vertical overflow drain (VOD) function, the image lag free electric shutter function and good light sensitivity to realize fast action video cameras.

See Japanese Patent 1975-134985

Hagiwara invented SONY HAD which is identical to the Pinned Photodiode which is also the Depletion Photodiode and the Buried Photodiode.



P+PNPP+ junction type Pinned Photodiode Solar Cell
with the thinned backside silicon wafer and the metal
Heat sink and the infrared light reflection for cooling.



Sonyの半導体の過去を振り返って、その強さと、源泉と、
今後に向けて、一緒に考えてみましょう♡

- SONYの半導体がどうして昔は、日本一なのか？
- どうして Bipolar Transistorで世界一だったのか？

パワートランジスタのコレクタ抵抗を下げるのは
シリコンウェファを薄くするのですが、あまり
薄くすると割れてしまいます。

そこで額縁を作って中だけを薄くしました。

量産型シリコン高性能トランジスタは世界最初でした。

他社がトランジスタテレビでソニーに後れを取った
大きな原因の一つが他社にシリコンパワートランジスタ
がなかったことでした。

加藤さんのAdvanced passivated mesa transistorは
プレーナパテントを逃れた唯一のトランジスタに
なりました。莫大な特許料を払わないで済みました。

ベースのpre-deposition後ただちに極めて薄くベース
部分を残してエッチングして、そのまま酸化とdrive-in
工程を一挙に行うものです。

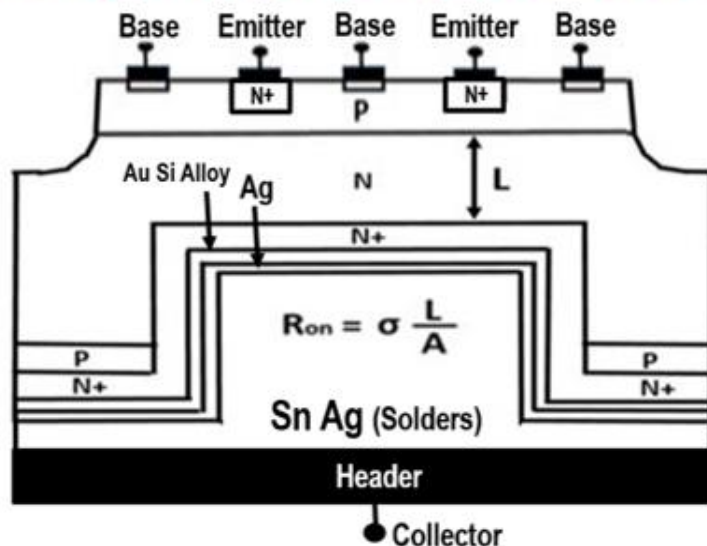
エミッタは同じです。

追加で説明すればエピタキシャルメサトランジスタも
世界最初でベル研究所を驚かせた高性能でした。

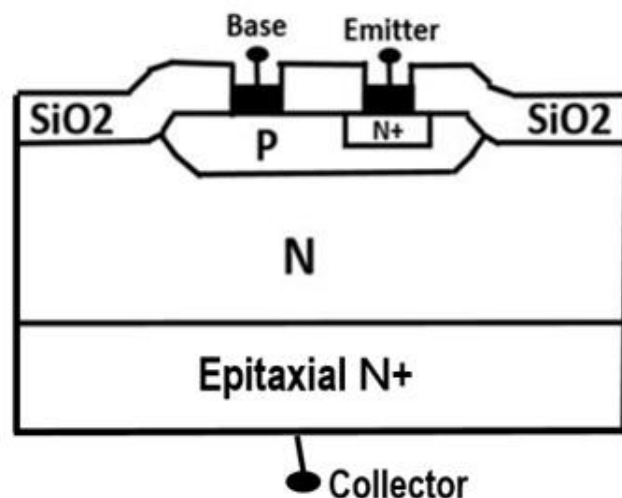
多種類のトランジスタを
設計生産しました。

川名喜之

(1) Kawana, Yoshiyuki at Sony invented the low
collector On-Resistance P+NP junction type Bipolar
transistor by thinning the back side of silicon wafer,



(2) Kato, Toshio at Sony invented the silicon surface
light etching and new SiO2 Passivation technique



Sonyの半導体の過去を振り返って、その強さと、源泉と、
今後に向けて、一緒に考えてみましょう♡

- SONYの半導体がどうして昔は、日本一なのか？
- どうして Bipolar Transistorで世界一だったのか？

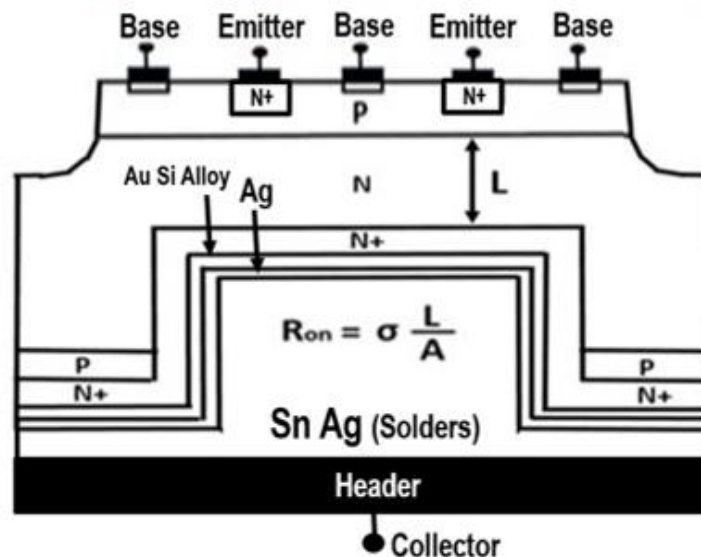
Masaru Ibuka with Dr. John Bardeen, 1990



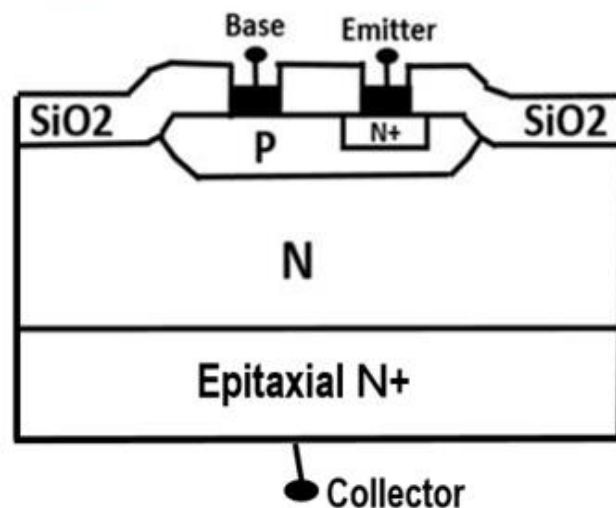
1990年 ジョン・バーディーン博士と井深
SONY time capsule vol.12

半導体産業人協会 会報 No.86('14年10月)

(1) Kawana, Yoshiyuki at Sony invented the low collector On-Resistance P+NP junction type Bipolar transistor by thinning the back side of silicon wafer,

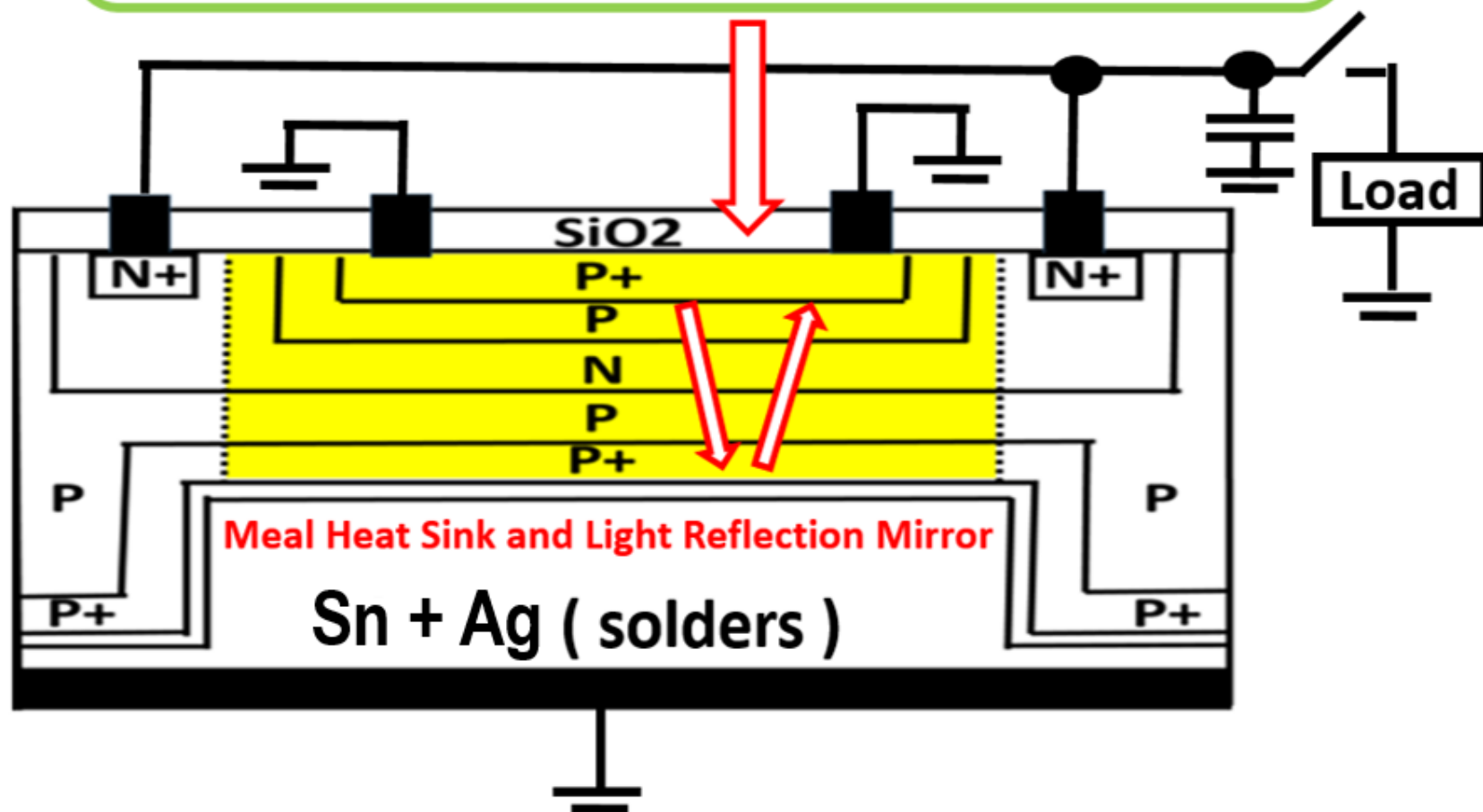


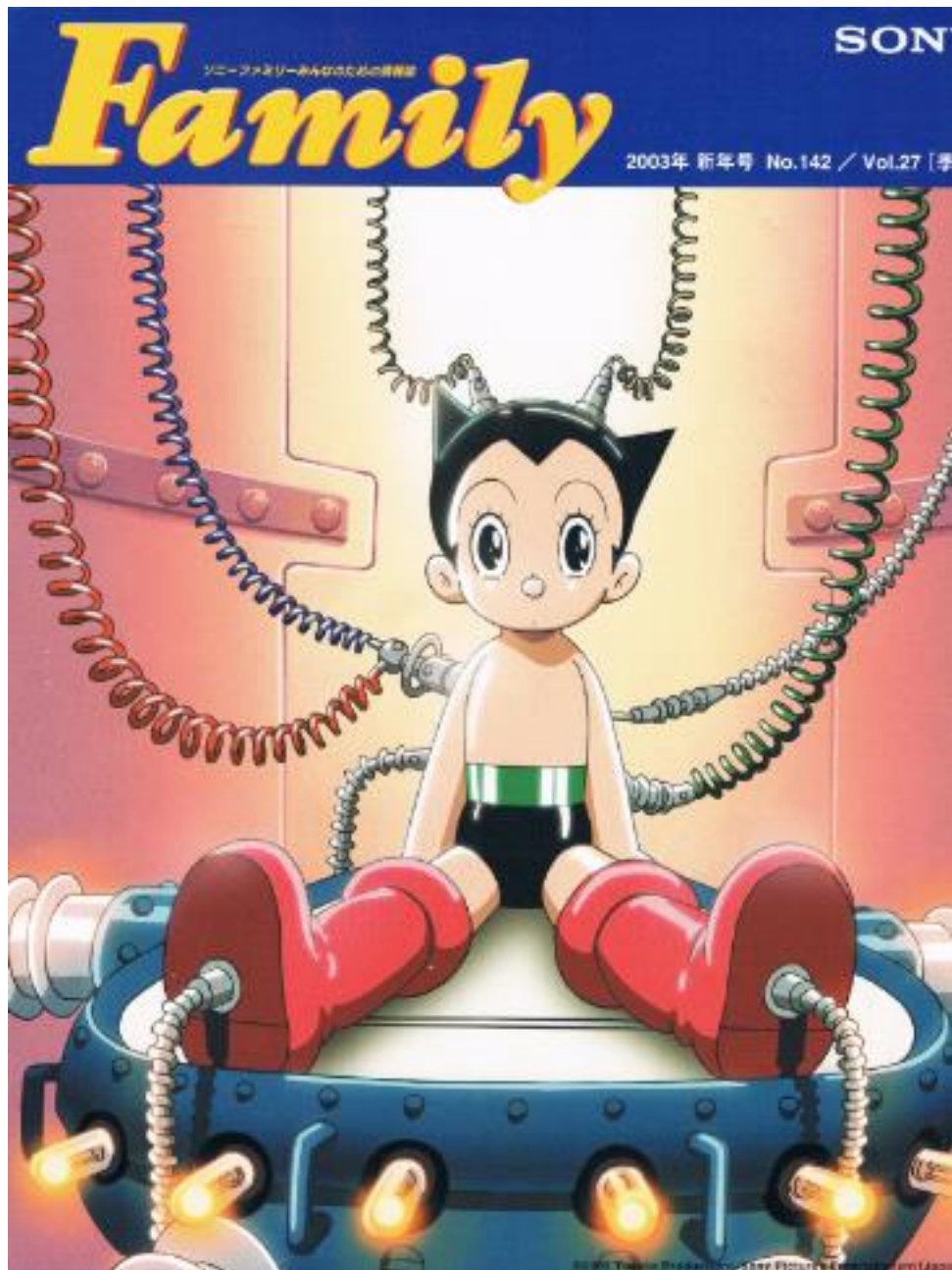
(2) Kato, Toshio at Sony invented the silicon surface light etching and new SiO2 Passivation technique



Pinned Photodiode 型 Solar Cell の提案

P+PNPP+ junction type Pinned Photodiode Solar Cell
with the thinned backside silicon wafer and the metal
Heat sink and the infrared light reflection for cooling.





自己紹介 萩原良昭

1948年7月4日 京都市生まれ
1952年～高瀬川保育園(中退)
1955年～崇仁小学校入学
1956年～紫野小学校編入
1961年～洛星中学入学

もともとジェット推進10万馬力の鉄腕アトム漫画で育った世代であり、人口知能に強い関心をもつ学生でした。私の人生を振り返ると私は鉄腕アトムの電子部品をいろいろと学習してきたことになります。

1964年～洛星高校入学
1966年～米国カリフォルニア州
Riverside市立専門工業高校編入
Riverside City College 編入
1967年～米国カリフォルニア州
カリフォルニア工科大学入学
1971年～同大学修士課程入学
1972年～同大学博士課程入学

恩師 Prof. C. A. Mead との出会い

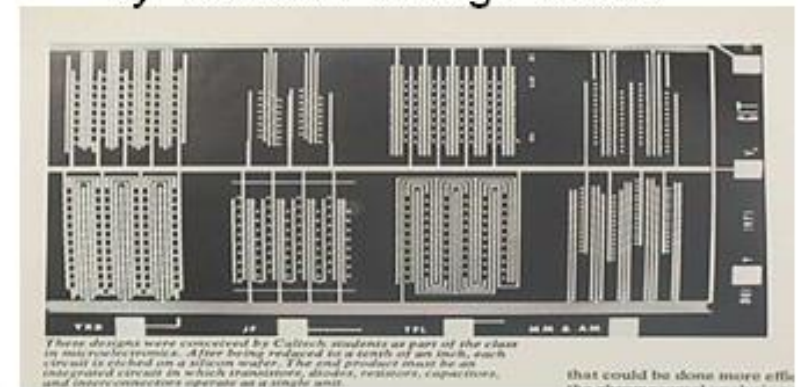
A little guy at work for future human friendly computers (now AIPS) 1972

Prof.CA Mead and myself, Sept 1972

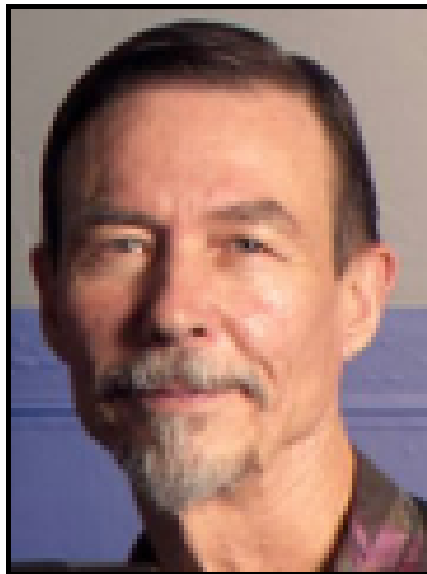
大学時代～1972から
すでに産学共同研究！



A Text Chip Designed
by CalTech Design Team



1971 Intel 1101 256bit RAM



Carver Mead

Gordon and Betty Moore Professor of Engineering and Applied Science, Emeritus

B.S., Caltech, 1956; M.S., 1957; Ph.D., 1960; D.Sc.h.c., University of Lund (Sweden); D.h.c., University of Southern California. Instructor in Electrical Engineering, Caltech, 1958-59; Assistant Professor, 1959-62; Associate Professor, 1962-67; Professor, 1967-77; Professor of Computer Science and Electrical Engineering, 1977-80; Moore Professor of Computer Science, 1980-92; Moore Professor of Engineering and Applied Science, 1992-99; Moore Professor Emeritus, 1999-.

[website](#)

Assistant to Professor Carver Mead

Donna Fox

[Email](#)

Phone: 626-395-2812

Location: 225 Moore Laboratory

Mail Code: 136-93

▶ 半 導 体 ◀

半導体産業人協会 会報 No.86('14 年 10 月)



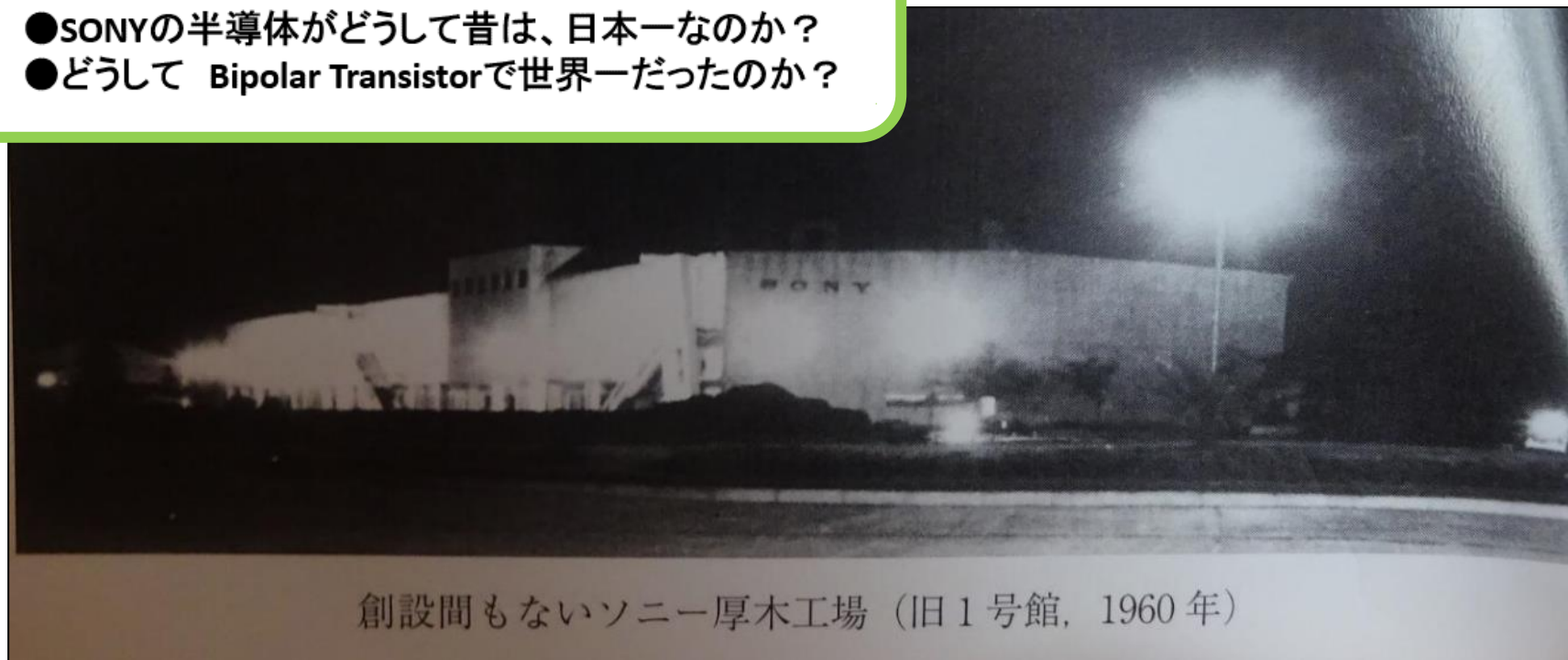
シリコントランジスタの開発とソニー

会員 川名喜之



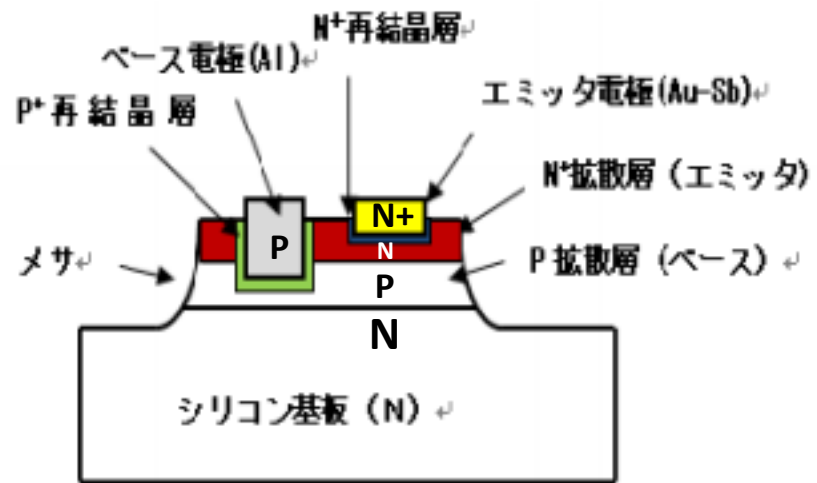
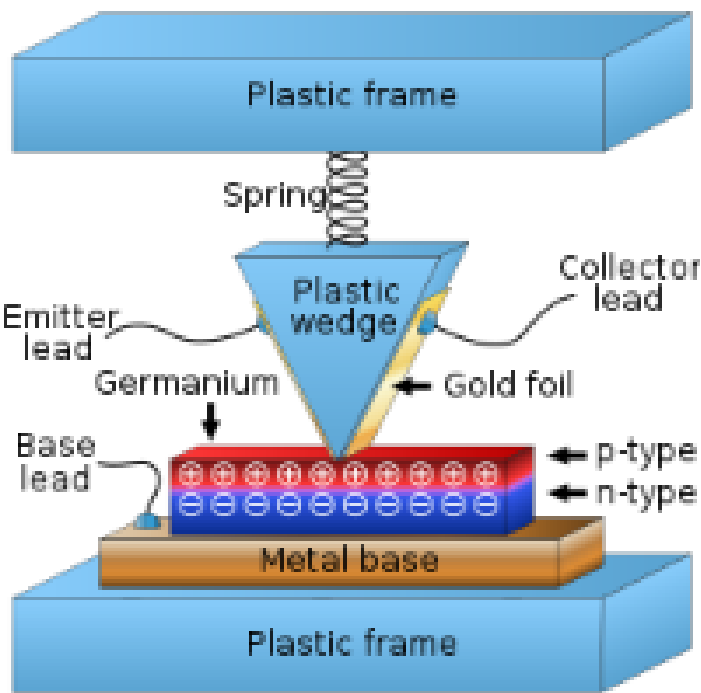
Sonyの半導体の過去を振り返って、その強さと、源泉と、
今後に向けて、一緒に考えてみましょう♡

- SONYの半導体がどうして昔は、日本一なのか？
- どうして Bipolar Transistorで世界一だったのか？



創設間もないソニー厚木工場（旧1号館，1960年）

Image Sensor Story



1956 年

ベル研究所発表の 2 重拡散型トランジスタ

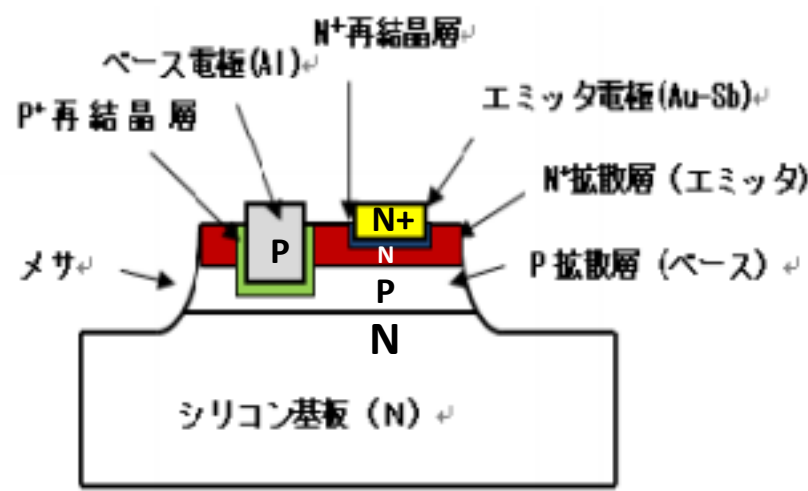
https://en.wikipedia.org/wiki/Point-contact_transistor

The point-contact transistor was the first type of transistor to be successfully demonstrated. It was developed by research scientists John Bardeen and Walter Brattain at Bell Laboratories in December 1947. The team was led by physicist William Shockley. The group had been working together on experiments and theories of electric field effects in solid state materials, with the aim of replacing vacuum tubes with a smaller device that consumed less power.

Kazuo Iwama with Dr. William Schockley, 1963



1963 年
ウィリアム・ショックレー博士と岩間
SONY time capsule vol.12



1956 年

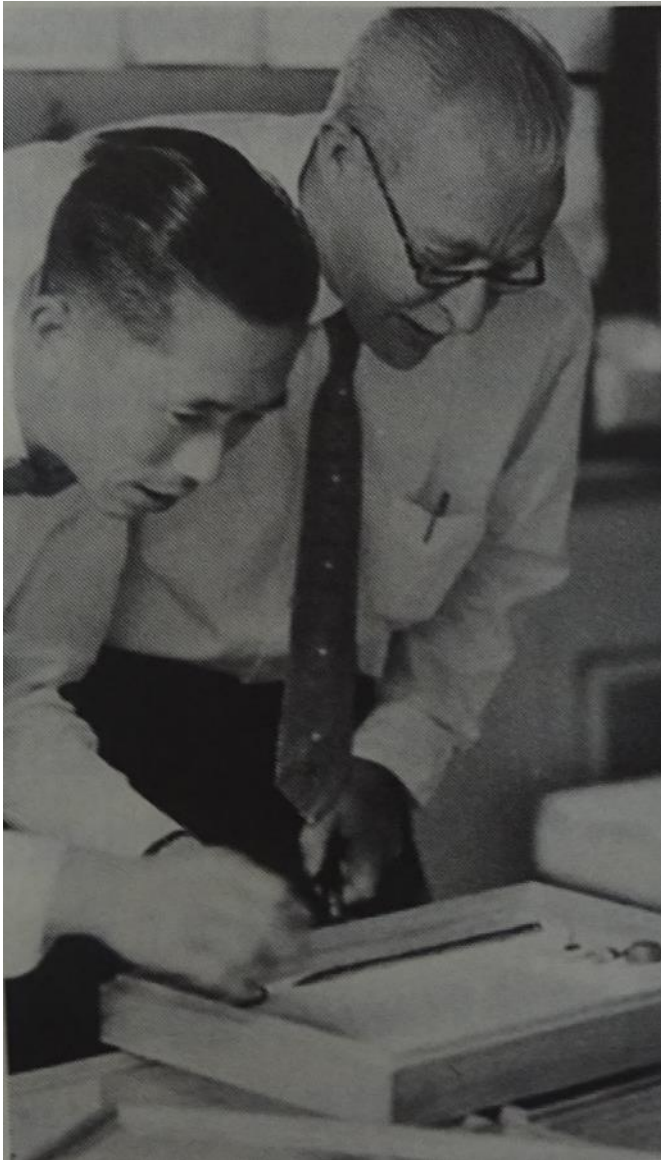
ベル研究所発表の 2 重拡散型トランジスタ



Silicon Power Transistor 2SC41 , Dec 1959

Image Sensor Story

Kazuo Iwama with Dr. Walter Bratten, 1956



Silicon Power Transistor 2SC41 , Dec 1959

Image Sensor Story

Sonyの半導体の過去を振り返って、その強さと、源泉と、今後に向けて、一緒に考えてみましょう♡

- SONYの半導体がどうして昔は、日本一なのか？
- どうして Bipolar Transistorで世界一だったのか？

パワートランジスタのコレクタ抵抗を下げるのはシリコンウェファを薄くするのですが、あまり薄くすると割れてしまいます。

そこで額縁を作って中だけを薄くしました。

量産型シリコン高性能トランジスタは世界最初でした。

他社がトランジスタテレビでソニーに後れを取った大きな原因の一つが他社にシリコンパワートランジスタがなかったことでした。

加藤さんのAdvanced passivated mesa transistorはプレーナパテントを逃れた唯一のトランジスタになりました。莫大な特許料を払わないで済みました。

ベースのpre-deposition後ただちに極めて薄くベース部分を残してエッチングして、そのまま酸化とdrive-in工程を一挙に行うものです。

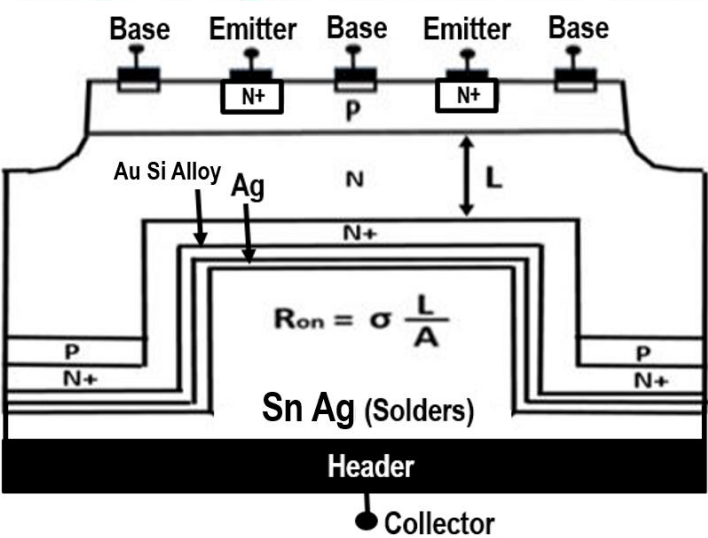
エミッタは同じです。

追加で説明すればエピタキシャルメサトランジスタも世界最初でベル研究所を驚かせた高性能でした。

多種類のトランジスタを設計生産しました。

川名喜之

(1) Kawana, Yoshiyuki at Sony invented the low collector On-Resistance P+NP junction type Bipolar transistor by thinning the back side of silicon wafer,



(2) Kato, Toshio at Sony invented the silicon surface light etching and new SiO2 Passivation technique

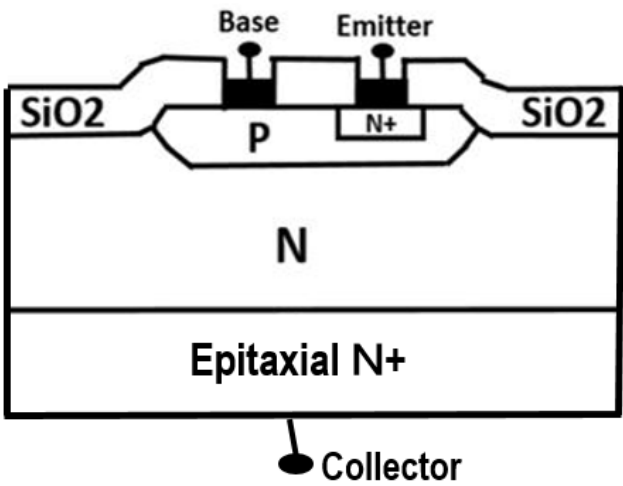


Image Sensor Story

Sonyの半導体の過去を振り返って、その強さと、源泉と、今後に向けて、一緒に考えてみましょう♡

- SONYの半導体がどうして昔は、日本一なのか？
- どうして Bipolar Transistorで世界一だったのか？

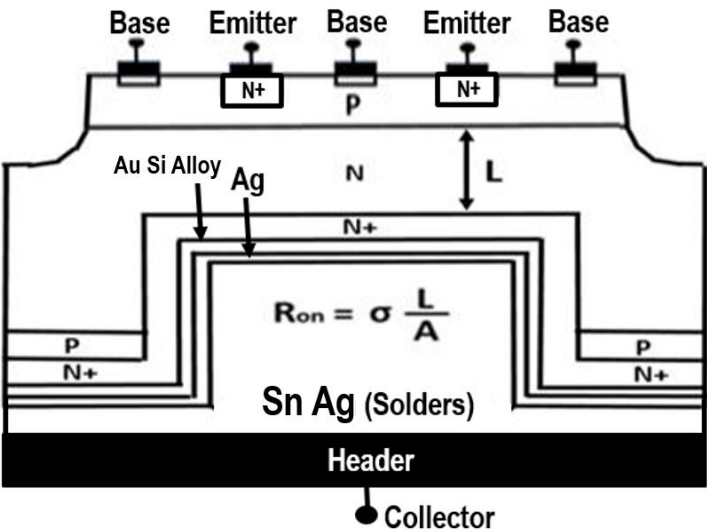
Masaru Ibuka with Dr. John Bardeen, 1990



1990 年 ジョン・バーディーン博士と井深
SONY time capsule vol.12

半導体産業人協会 会報 No.86('14 年 10 月)

(1) Kawana, Yoshiyuki at Sony invented the low collector On-Resistance P+NP junction type Bipolar transistor by thinning the back side of silicon wafer,



(2) Kato, Toshio at Sony invented the silicon surface light etching and new SiO2 Passivation technique

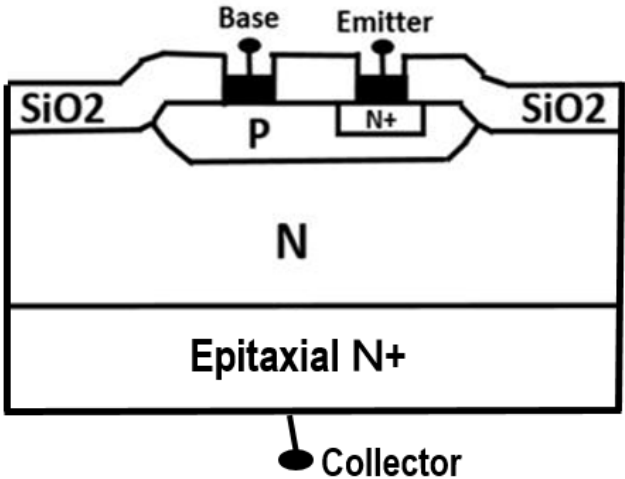
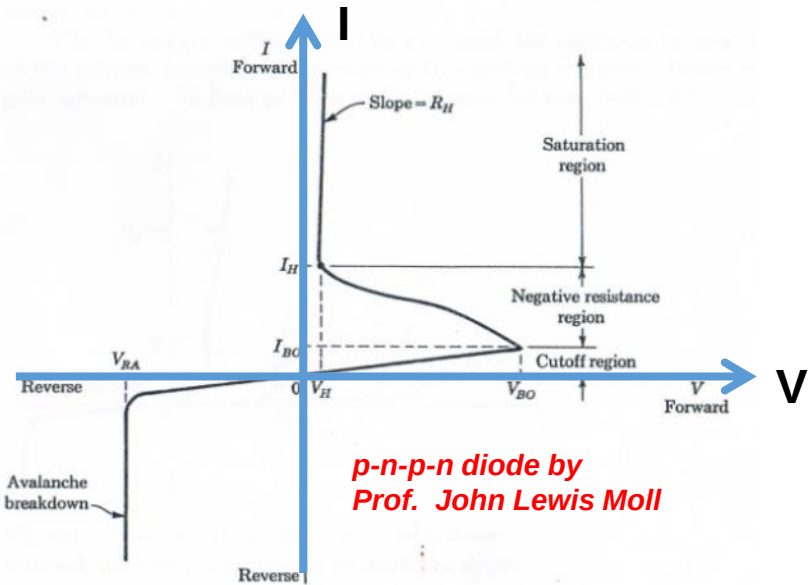
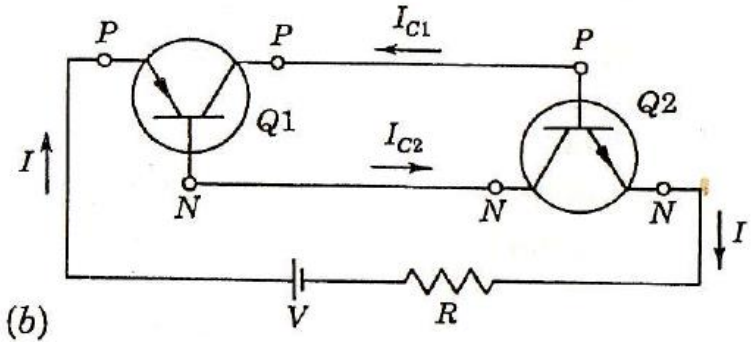
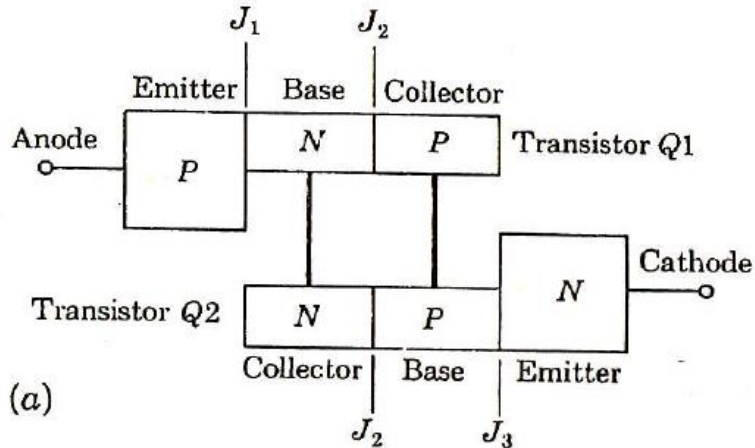
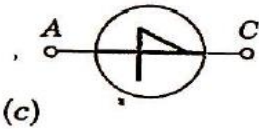
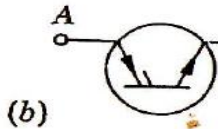
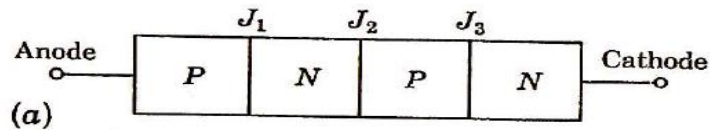
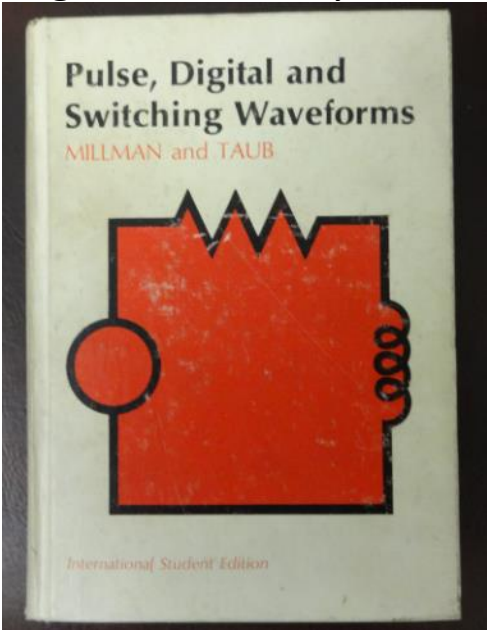
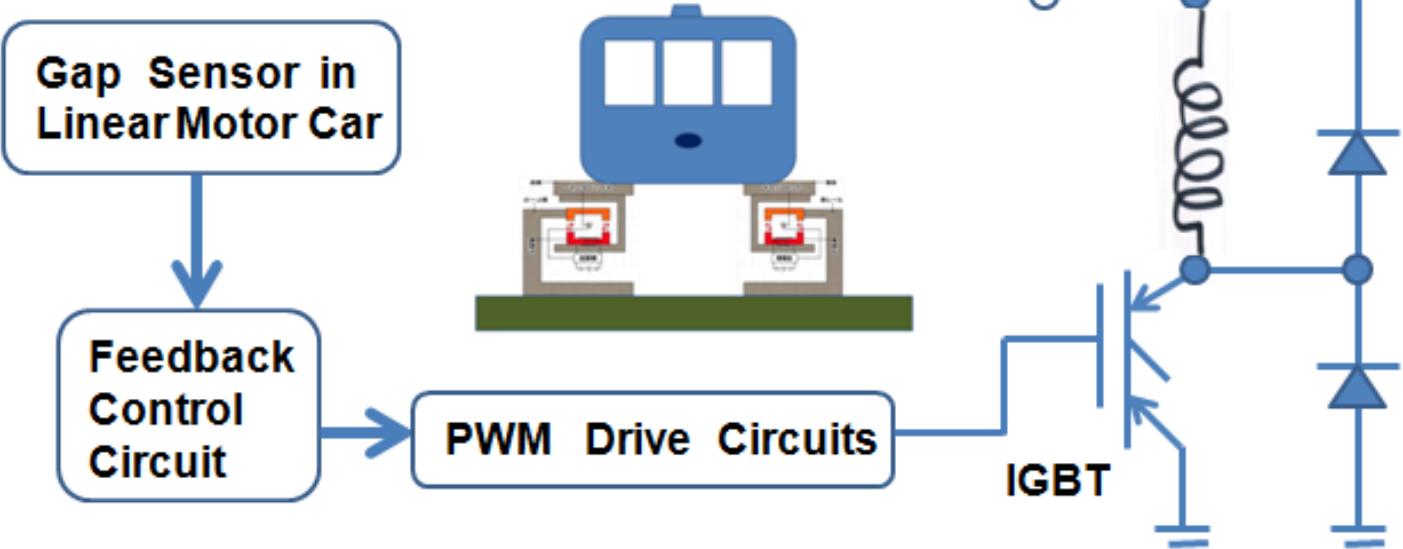
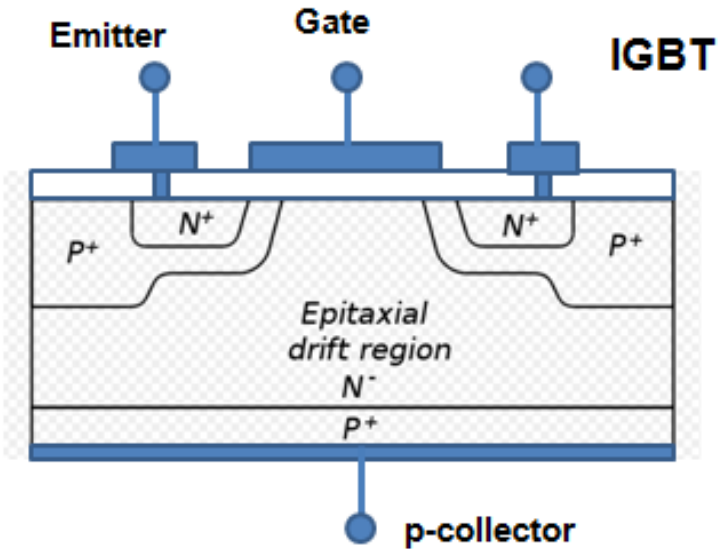
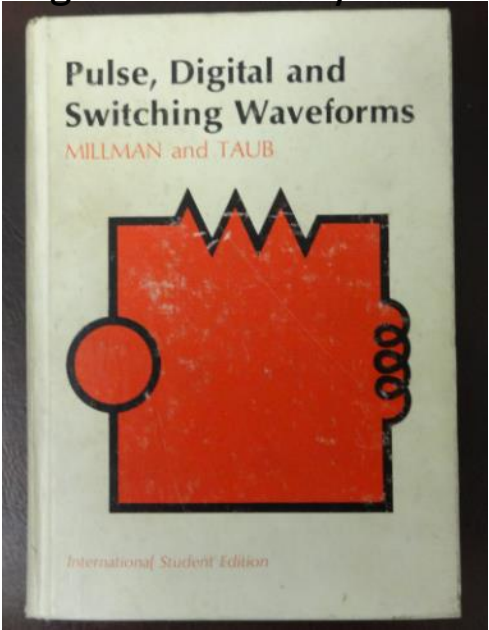


Image Sensor Story



*p-n-p-n diode by
Prof. John Lewis Moll*

Image Sensor Story



Why is SONY so strong in Semiconductor Business from the beginning to now ?

(0) Sony could purchase the Bipolar Transistor Patent Right with a very low price of \$ 500 (?) from Bell Lab USA in 1954.

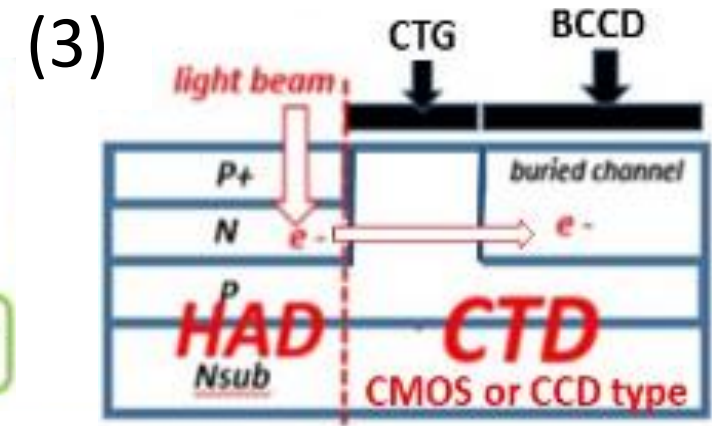
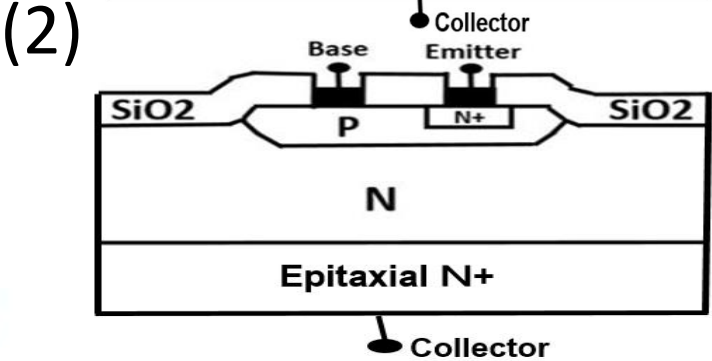
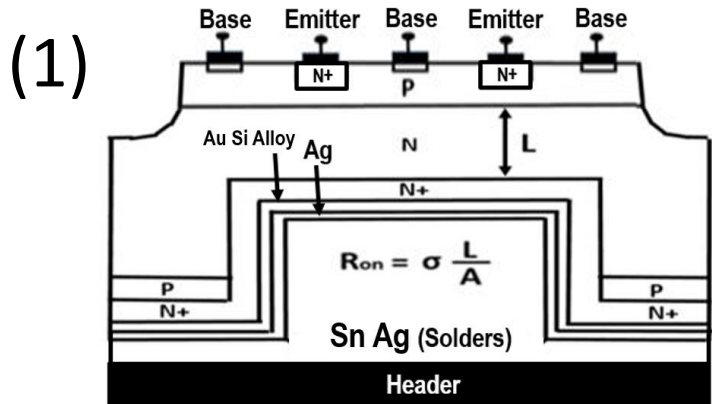
(1) Kawana, Yoshiyuki at Sony invented the low collector On-Resistance P+NP junction type Bipolar transistor by thinning the back side of silicon wafer, a technique now used for the backside illumination CMOS image sensors widely to improve sensitivity.

(2) Kato, Toshio at Sony invented the silicon surface light etching and new SiO2 Passivation technique for the N+PN junction type Bipolar transistor with the MESA like isolation, which is now known as the shallow trench isolation with the excellent side wall SiO2 formation to reduce the leakage current.

(3) Hagiwara, Yoshiaki at Sony invented the P+NPNsub junction (thyristor) type Pinned Photodiode, which is identical to SONY Hole Accumulation Diode (HAD), with the built-in vertical overflow drain (VOD) function, the image lag free electric shutter function and good light sensitivity to realize fast action video cameras.

See Japanese Patent 1975-134985

Hagiwara invented SONY HAD which is identical to the Pinned Photodiode which is also the Depletion Photodiode and the Buried Photodiode.

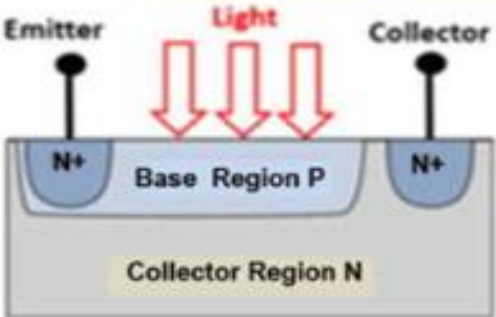
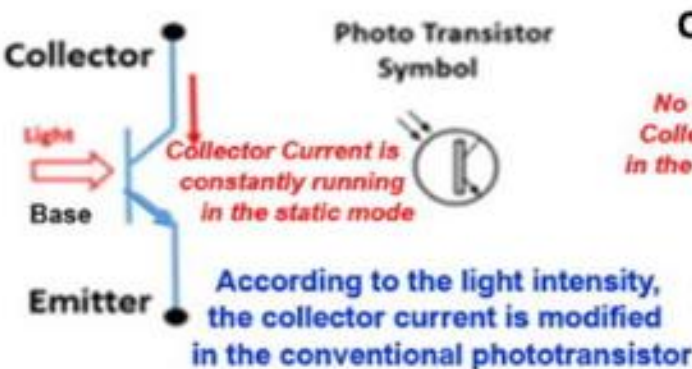


The P+NP junction type Pinned Photodiode in the substrate (P type or N type) was invented by Yoshiaki Hagiwara at Sony in 1975, developed finally in the complete form as Sony original HAD sensor, which is identical and defined as the P+NP junction type Pinned Photodiode on the N-type substrate with the vertical overflow drain (VOD) . Hagiwara published the FT CCD image sensor with P+NPsub Pinned Photodiode in 1978.

SONY HAD Sensor 1975 was hinted by SONY PNP Bipolar Transistor Process Technology

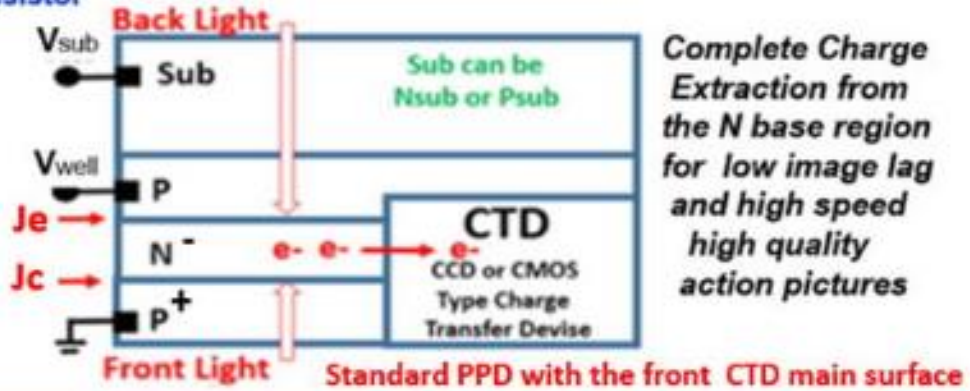
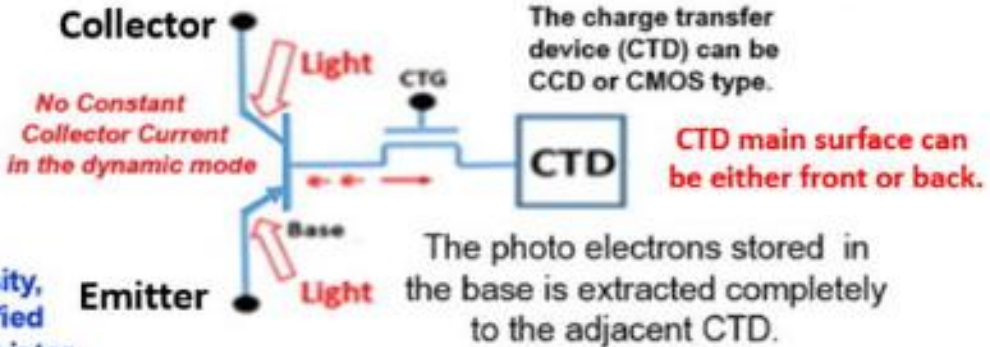
Conventional Static Phototransistor

(by John Northrup Shive , 1950)



Dynamic Phototransistor Operation with lightly doped base region

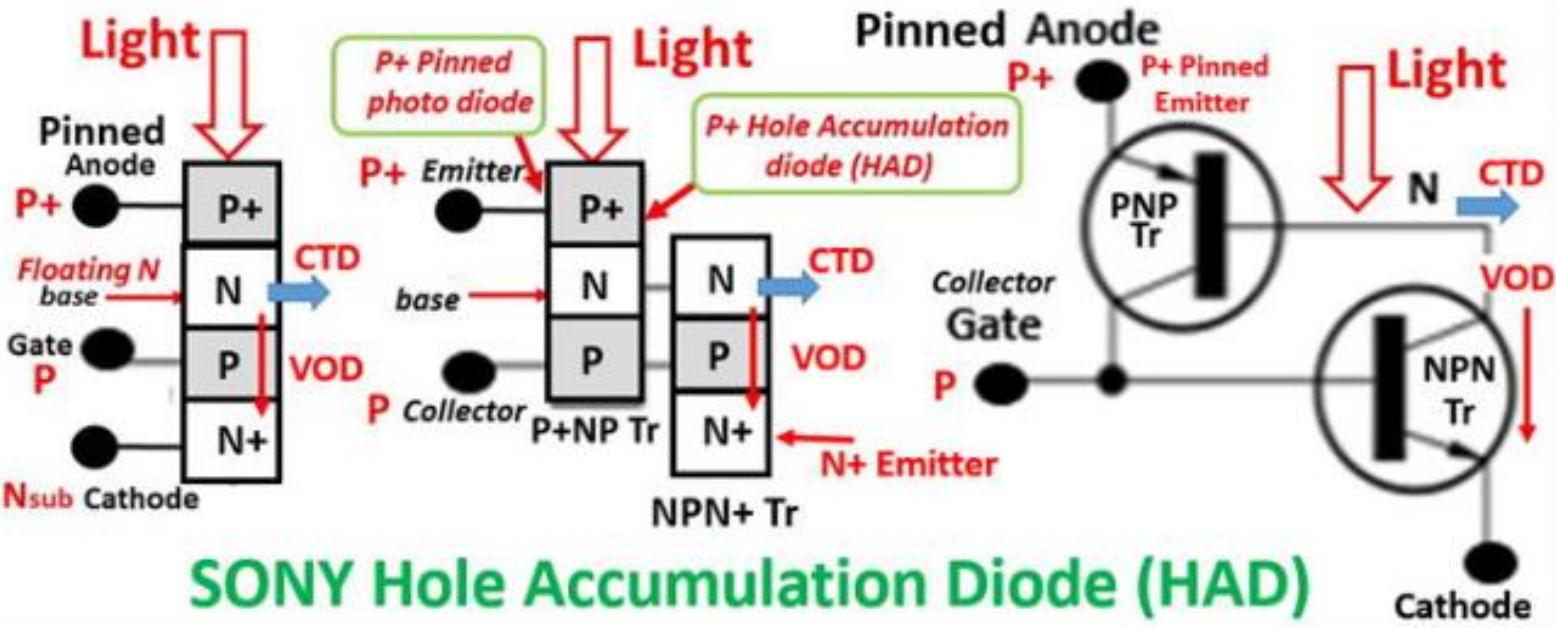
Sony original Hole Accumulation Diode (HAD) 1975



The P+NPNsub junction Thyristor type Pinned Photodiode

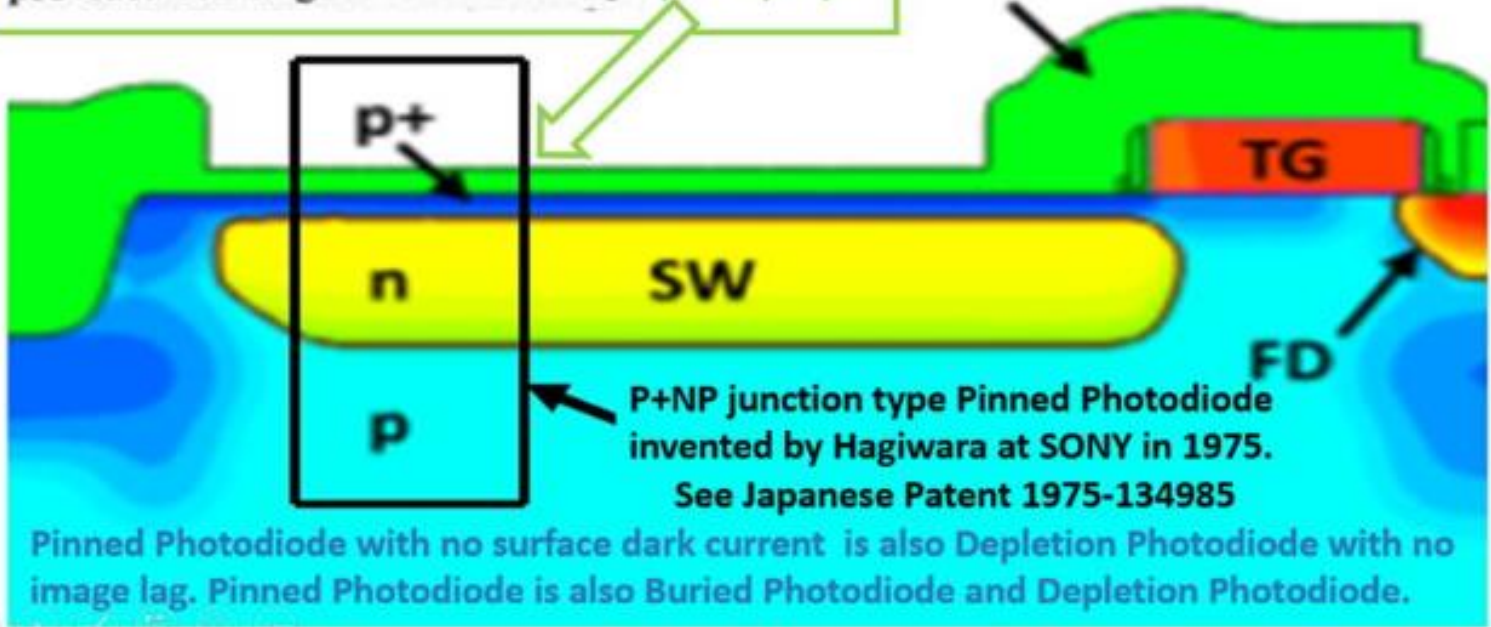
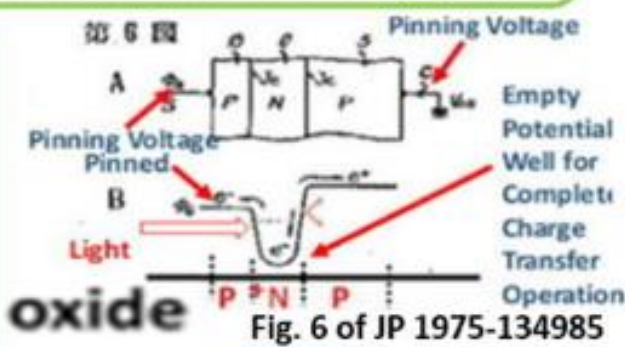
See Japanese Patent 1975-134985 invented by Hagiwara at Sony

Dynamic P+NPNsub junction type photo thrystor structure, invented by Hagiwara at Sony, with the floating N-type base signal charge collection region and with the heavily doped P+ Hole Accumulation region quenching the serious dark current. The photo signal charge is to be transferred thru the adjacent charge transfer gate (CTG) to the nearby charge transfer device (CTD) by complete charge transfer operation mode. The complete transfer of signal charge gives the image lag free picture quality. The P+NPNsub thrystor photodiode has an extra freedom to give the feature of the built-in vertical overflow drain(VOD) function.

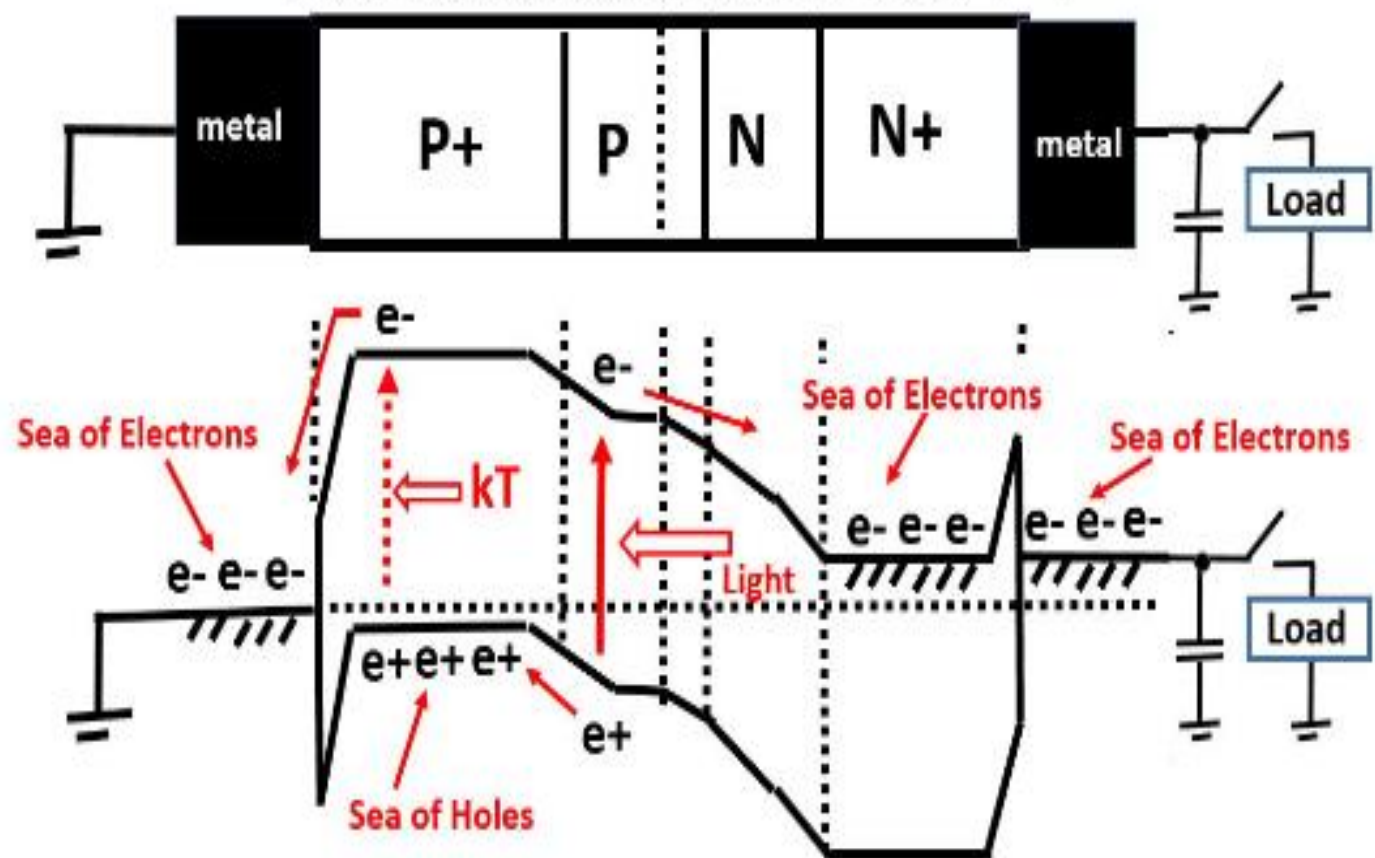


Pinned Photodiode is identical to Sony Hole Accumulation Diode (HAD) with the same P+ hole accumulation layer at the SiO₂ exposed silicon surface. Hagiwara reported how to form the Pinned Photodiode in his 1978 paper.

Direct Quotation from Hagiwara 1978 paper Then, using the polysilicon patterning as an ion implantation mask, boron ions with the dose level of $2 \times 10^{13} \text{ cm}^{-2}$ are implanted into the silicon substrate throughout the exposed portions of the thermally grown oxide. This step provides self-aligned channel stops (P+ layer).



(質問)シリコン表面のP+領域をグランド電位の固定することで
どうして表面暗電流が抑制できるのか？。



(答え)光のない暗い状態でも、熱エネルギー(kT)により、電子とHoleのPairが発生します。しかし、表面のP+が外部金属
電圧で固定されていますと、表面のP+層は Sea of Holes 状態となり、電位が平らとなり、電界がありません。
熱エネルギー(kT)で生まれた電子とHOLEのPairはその場所に留まり、いずれ再結合し、暗電流に貢献しません。

Proceeding of the 10th Conference on Solid State Devices, Tokyo, 1978;
Japanese Journal of Applied Physics, Vol 18 (1978) Supplement 18-1, pp.335-340

These figures shows (1) Excellent Blue Light Sensitivity (2) Low Surface Dark Current and (3) NO Image Lag Features of the P+NP junction type Pinned Photodiode.

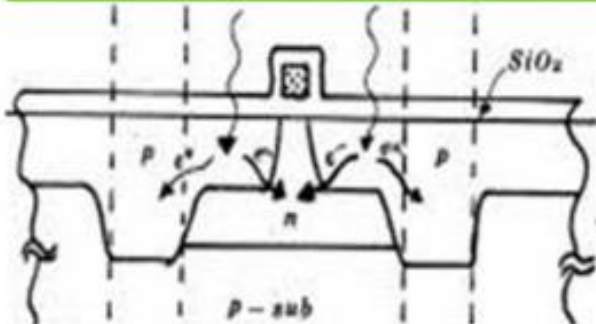


Figure 2 Cross Section of the CCD charge Transfer Region with the P+NP junction type Pinned Photodiode (PPD)

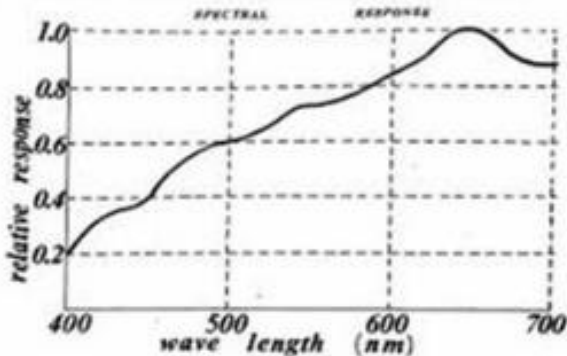


Figure 13 Spectral Response of the P+NP junction Pinned Photodiode (PPD) with the excellent blue light sensitivity

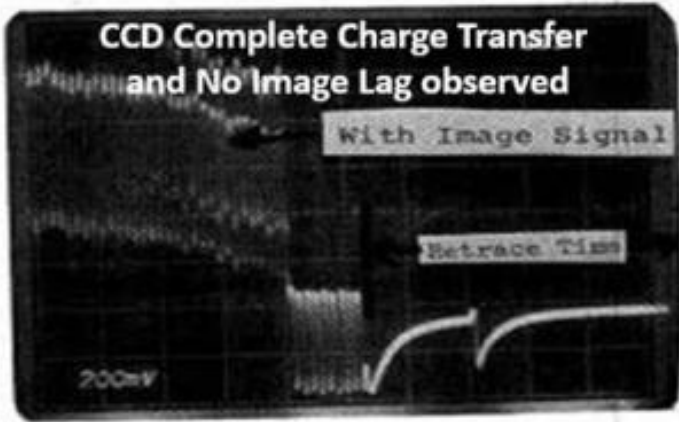
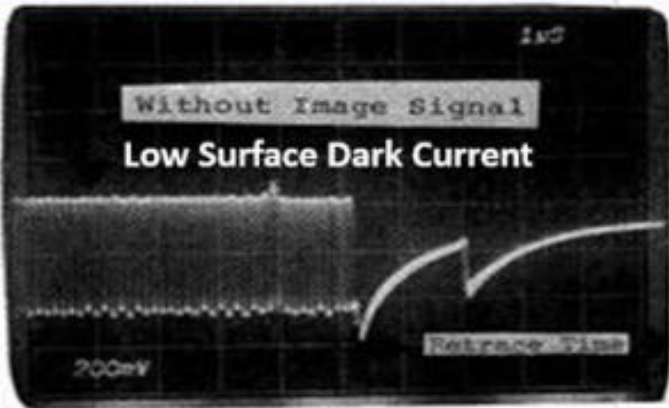
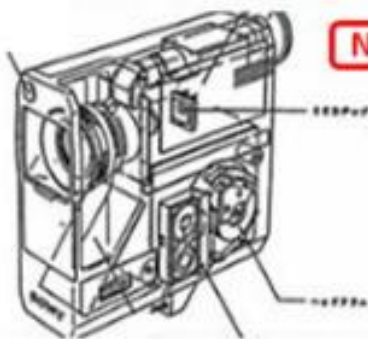


Figure 14 Comparison of CCD image sensor output signals with and without image signal.

SONY HAD (Pinned Photodiode) Publications at the International Solid State Device Conference in 1978 and the Tokyo & New York SONY Press Conference in 1980

The original Pinned Photodiode (PPD) structure was invented by Hagiwara at Sony in 1975. The first one-chip color video camera with a FT CCD image sensor with P+NP junction type Pinned Photodiode (PPD) was reported by Sony in 1980 at Tokyo Press Conference by Iwama Kazuo of Sony president, and at New York Press conference by Morita Akio of Sony chairman.

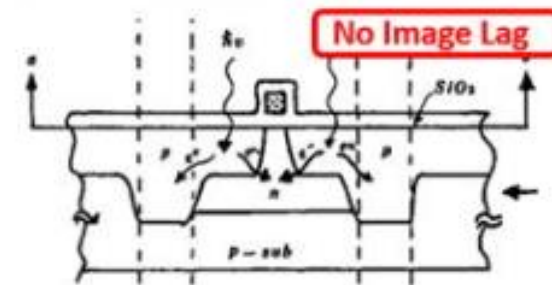
Sony original 570H x 498 V one-chip FT CCD Image Sensor with Pinned Photodiode, July 1980



No Image Lag



P+NP Junction Pinned Photodiode



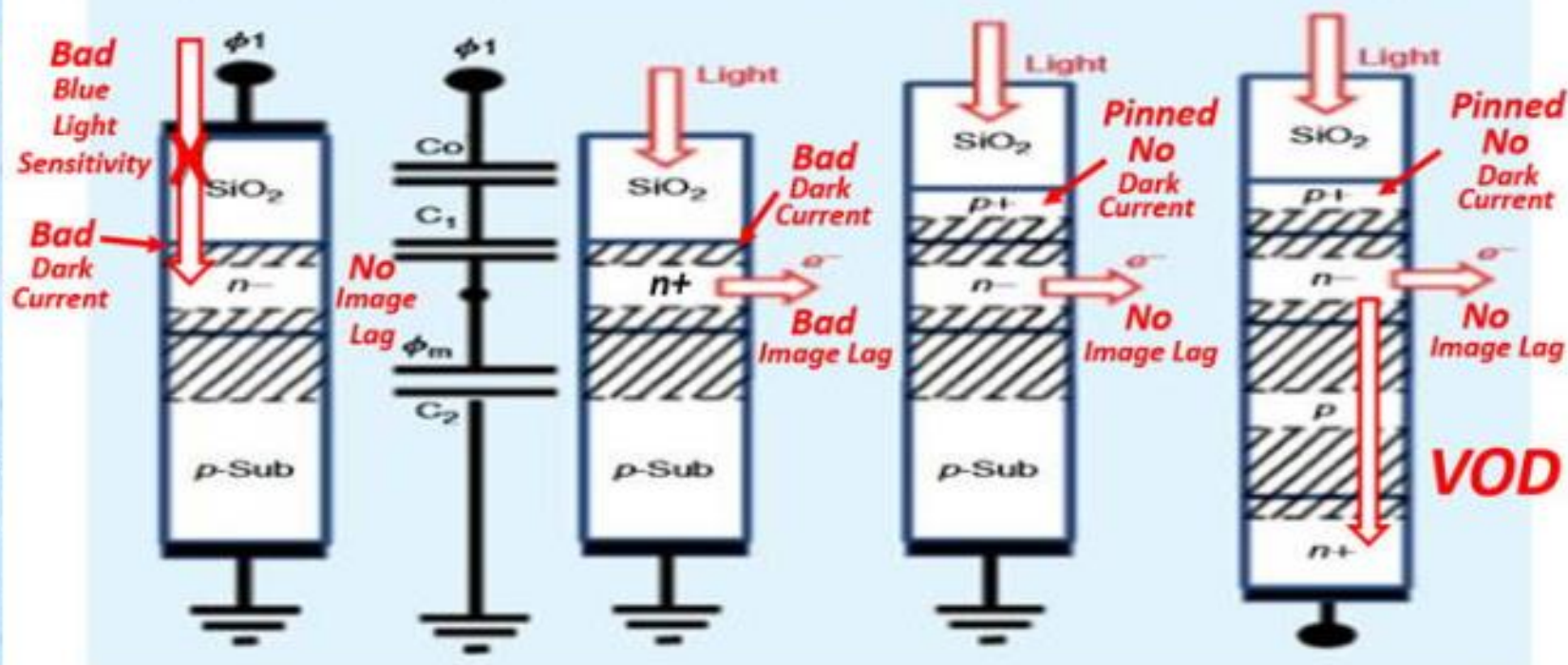
On July 1980, Iwama Kazuo at Sony Tokyo Press Conference and Morita Akio at New York Press Conference announced the one chip CCD video camera with the 8 mm VTR in one box.

See the Original 1978 Publication of the Pinned Photodiode Sensor

Y. Daimon-Hagiwara, M. Abe, and C. Okada, "A 380Hx488V CCD imager with narrow channel transfer gates," Proceedings of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, vol. 18, supplement 18-1, pp. 335-340, 1979

High quality picture of SONY CMOS Imager is also based on SONY HAD (Pinned Photodiode).

**History of dynamic Solid State image sensing structure
from BCCD type MOS capacitor to the P+NPN junction Pinned Photodiode capacitor**



(1) CCD type
invented by
Bell Lab in 1968

(2) N+P type
The classical photodiode
with serious image lag

(3) P+NP type (4) P+NPN type
(3) and (4) are the P+NP junction type Pinned
Photodiode invented by Yoshiaki Hagiwara, 1975

In Japanese patent 1975-134985, Hagiwara at Sony invented the Pinned photodiode with very low dark current, which is also the completely depleted Buried Photodiode with image lag free picture quality, and also with the built-in vertical overflow drain (VOD) function.

Reference: IEEE Solid-STATE CIRCUITS MAGAZINE, SUMMER 2013 issue pp. 6 ~

Pinned Photodiode and Sony Hole Accumulation Diode (HAD)

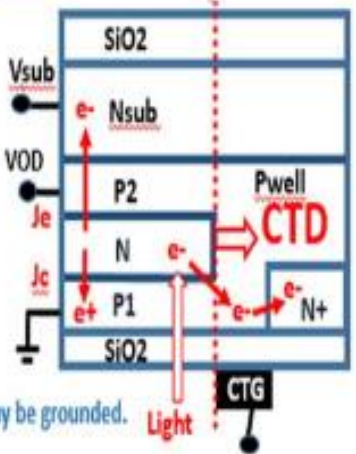
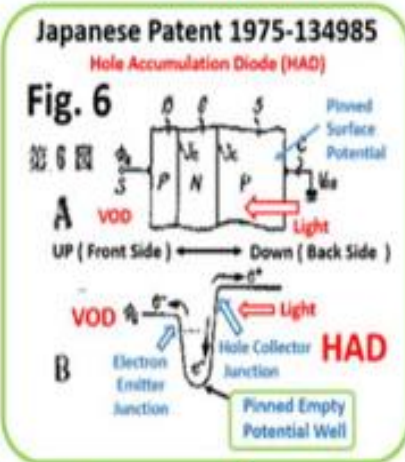
PNPN junction Transistor type Pinned Photodiode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

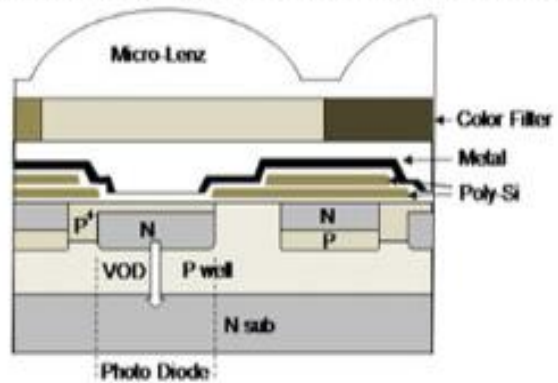
File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), the first region (P1) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) from the light collecting part (N) is transferred to the adjacent charge transfer device (CTD). (4) Both are placed along the main surface of the semiconductor substrate. (5) In the solid state image sensor so defined, a rectifying Emitter junction (Je) is formed on the second region (N) of the light collecting part (N). And (6) Collector junction (Jc) is formed by the second region (N) and the first region (P1), forming a transistor structure (P2NP1). (7) Photo charge is stored in the Base region (N) according to the illuminated light intensity, and transferred to the adjacent CTD. The solid state image sensor so defined is in the scope of this patent claim.



Most CCD Image sensors and CMOS Image sensors today are applied with the combination of the vertical overflow drain (VOD) and Pinned Photodiode.

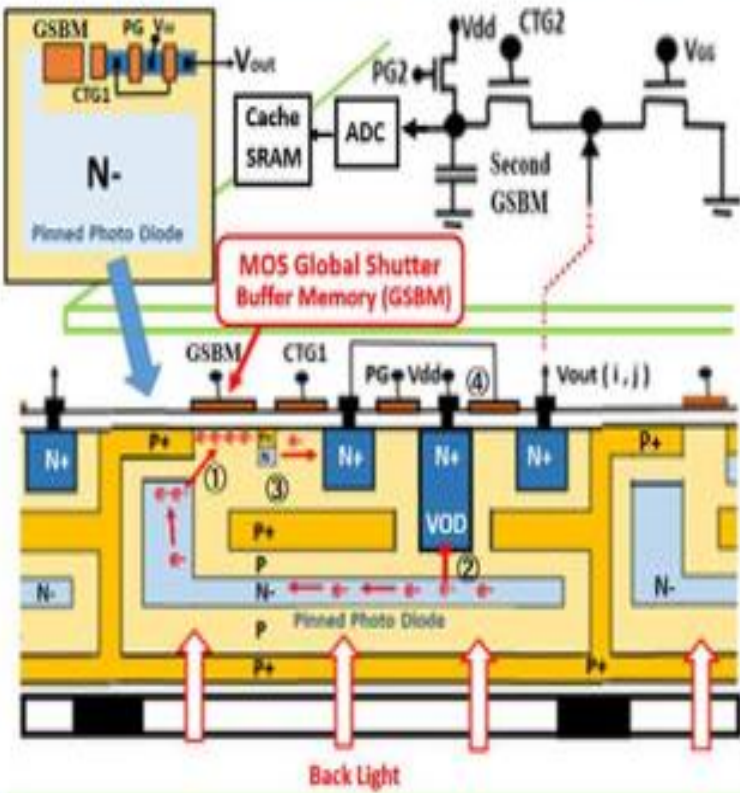


In 1975 Yoshiaki Hagiwara at Sony proposed using a PNP transistor as the photodetector which is the combination of the VOD and Pinned Photodiode.

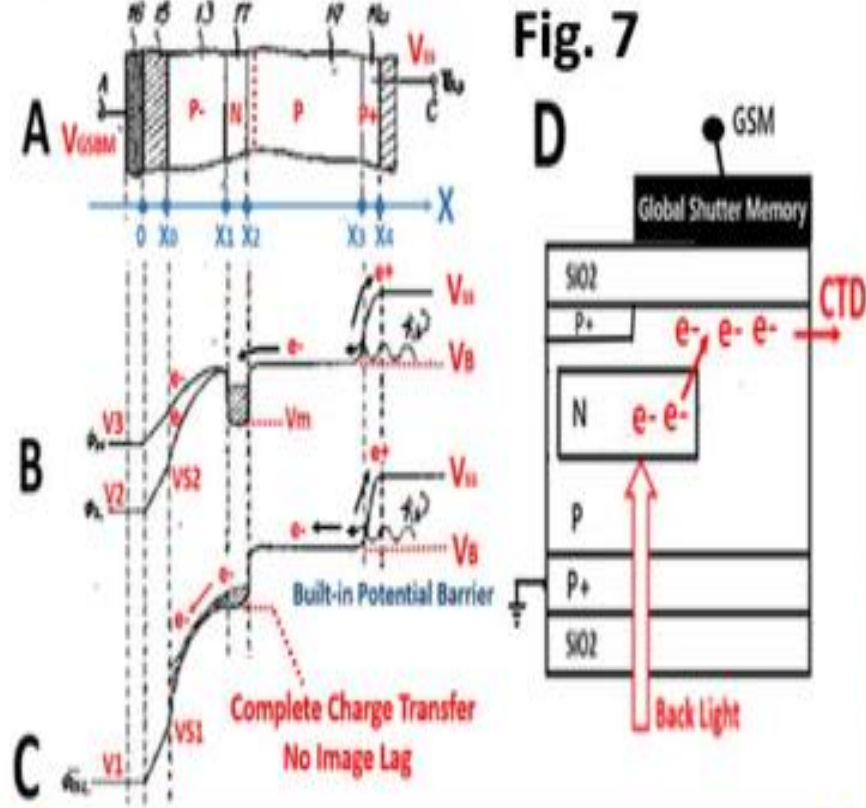
By providing a P+ layer (emitter) for the light incident section, the sensor electrode that covers the entire light receiving surface of the photodiode can be eliminated, greatly improving the light sensitivity. This P+ layer was also a proposal to reduce the dark current and image lag which became the basis of the pinned photodiode

Yoshiaki Hagiwara, Japanese Patent JP 1975-134985

<https://www.shmj.or.jp/english/pdf/dis/exhibi1005E.pdf>

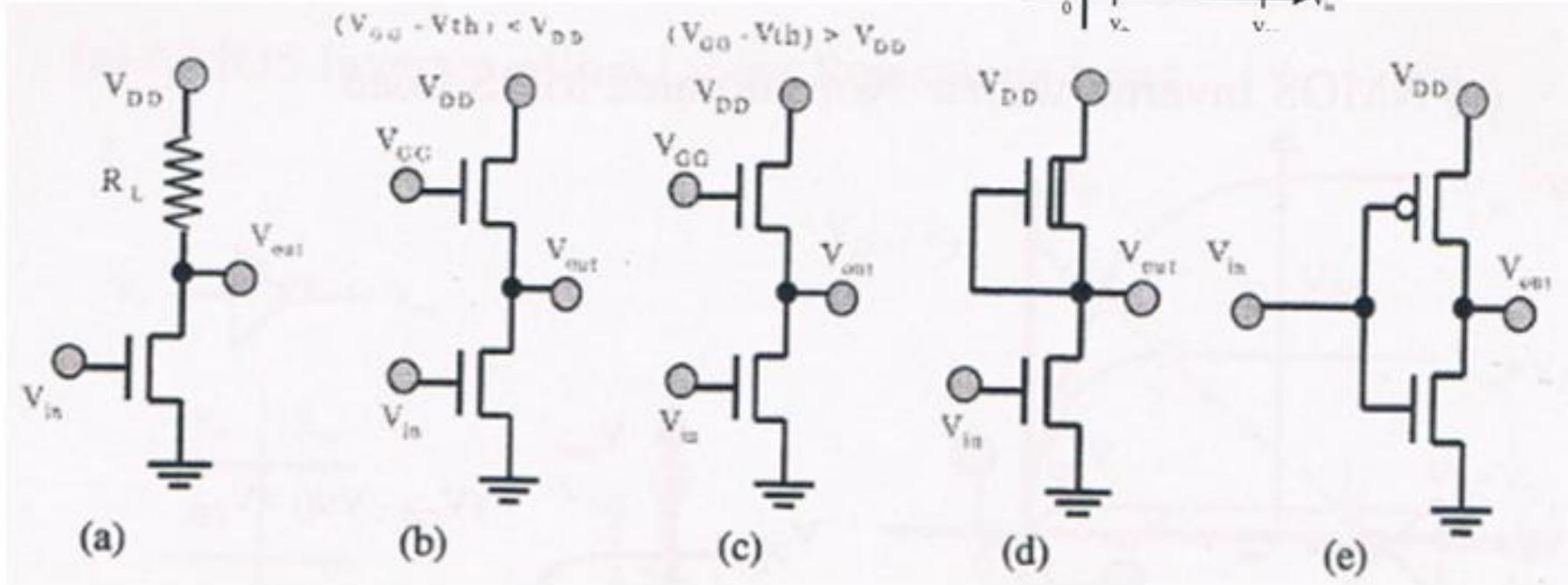
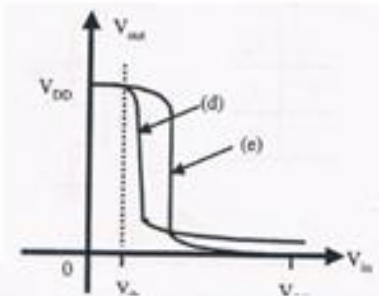
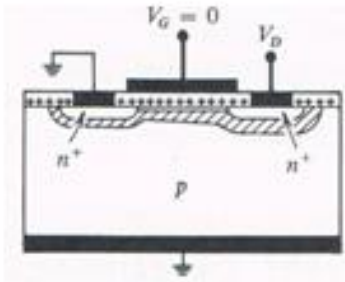
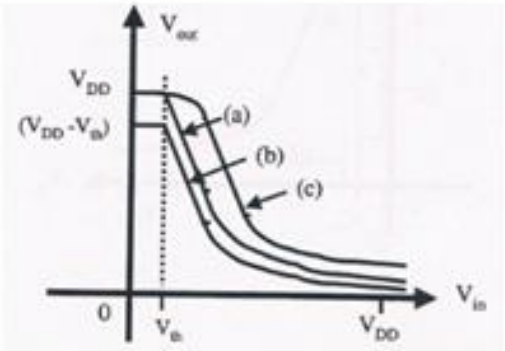
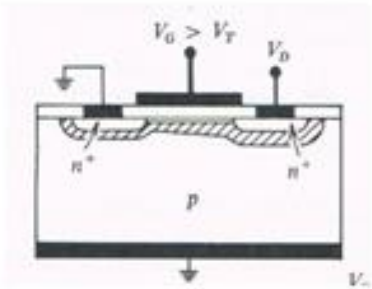
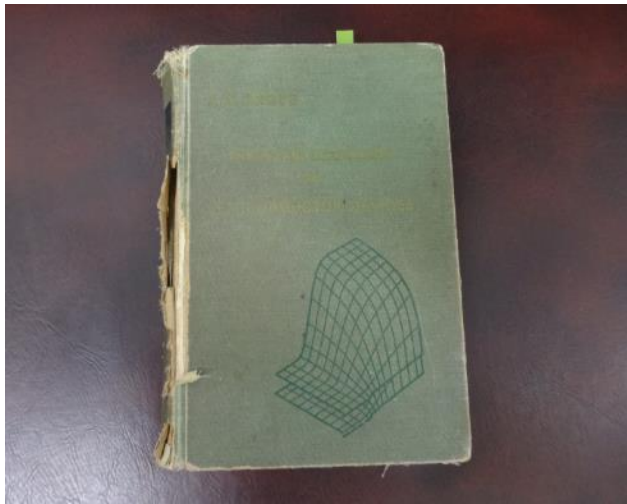


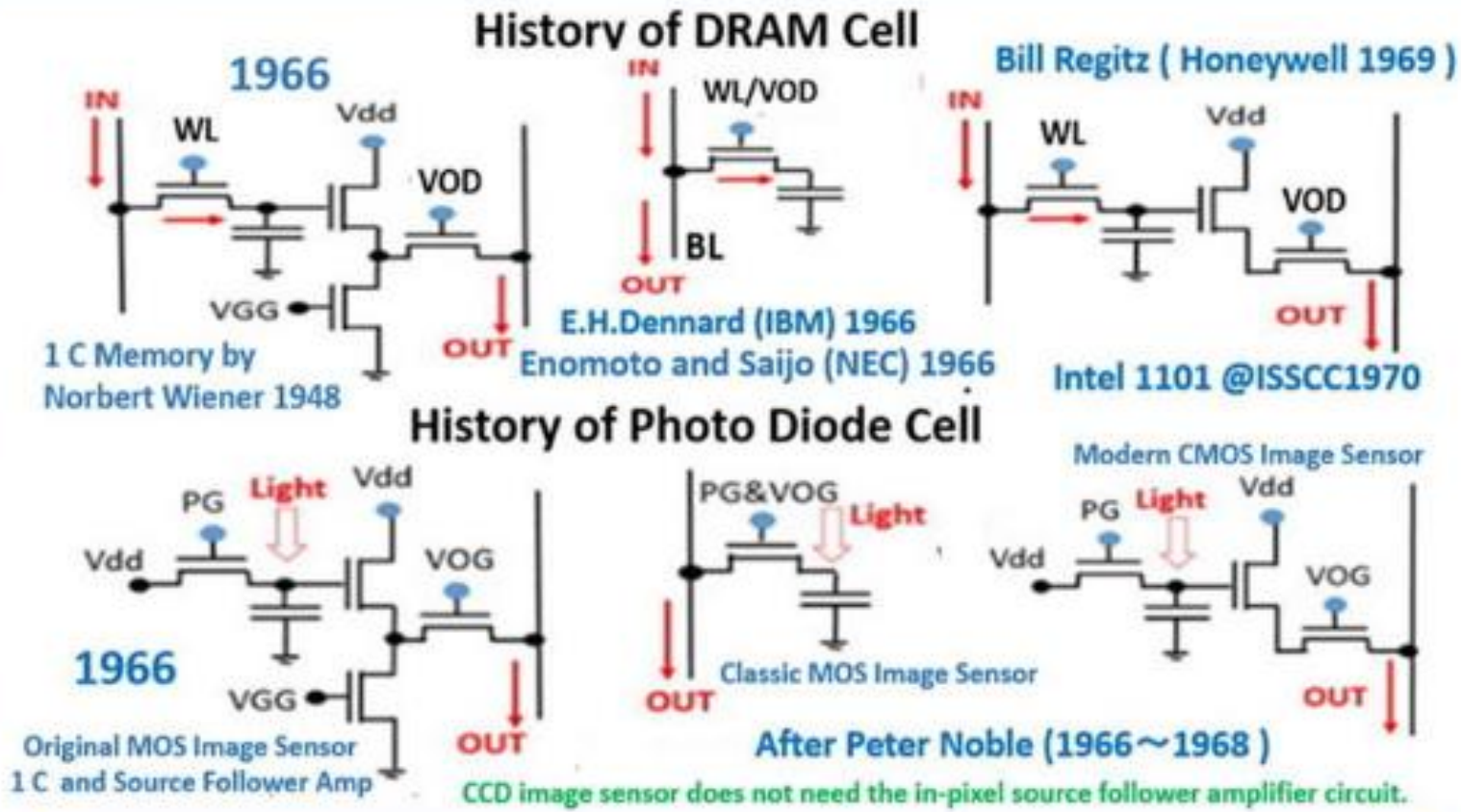
Original Concept of Japanese Patent 1975-127647 on Buried Depletion Pinned Photodiode, stacked with two Global Shutter MOS Buffer Memory and Charge Transfer Gate (CTG) stages in multi chip three dimensional configuration for synchronizing data transfer to the receiving ADC and Cache SRAM chips



P+PNP junction type Buried Depletion Pinned Photodiode with MOS Capacitor type Global Shutter Buffer Memory See Japanese patent 1975-127647 filed by Hagiwara.

Image Sensor Story





CMOS Inverter and Source Follower circuits are basics for digital circuit design.

But we had to wait, till the advancement of CMOS process scaling rule, in order to place the source follower active circuit in each small picture cell area.

Meanwhile CCD had a great role in the advancement of image sensors in 1980s.

For modern high definition TV image sensor applications, CCD has the power issue and also the limit in charge transfer efficiency of 99.999%, which is not enough now.

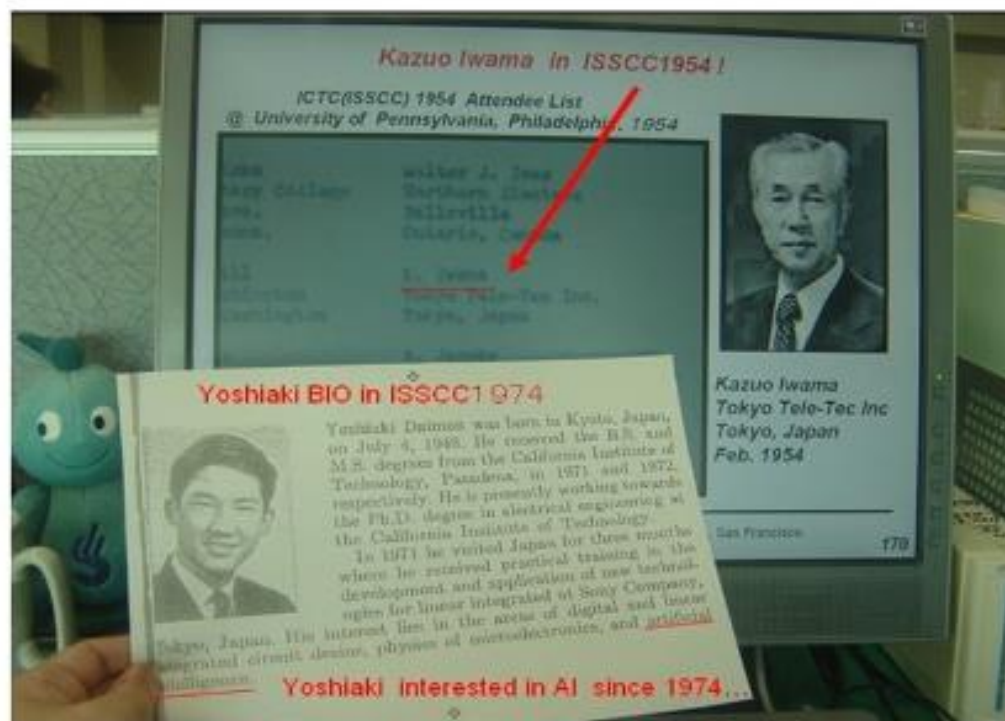
Sonyの半導体の過去を振り返って、その強さと、源泉と、
今後に向けて、一緒に考えてみましょう♡

- SONYの半導体がどうして昔も今も日本一なのか？
- どうして Bipolar Transistorで世界一だったのか？
- どうして CCD Image Sensorで世界一だったのか？

岩間 和夫(1919年2月7日 - 1982年8月24日)
日本の技術者、経営者、実業家である。
第4代ソニー社長。トランジスタに着目し、
日本における半導体産業の基盤を創った。



ISSCC1954 の国際会議に初めて岩間さんは
東洋人として出席した技術者です。その20年
後の 1974年2月には
萩原良昭は 国際学会
の SSCC1974にて
PhD 学生論文を発表。

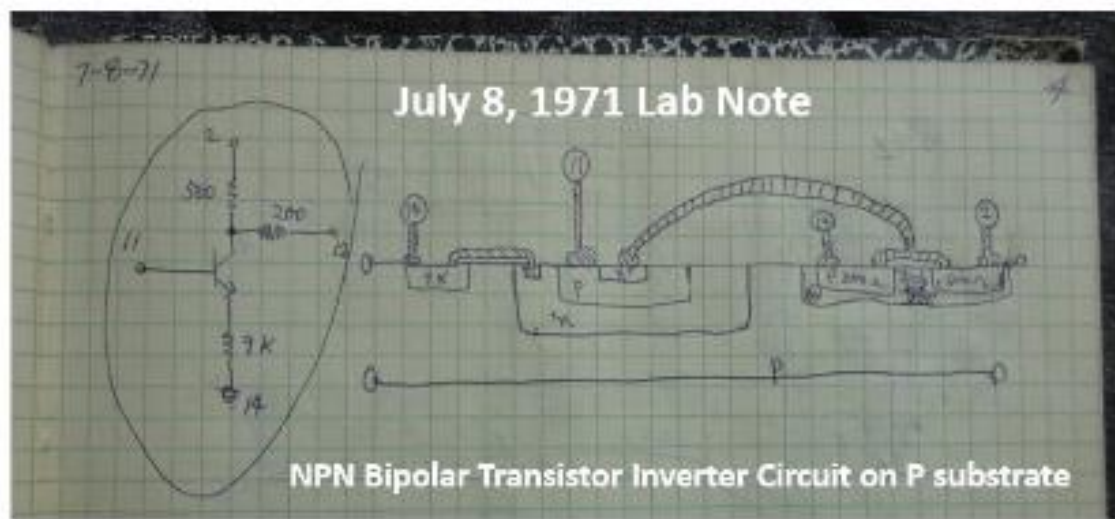
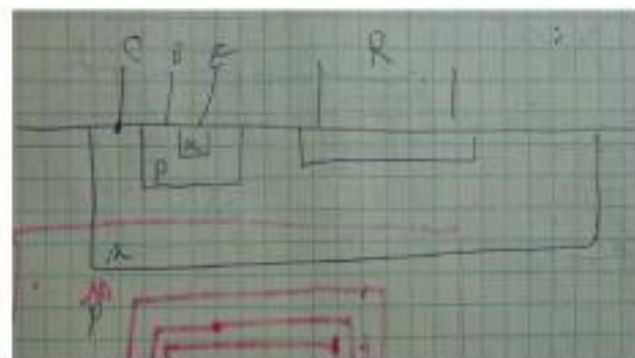


Computer数値計算を駆使し、埋め込み型CCDのデバイス回路モデル解析結果を報告しました。
埋め込み型CCDの将来展望を説明し、高感度ビデオカメラへの応用があることに注目しました。
電子の目として期待が大きかった夢ある時代でした。その論文に注目してくれた人々の中には、
SONYの岩間和夫氏もいました。1974年当時SONY本社の副社長で SONY USAの会長でした。

Sonyの半導体の過去を振り返って、その強さと、源泉と、
今後に向けて、一緒に考えてみましょう♡

- SONYの半導体がどうして昔も今も日本一なのか？
- どうして Bipolar Transistorで世界一だったのか？
- どうして CCD Image Sensorで世界一だったのか？

Sony Atsugi Tech Lab Note in Summer 1971 by Yoshiaki Daimon Hagiwara



Ref: IEEE Journal of Solid State Circuits, VOL.SC11, No.4, October 1976

Prof. C. A. Mead and Yoshiaki Daimon Hagiwara
working on the silicon chip design at Caltech in 1972

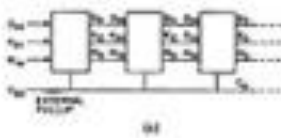
128-Bit Multicomparator

CARVER A. MEAD, RICHARD D. PASLEY, MEMBER, IEEE, LEE D. BRITTON, YOSHIKAZI T. DAGIMON,
AND STEWART F. SANDO, JR., MEMBER, IEEE

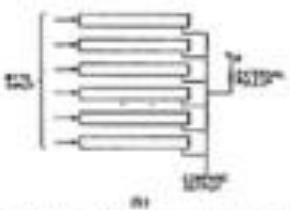
Abstract—A 128-bit multicomparator was designed to perform the search-sort function on arbitrary length data strings. Device can be cascaded for longer data lengths or paralleled for bi-directional, word-level applications. The circuit utilizes a 3-phase static-dynamic shift register cell for data handling and a unique guard-recurrence circuit to accomplish the compare function. The compare operation is performed bit-parallel between a "data" register and a "key" register with a third "mask" register containing don't care bits that disable the comparison. The multicomparator was fabricated using 3-channel aluminum metal-oxide-semiconductor (AMOS) technology on a 10T x 150 mil chip containing 3350 devices. With transistor-transistor logic (TTL) input, data rates in excess of 2 MHz have been obtained. The average power dissipation was 220 mW in the dynamic mode and 308 mW in the static mode.



Fig. 1. Block diagram of multicomparator.



(a)



(b)

Fig. 2. Possible connections of multicomparator. (a) Cascaded. (b) Word-level, word-parallel.

INTRODUCTION
OVER the past several years, there have been significant amounts of energy devoted to the fabrication of larger and faster semiconductor memories and conventional central processing units (CPU's) in chip form. In the process, many other applications of large-scale integration (LSI) to computer architecture have been neglected. [1]. LSI has removed the technological distinction between logic and memory. It is now economically feasible to decentralize the CPU of a computer by replacing much of its multistator software with functional hardware to improve system efficiency. Presently, an inordinate amount of processing time is spent on organizing and accessing files in peripherals. Peripherals are usually controlled directly by the CPU and have little or no associated logic of their own. A great improvement in this situation can be made by developing peripheral logic units. This would allow each peripheral to accomplish its own internal processing and thus reduce CPU housekeeping duties. This paper describes a 128-bit multicomparator that is designed to perform the search-sort function.

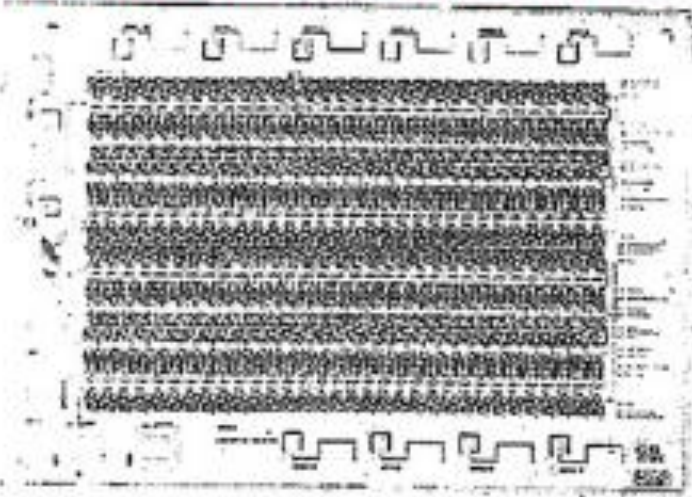
The block diagram of the multicomparator is shown in Fig. 1. The circuit consists of three independently clocked static-dynamic shift registers with associated recurrence logic gates. In operation, the device indicates a match between the data word and the unmasked bits of the key word. The multicomparator is loaded with a key word by serially shifting the word into the key register and locking the register in static mode. While the key word is being loaded, the comparator is enabled by entering zero¹ in the appropriate locations of the

mask register. Masking allows the multicomparator to search for bit strings of varying length and composition. For example, assume it is necessary to search for all words containing a specific 128-bit code. By entering the 128-bit code in the key register and masking out the rest of the comparator, the multicomparator is configured to search for this code wherever it occurs in the data file. Once the multicomparator is loaded with "key" and "mask" words, the file being searched is serially shifted through the data register. The data words are compared in bit parallel with the unmasked bits of the key word as they pass through the data register. When a match is found, the compare output goes high.

Large multicomparators can be constructed of the 128-bit circuit. Cascaded [Fig. 2(a)], the comparator can be used to search for words longer than 128 bits. By implementing multicomparison in parallel [Fig. 2(b)], a word-level, bit-parallel



128-bit Multicomparator chip, designed by Hagiwara in 1972-1973 and fabricated by Intel PMOS process.



Manuscript received March 15, 1976; revised July 15, 1976.
C. A. Mead is with the California Institute of Technology, Pasadena, CA 91109.
S. F. Sando and S. F. Sando, Jr., are with the Intel Corporation, Santa Clara, CA.
L. D. Britton is with the Hewlett-Packard Laboratories, Cupertino, CA.
Y. T. Daimon is with the Intel Corporation, Santa Clara, CA.
¹Voltage convention: $V_{DD} = V_{DD}$, $V_{SS} = V_{SS}$. Note that V_{DD} is negative for p-channel MOS and positive for n-channel MOS. Input (TTL) levels may or may not have been strictly adhered to in the preceding text.

128 Bit Multi Comparator, 1972

16 x 16 = 128 bit 液晶 display panel

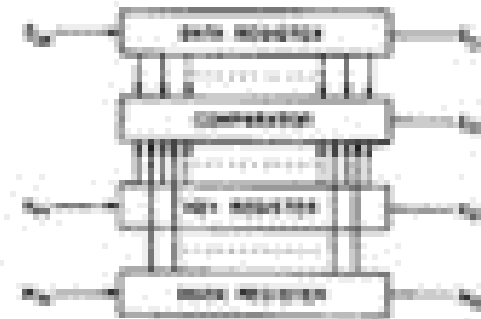
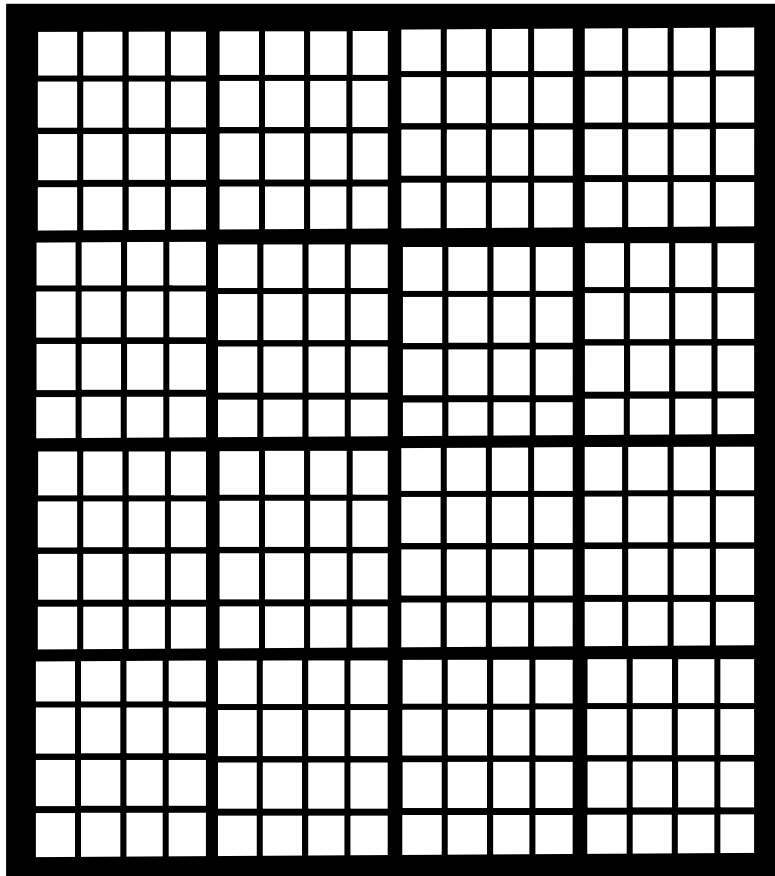
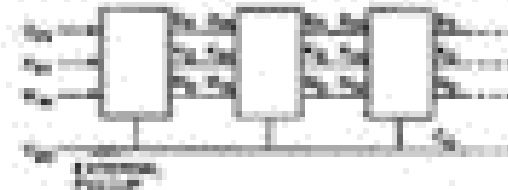
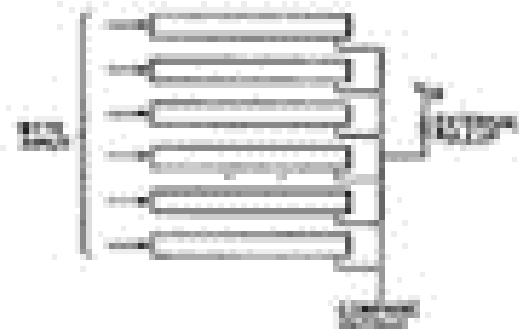


Fig. 1. Block diagram of multi-comparator.



(a)



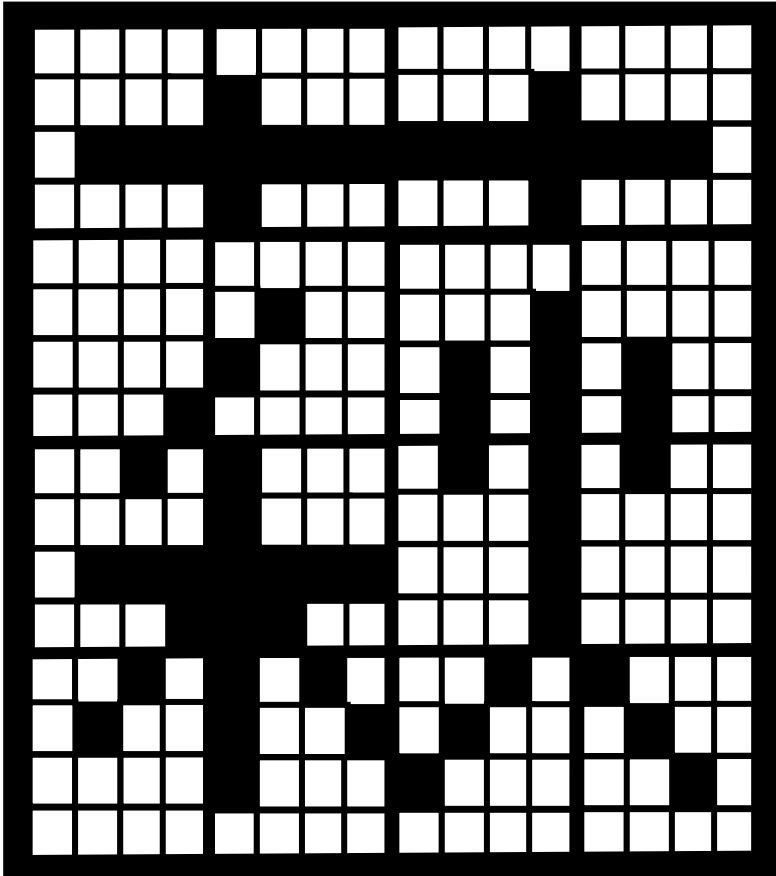
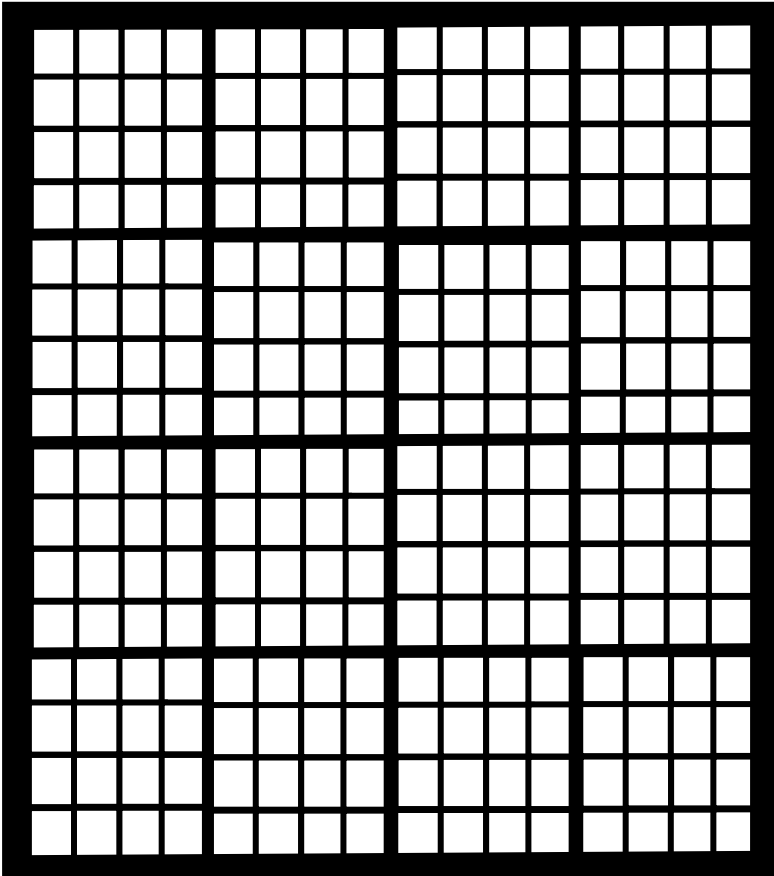
(b)

128 Bit Multi Comparator, 1972

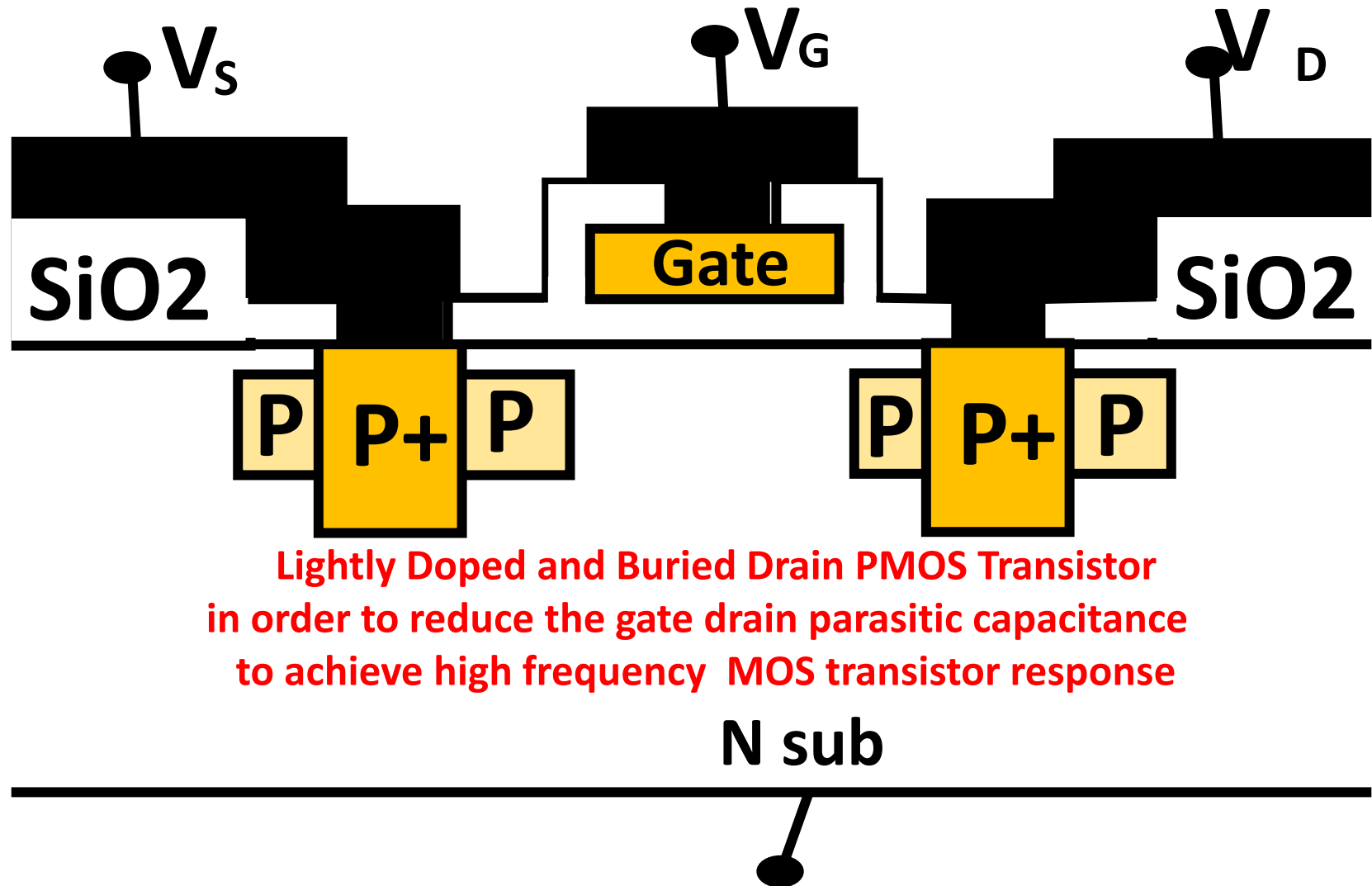
$$2^{10} = 1024 \sim 10^3$$

16 x 16 = 128 bit 液晶 display panel

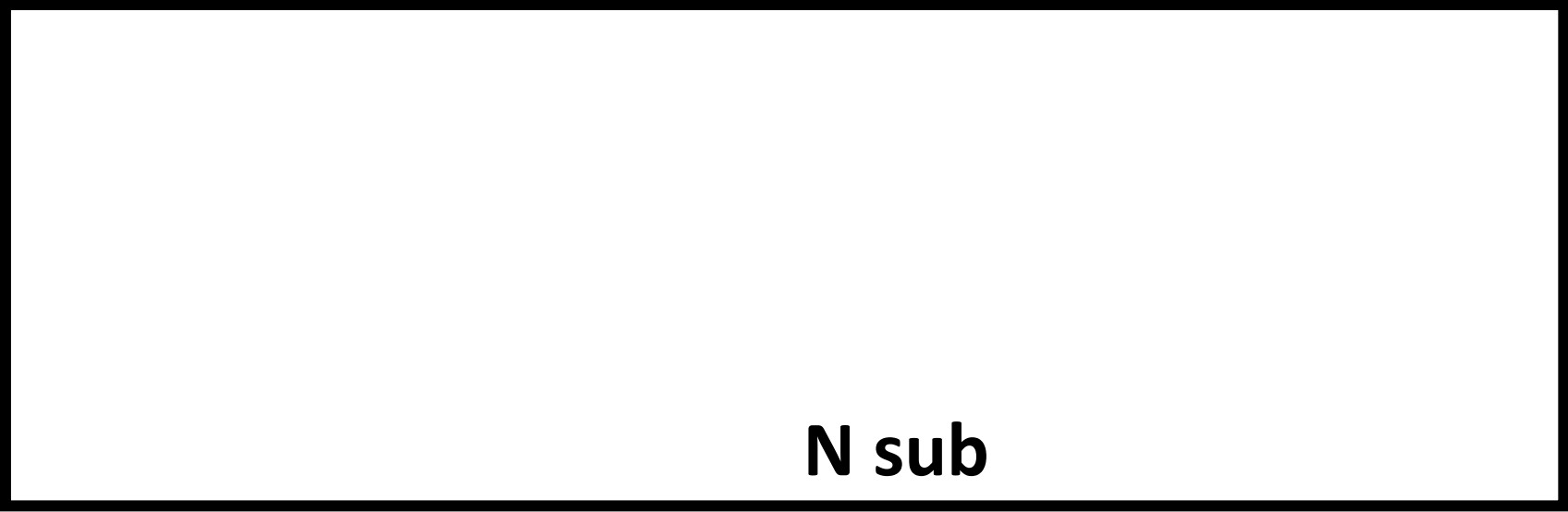
$$2^{128} = 2^{64} \times 2^{64} \sim 10^{39}$$



Intel PMOS Process 1972

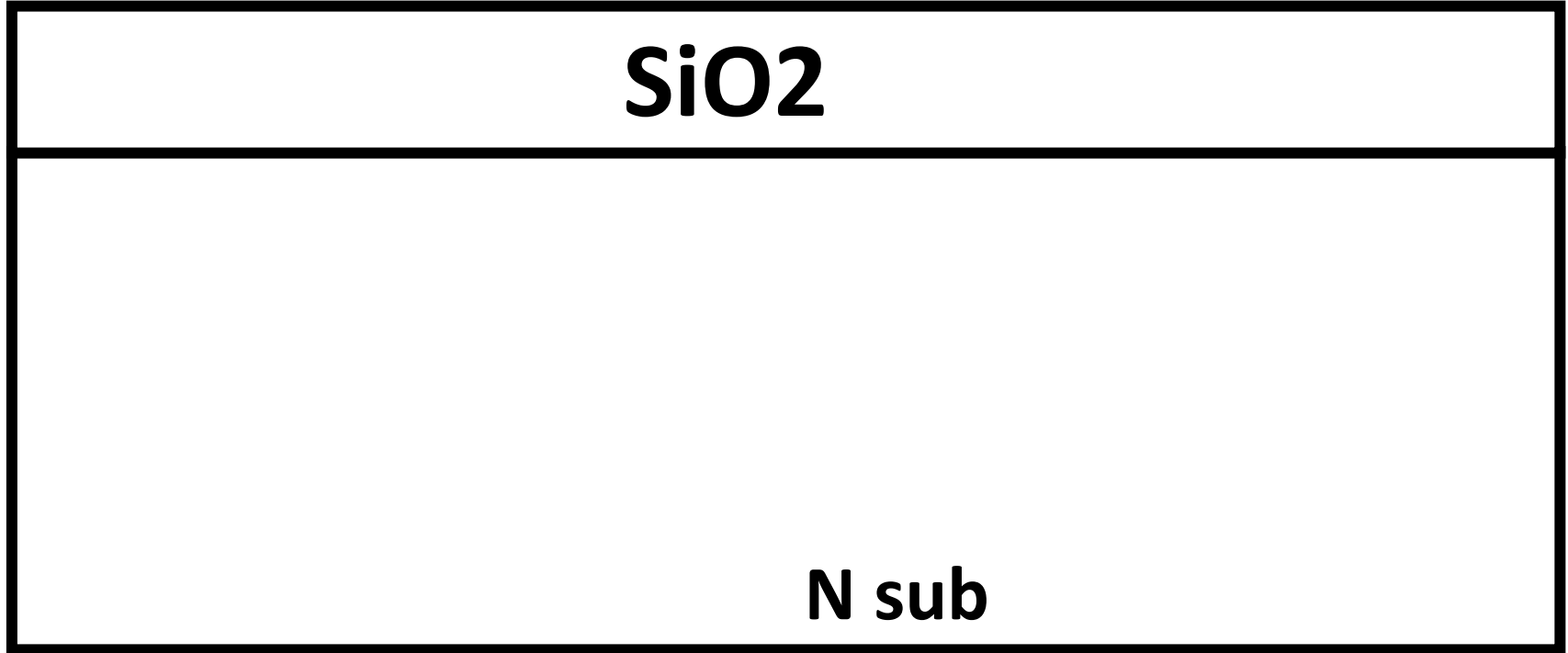


Intel PMOS Process 1972

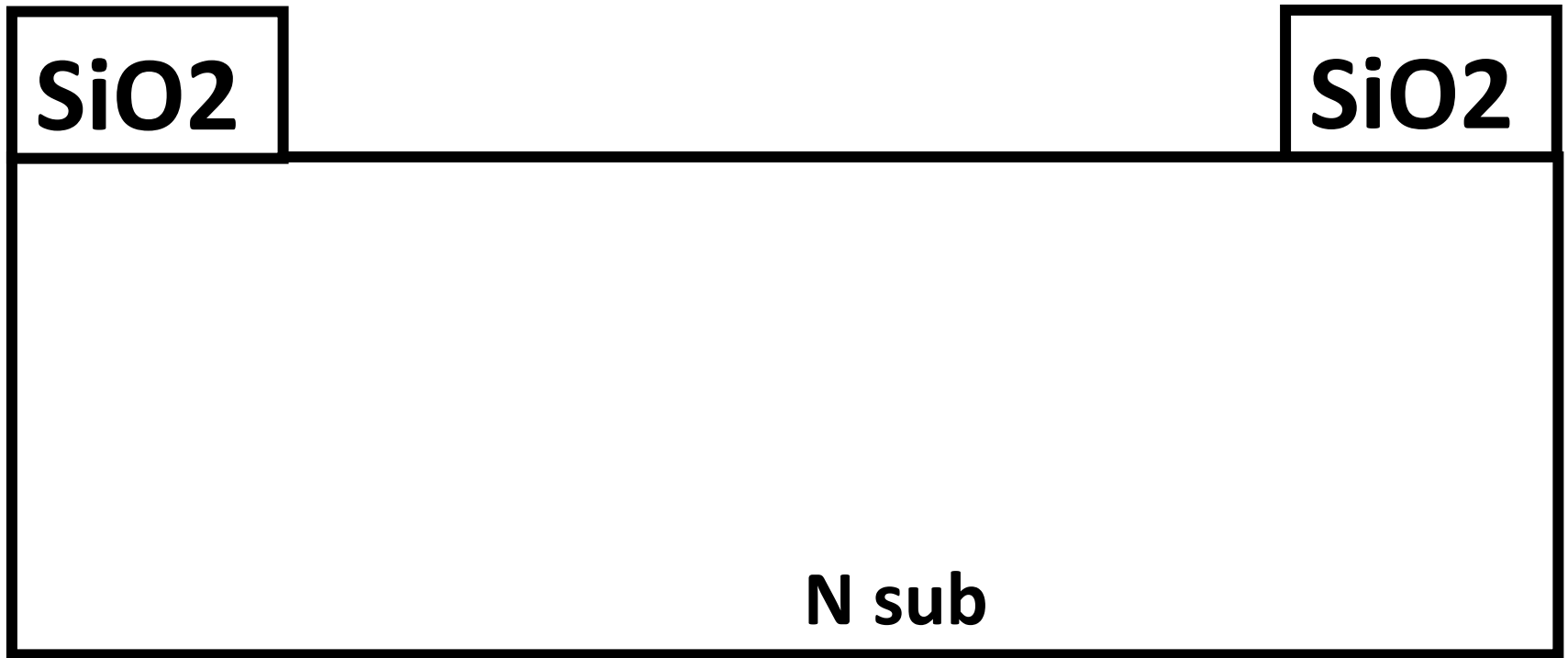


N sub

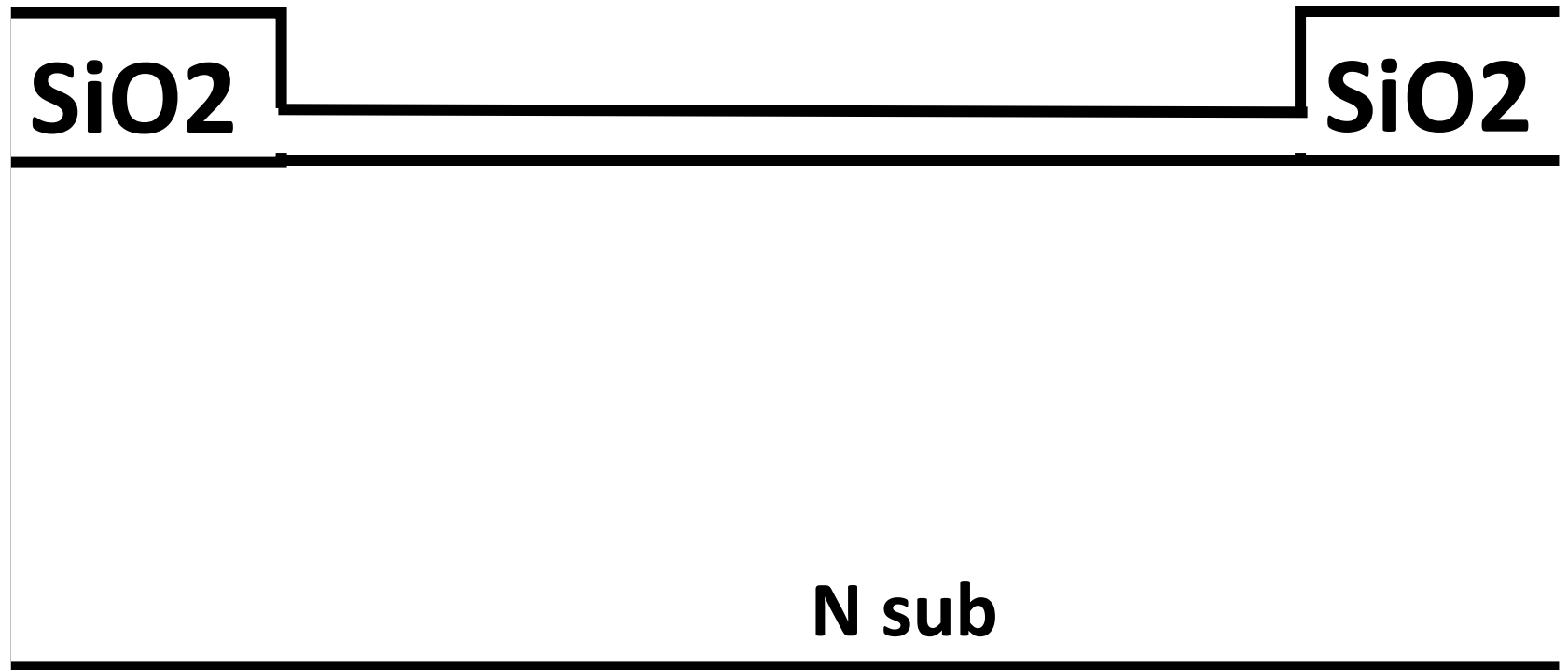
Intel PMOS Process 1972



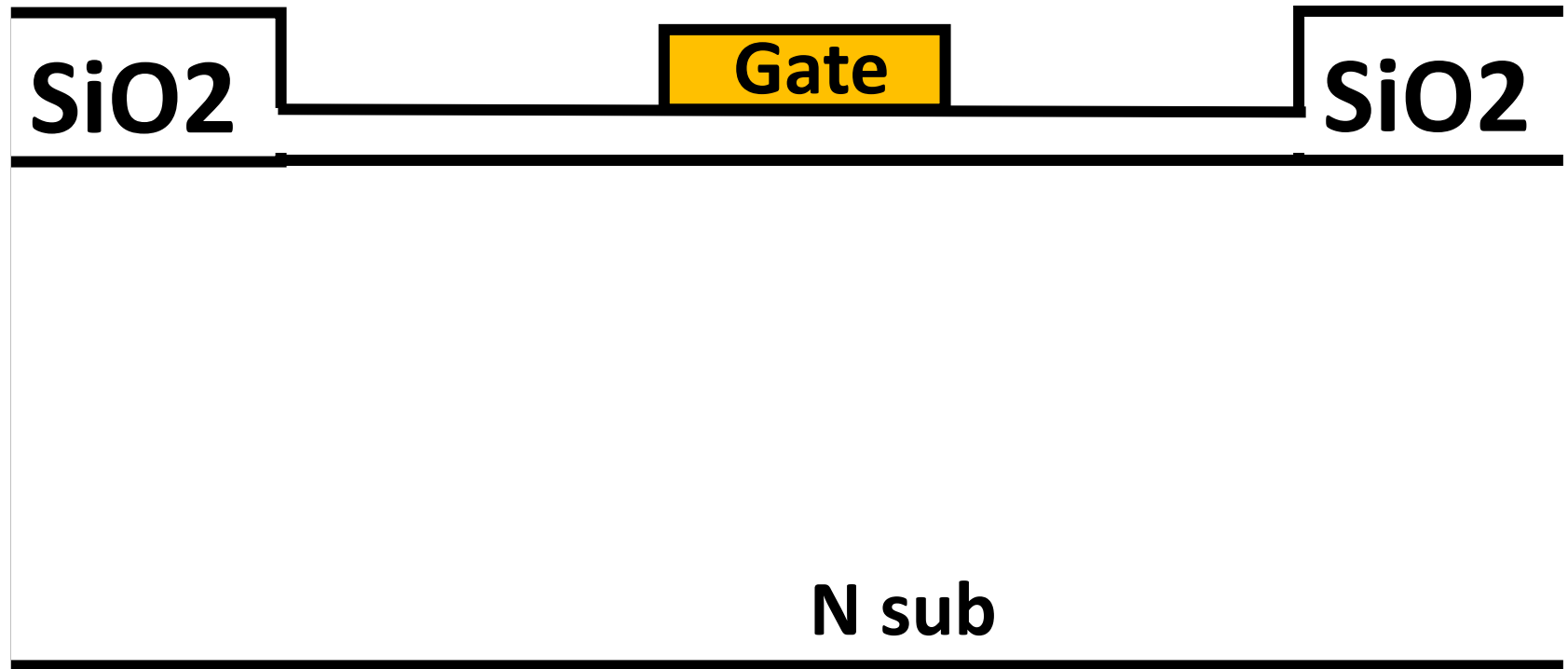
Intel PMOS Process 1972



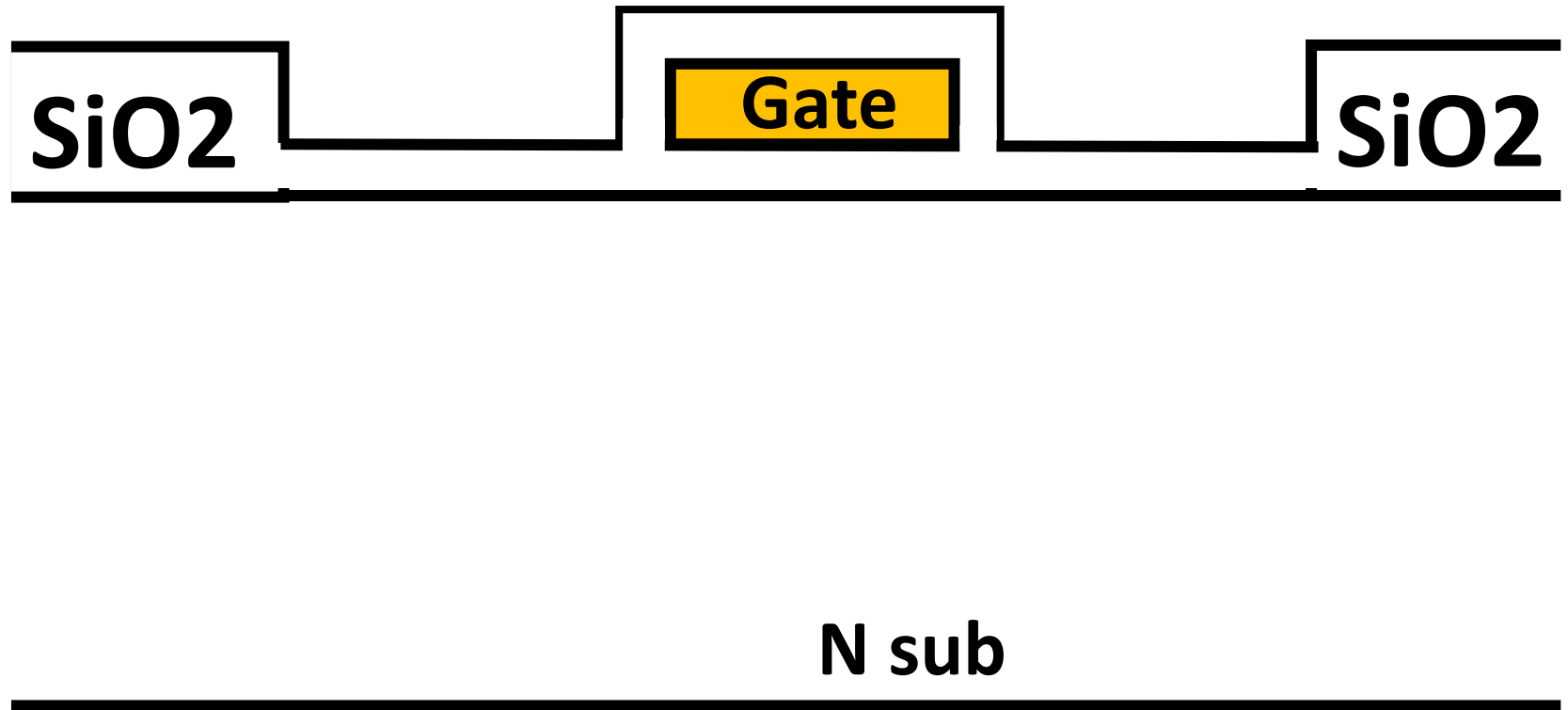
Intel PMOS Process 1972



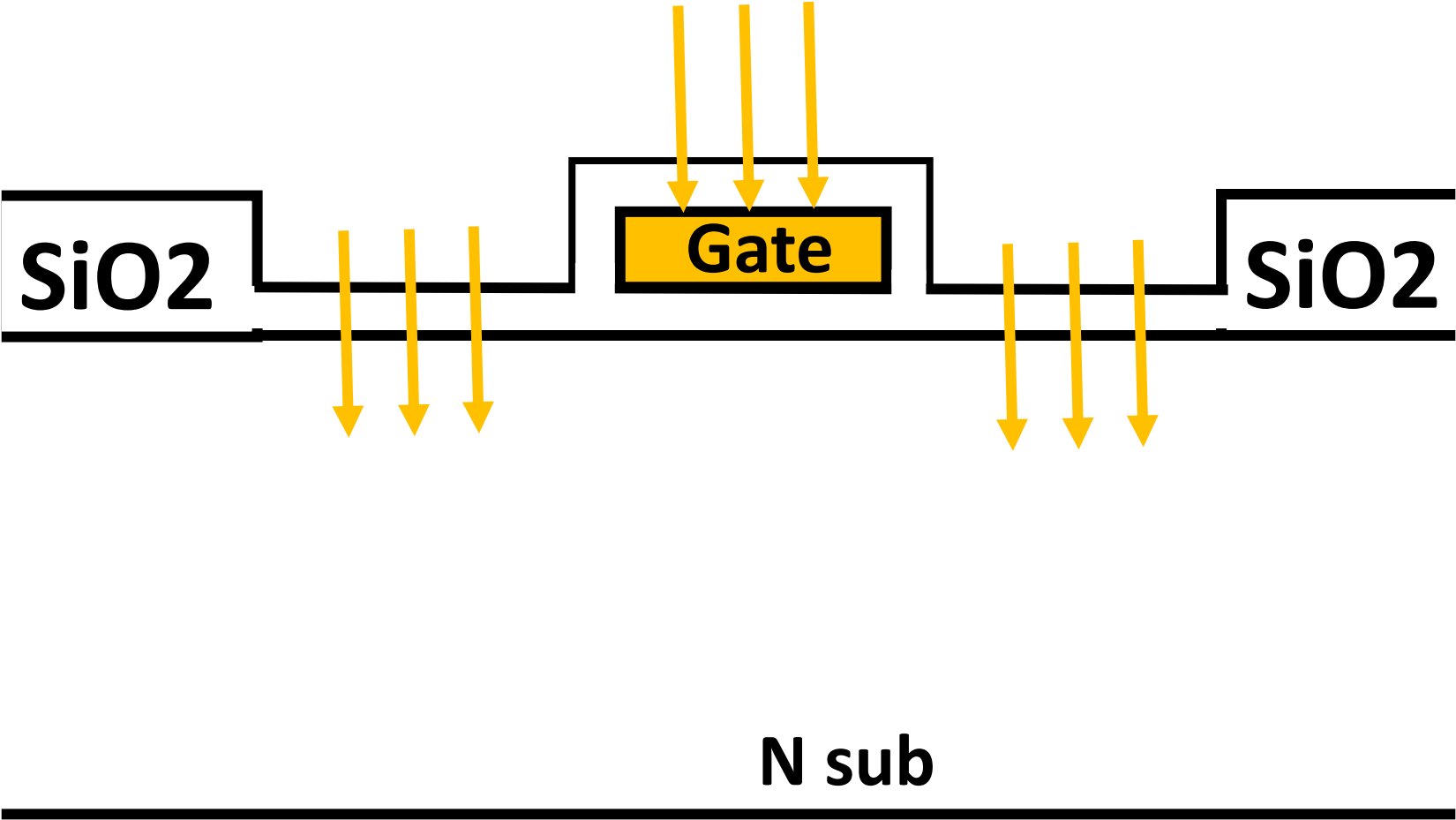
Intel PMOS Process 1972



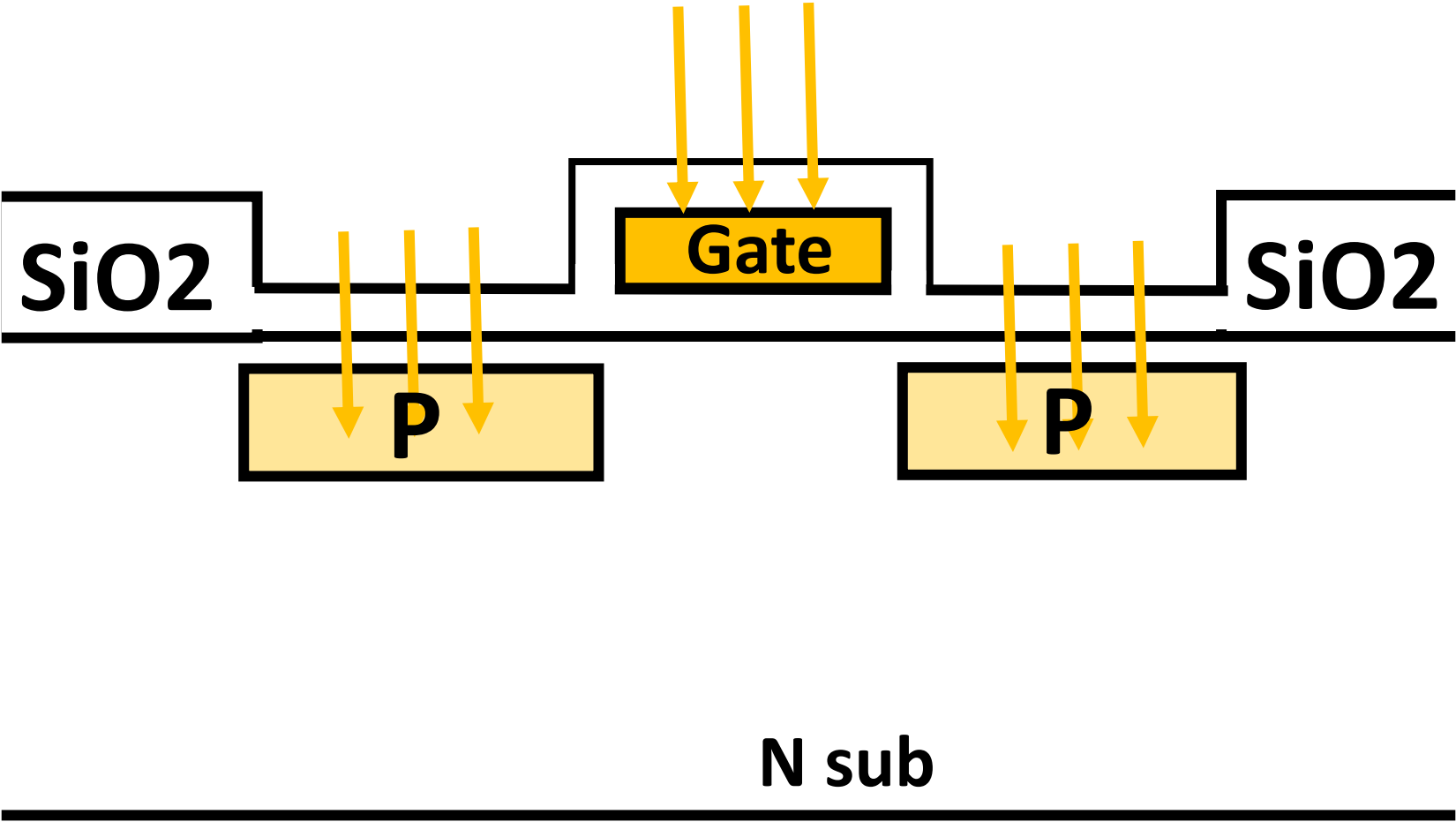
Intel PMOS Process 1972



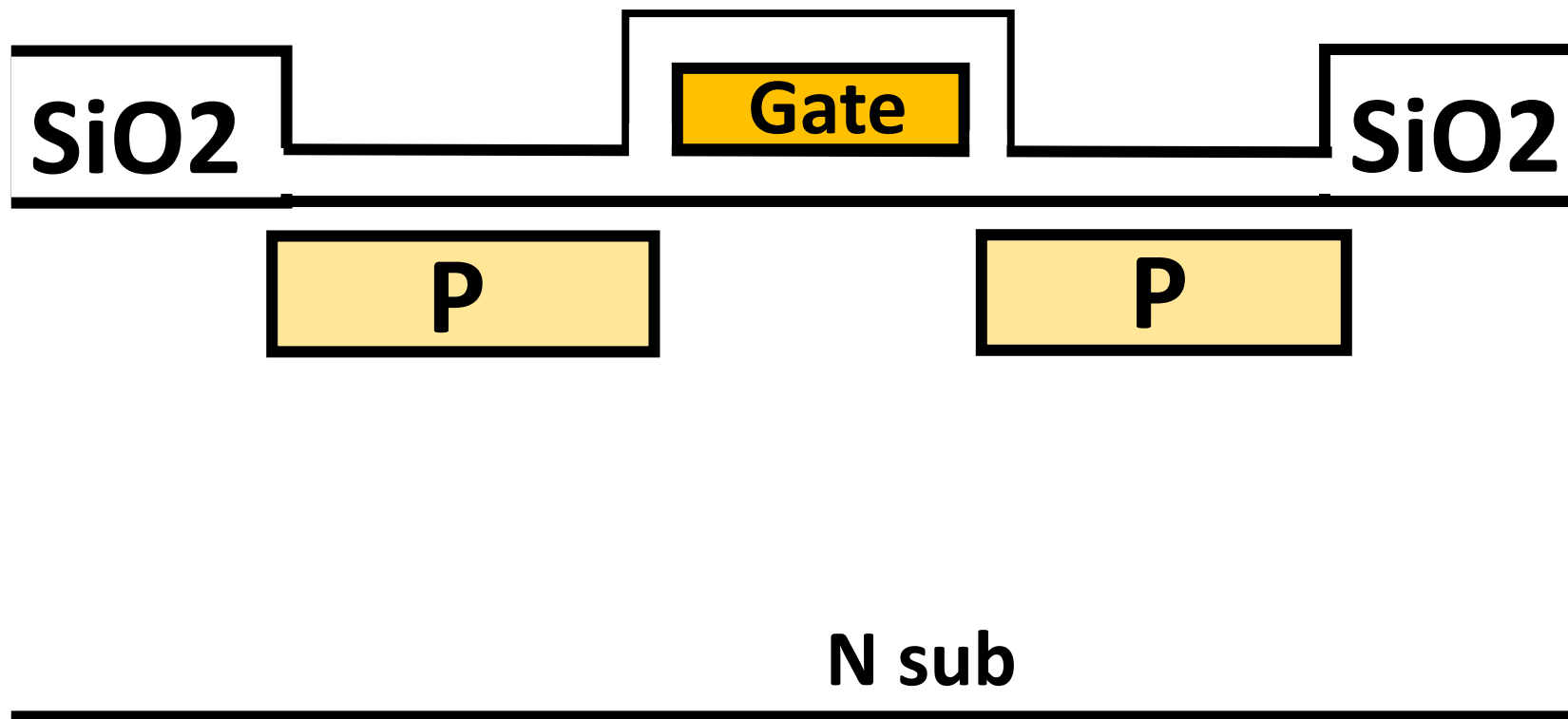
Intel PMOS Process 1972



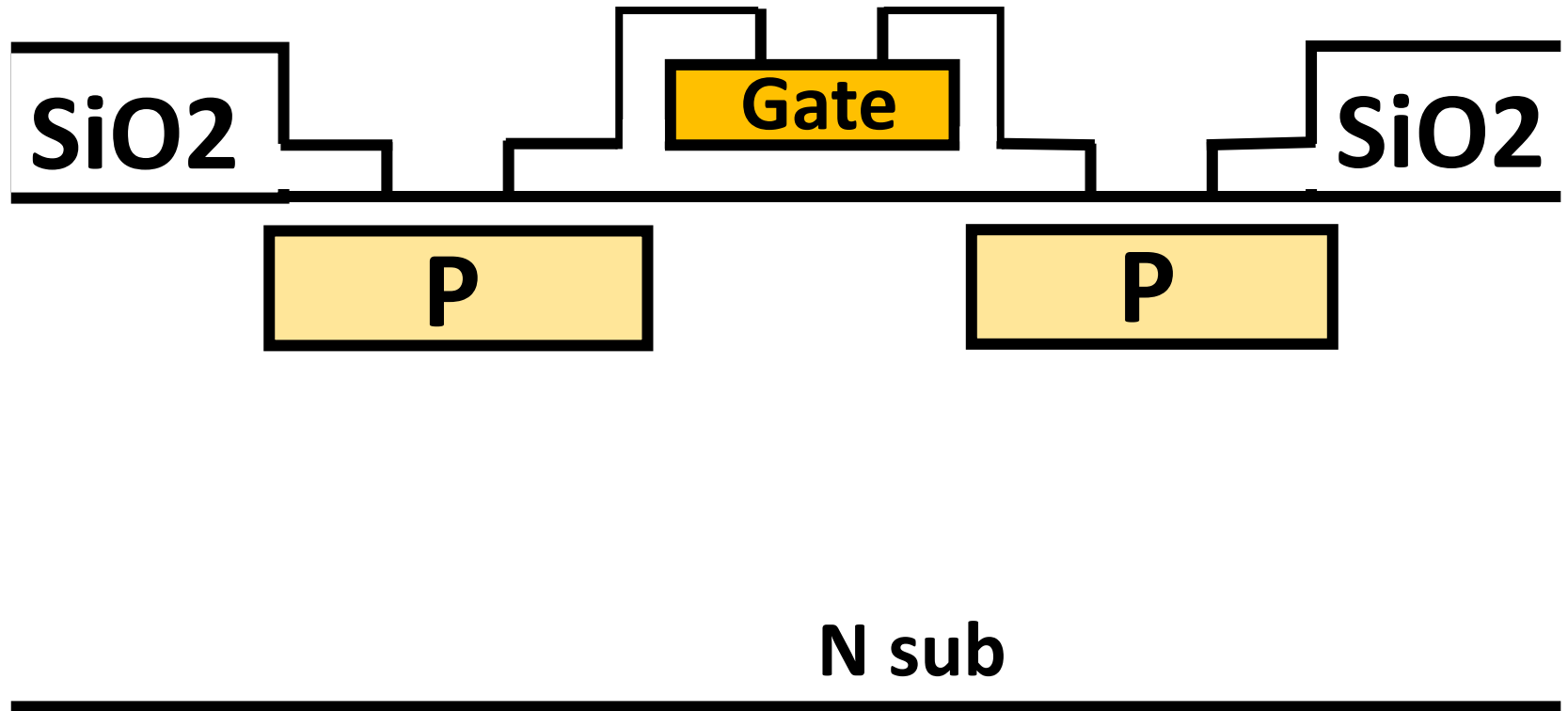
Intel PMOS Process 1972



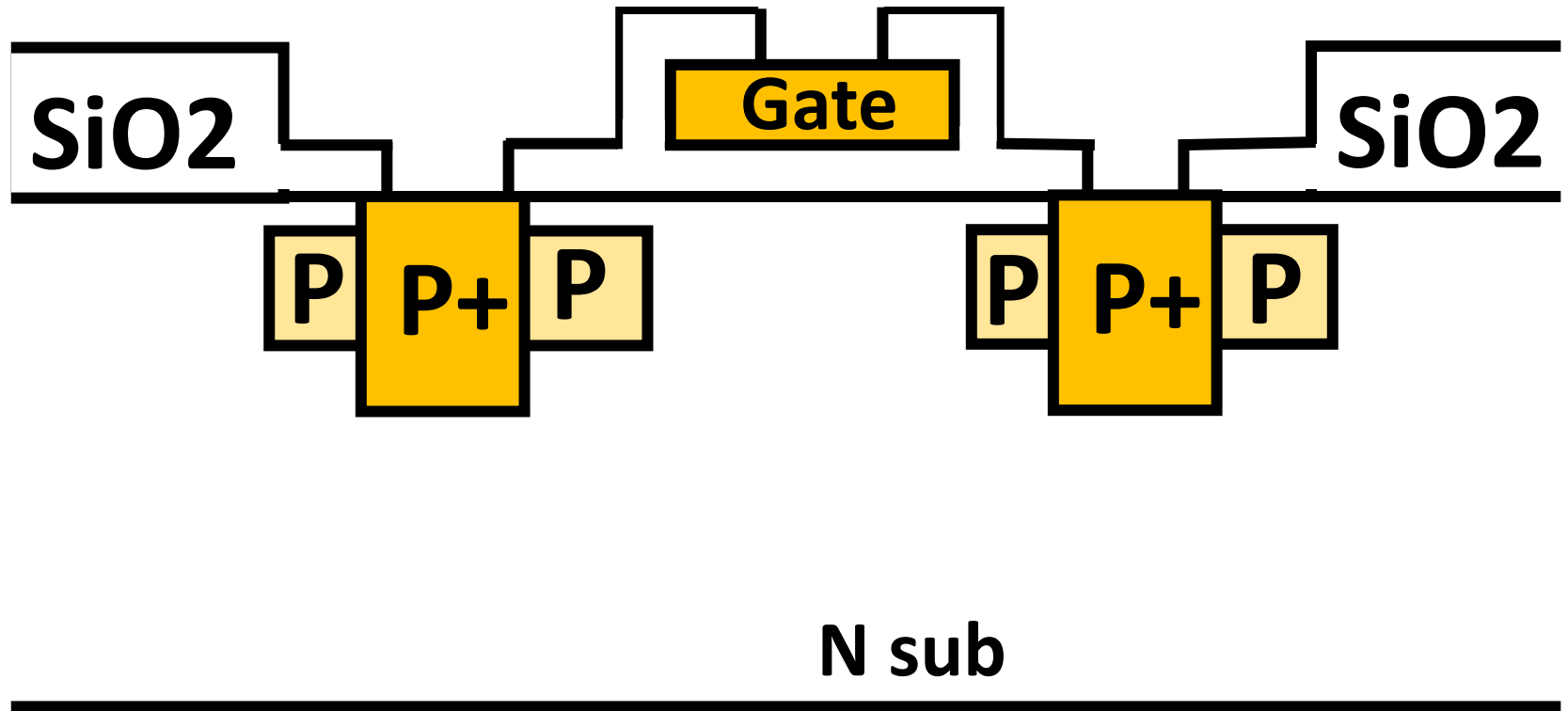
Intel PMOS Process 1972



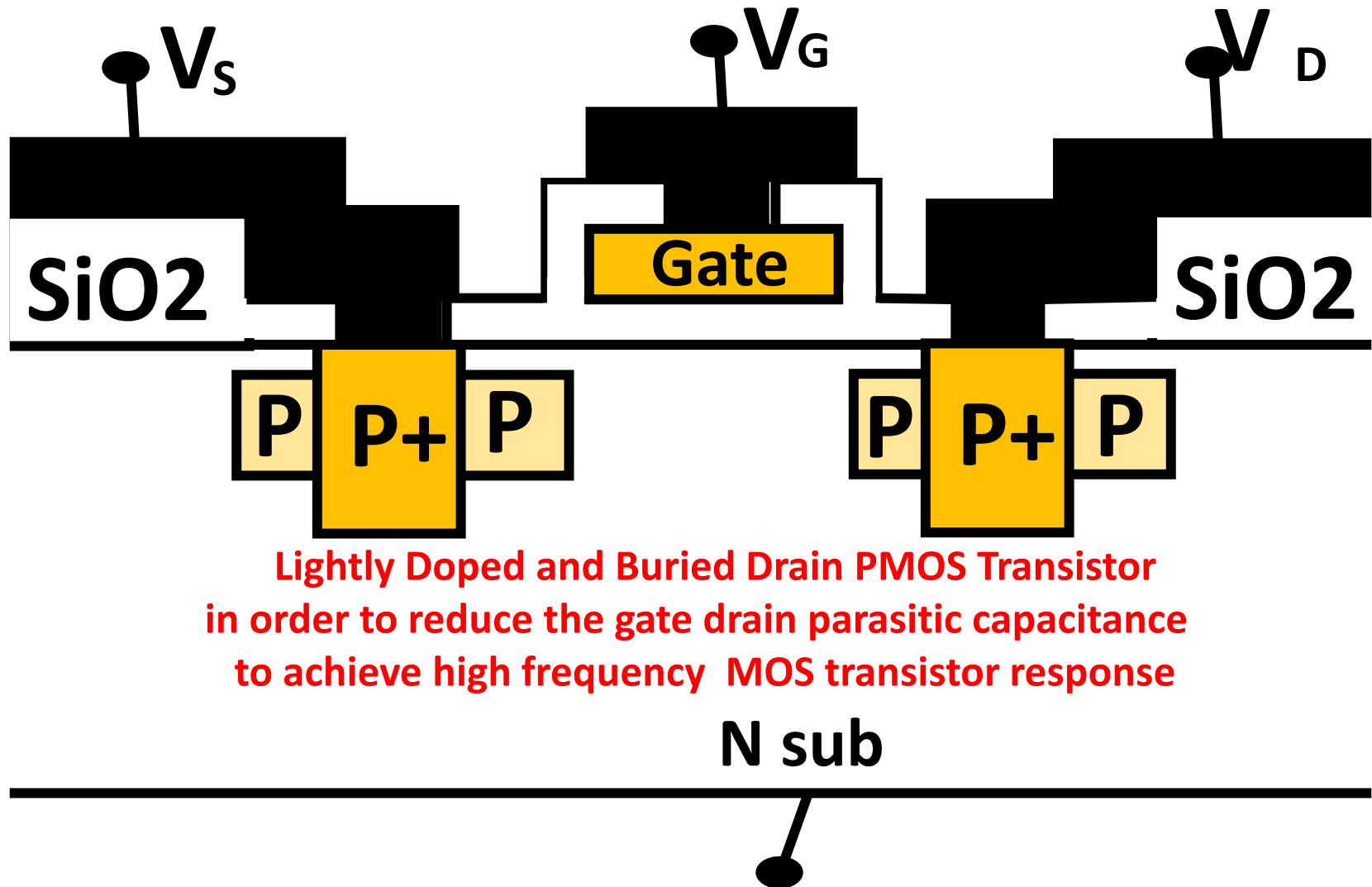
Intel PMOS Process 1972



Intel PMOS Process 1972



Intel PMOS Process 1972



128-Bit Multicomparator Chip designed by Caltech Students and fabricated by Intel

Ref: IEEE Journal of Solid State Circuits, VOL.SC11, No.4, October 1976

Prof. C. A. Mead and Yoshiaki Daimon Hagiwara working on the silicon chip design at Caltech in 1972

493

IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-11, NO. 4, OCTOBER 1976

128-Bit Multicomparator

CARVER A. MEAD, RICHARD D. PASSLEY, MEMBER, IEEE, LEE D. BRITTON, YOSHIAKI T. DAIMON, AND STEWART F. SANDO, JR., MEMBER, IEEE

Abstract—A 128-bit multicomparator was designed to perform the search-sort function on arbitrary length data strings. Devices can be cascaded for longer block lengths or paralleled for high-speed, word-level applications. The circuit utilizes a 3-phase static-dynamic (SD) register cell for data handling and a unique gate structure was devised to accomplish the compare function. The compare operation is performed bit parallel between a "data" register and a "key" register with a third "mask" register containing zero's cases that disable the comparison. The multicomparator was fabricated using p-channel enhancement metal-oxide-semiconductor (PMOS) technology on a 100×100 mil chip measuring 3350 square mils. With transistor-transistor logic (TTL) logic, data rates in excess of 2 Mbits have been obtained. The average power dissipation was 250 mW in the dynamic mode and 300 mW in the static mode.

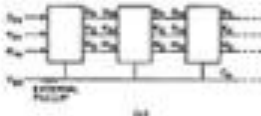
Introduction

OVER the past several years, there have been significant amounts of energy devoted to the fabrication of larger and faster semiconductor memories and conventional central processing units (CPUs) in chip form. In the process, every other application of large-scale integration (LSI) to computer architecture have been neglected [1]. LSI has removed the technological distinction between logic and memory. It is now economically feasible to decentralize the CPU of a computer by replacing much of its maintenance software with functional hardware to improve system efficiency. Presently, an inordinate amount of processing time is spent on organizing and accessing files in peripherals. Peripherals are usually controlled directly by the CPU and have little or no associated logic of their own. A great improvement in this situation can be made by developing peripheral logic units. This would allow each peripheral to accomplish its own internal processing and thus reduce CPU busloading delays. This paper describes a 128-bit multicomparator that is designed to perform the search-sort function.

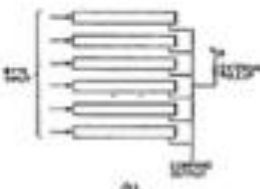
The block diagram of the multicomparator is shown in Fig. 1. The circuit consists of three independently clocked static-dynamic shift registers with associated exclusive-or gates. In operation, the device indicates a match between the data word and the masked bits of the key word. The multicomparator is loaded with a key word by serially shifting the word into the key register and loading the register in static mode. While the key word is being loaded, the comparator is enabled by entering zero's in the appropriate locations of the



Fig. 1. Block diagram of multicomparator.



(a)



(b)

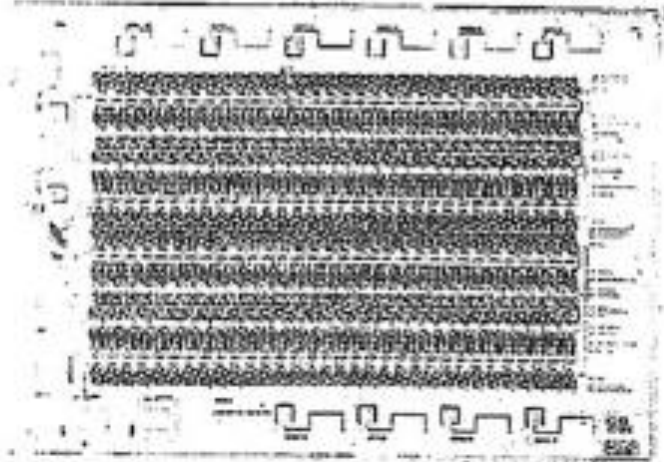
Fig. 1. Possible connections of multicomparator. (a) Cascaded. (b) Paralleled, word-wide.

mask register. Masking allows the multicomparator to search for bit strings of varying length and composition. For example, assume it is necessary to search for all words containing a specific 123-bit code. By entering the 123-bit code in the key register and masking out the rest of the comparator, the multicomparator is configured to search for this code wherever it occurs in the data file. Once the multicomparator is loaded with "key" and "mask" words, the file being searched is serially shifted through the data register. The data words are compared in bit parallel with the masked bits of the key word as they pass through the data register. When a match is found, the compare output goes high.

Large multicomparators can be constructed of the 128-bit circuit. Cascaded [Fig. 2(a)], the comparator can be used to search for words longer than 128 bits. By implementing multicomparators in parallel [Fig. 2(b)], a word-wide, bit-parallel



128-bit Multicomparator chip, designed by Hagiwara in 1972-1973 and fabricated by Intel PMOS process.



Manuscript received March 15, 1976; revised July 18, 1976.
C. A. Mead is with the California Institute of Technology, Pasadena, CA 91125.
R. D. Passley and S. F. Sando, Jr., are with the Intel Corporation, Santa Clara, CA.
L. D. Britton is with the Hewlett-Packard Laboratories, Cupertino, CA.
Y. T. Daimon is with the Intel Corporation, Tokyo, Japan.
¹Using transmission logic: $T = T_{PD} \ln(w/V) = T_{PD} \ln(w/V) + T_{PD}$. Here the drive V_{DD} is negative for p-channel MOS and positive for n-MOS. Transistor-transistor logic (TTL) levels may or may not have common polarity depending on the processing used.

Hagiwara had five important ideas in 1975 for the pinned photodiode sensor structures.



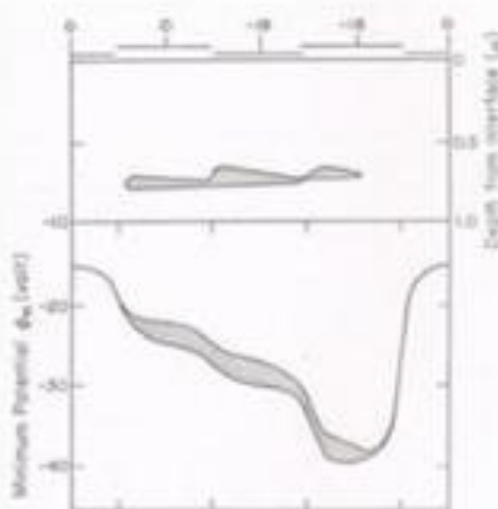
Charge-Coupled Devices and Applications

Editor
Lewis M. Terman

Emphasis is on the importance of the charge transfer phenomenon in the design of the device and the device in the design of the system. The book is the first to present the design of the device and the system in a unified manner.

Charge-coupled devices are unique among semiconductor devices. In all other semiconductor devices, charge is transported and converted and then used to charge a capacitor or to drive a device in a similar manner to charge a light output.

My PhD thesis paper
on buried channel CCD
at ISSCC1974 in Philadelphia, USA



Prof. T. C. McGill



Prof. C. A. Mead

My first publication was a PhD thesis paper published at the ISSCC1974 in Philadelphia in Feb 1974. CalTech/JPL NASA (IBM) computers were used to perform three dimensional (x, y and t) BCCD device simulations for polysilicon and aluminum overlapping gate buried channel CCD structure with the two dimensional Poisson's equation and time domain continuity equation.

See Japanese Patent 1975-134985 (filed on November 10, 1975)

which defines a P+NP/Sub junction type Pinned Photodiode with Vertical Overflow Drain (VOD)

**Sony Original
HAD Sensor**

HAD = Hole Accumulation Diode

And see also Japanese Patent 1975-127647 (filed on October 23, 1975)

which defines an NPN/Sub junction type Pinned Photodiode with a built-in Global Shutter Function and Back Light Illumination Scheme

Sonyの半導体の過去を振り返って、その強さと、源泉と、
今後に向けて、一緒に考えてみましょう♡

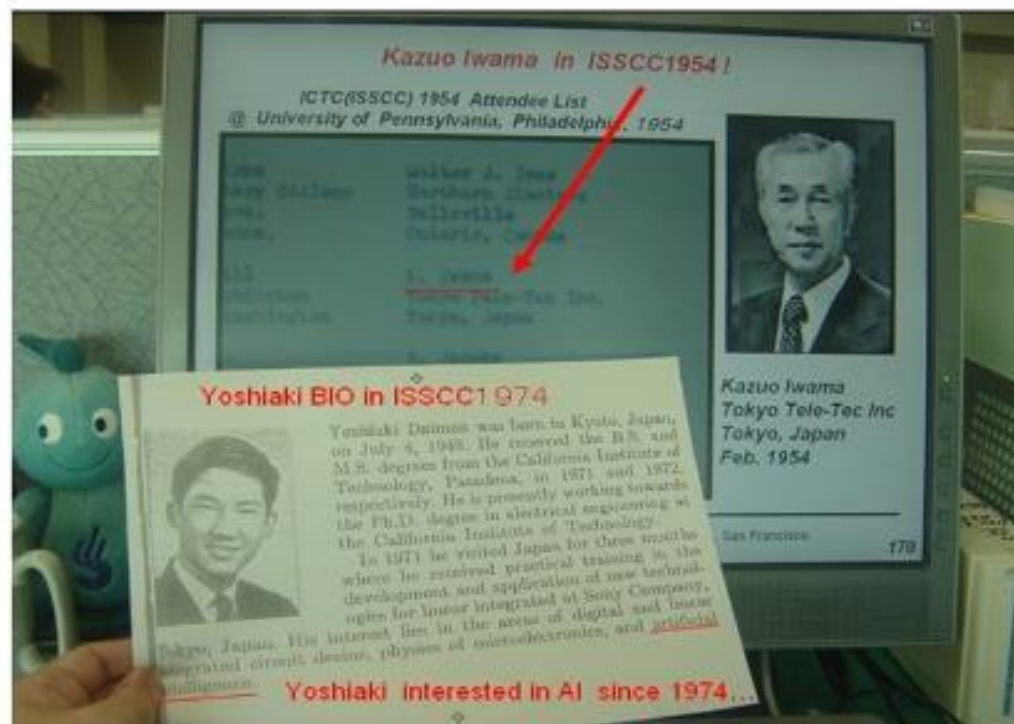
- SONYの半導体がどうして昔も今も日本一なのか？
- どうして Bipolar Transistorで世界一だったのか？
- どうして CCD Image Sensorで世界一だったのか？

岩間 和夫(1919年2月7日 - 1982年8月24日)

日本の技術者、経営者、実業家である。
第4代ソニー社長。トランジスタに着目し、
日本における半導体産業の基盤を創った。



ISSCC1954 の国際会議に初めて岩間さんは
東洋人として出席した技術者です。その20年
後の1974年2月には
萩原良昭は国際学会
のSSCC1974にて
PhD 学生論文を発表。

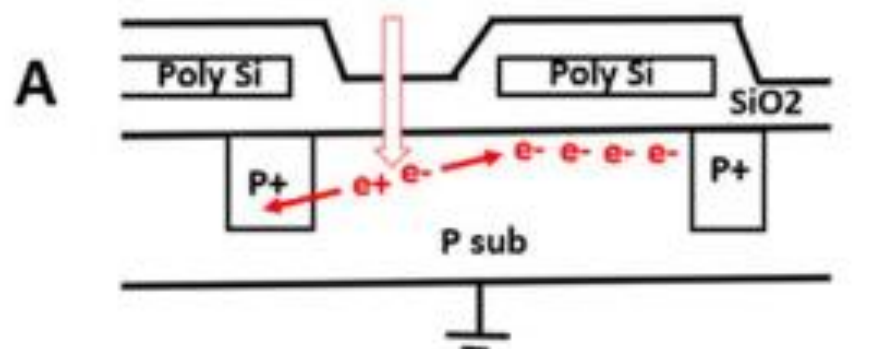


Computer数値計算を駆使し、埋め込み型CCDのデバイス回路モデル解析結果を報告しました。
埋め込み型CCDの将来展望を説明し、高感度ビデオカメラへの応用があることに注目しました。
電子の目として期待が大きかった夢ある時代でした。その論文に注目してくれた人々の中には、
SONYの岩間和夫氏もいました。1974年当時SONY本社の副社長で SONY USAの会長でした。

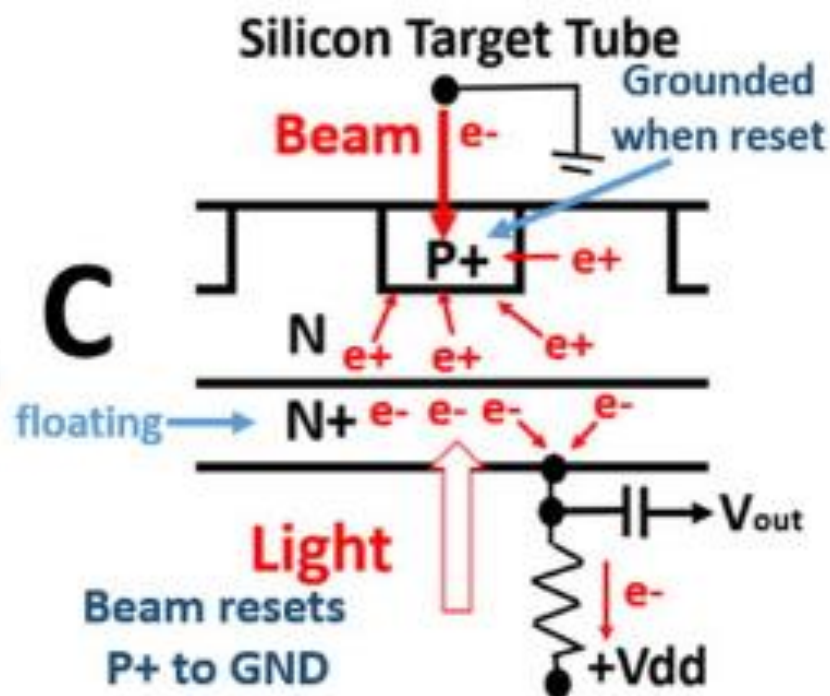
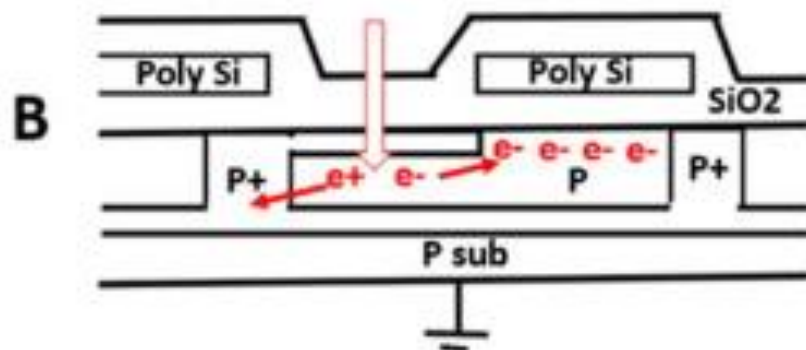
(A) M.Abe, T.Shimada, C.Okada, T.Ando, Y.Kano, T.Hashimoto, H.Yamazaki,
 “A CCD Image Sensor with SiO₂ Exposed Photo Sensor Arrays”,
 Technical Digest of IEDM1977, Dec 1977.

(B) SiO₂ Exposed Photo Sensor with P+P Barrier Electric Field (2020)

(C) Classical Silicon Target Tube with N+N Barrier Electric Field (1967)



SiO₂ Exposed Photo Sensor with P+P Barrier Electric Field



●イメージセンサーの開発背景(感度が命)

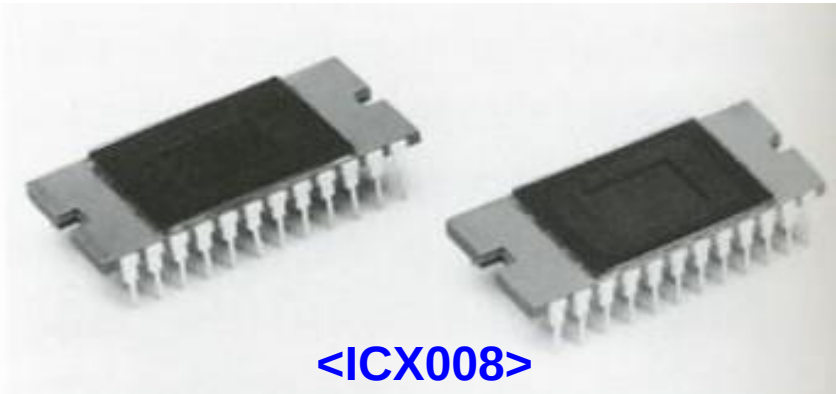
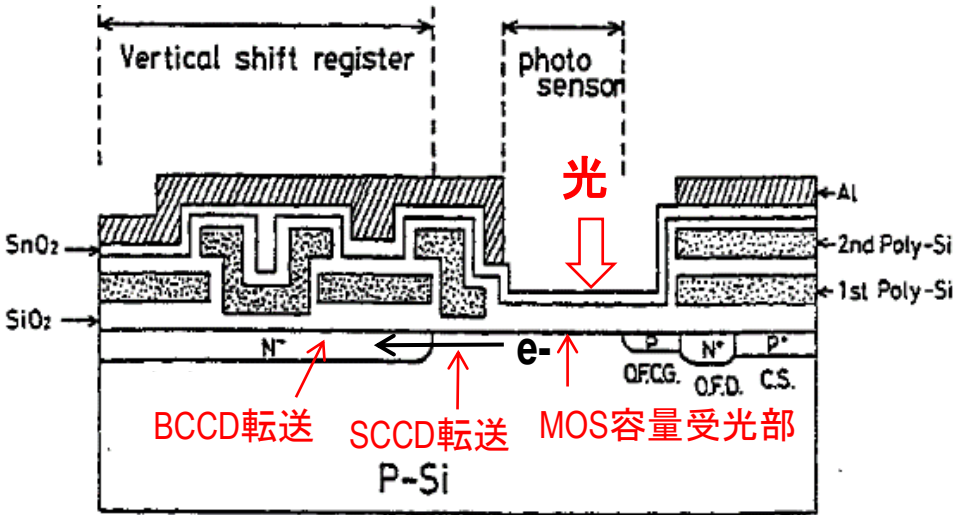
全日空ジャンボ機に2チップ構成カメラとしてソニーが商品化
ジャンボ機の離着時のもようを機内スクリーンに映し出す



XC-1 1980
Two-Chip Color Video
Camera

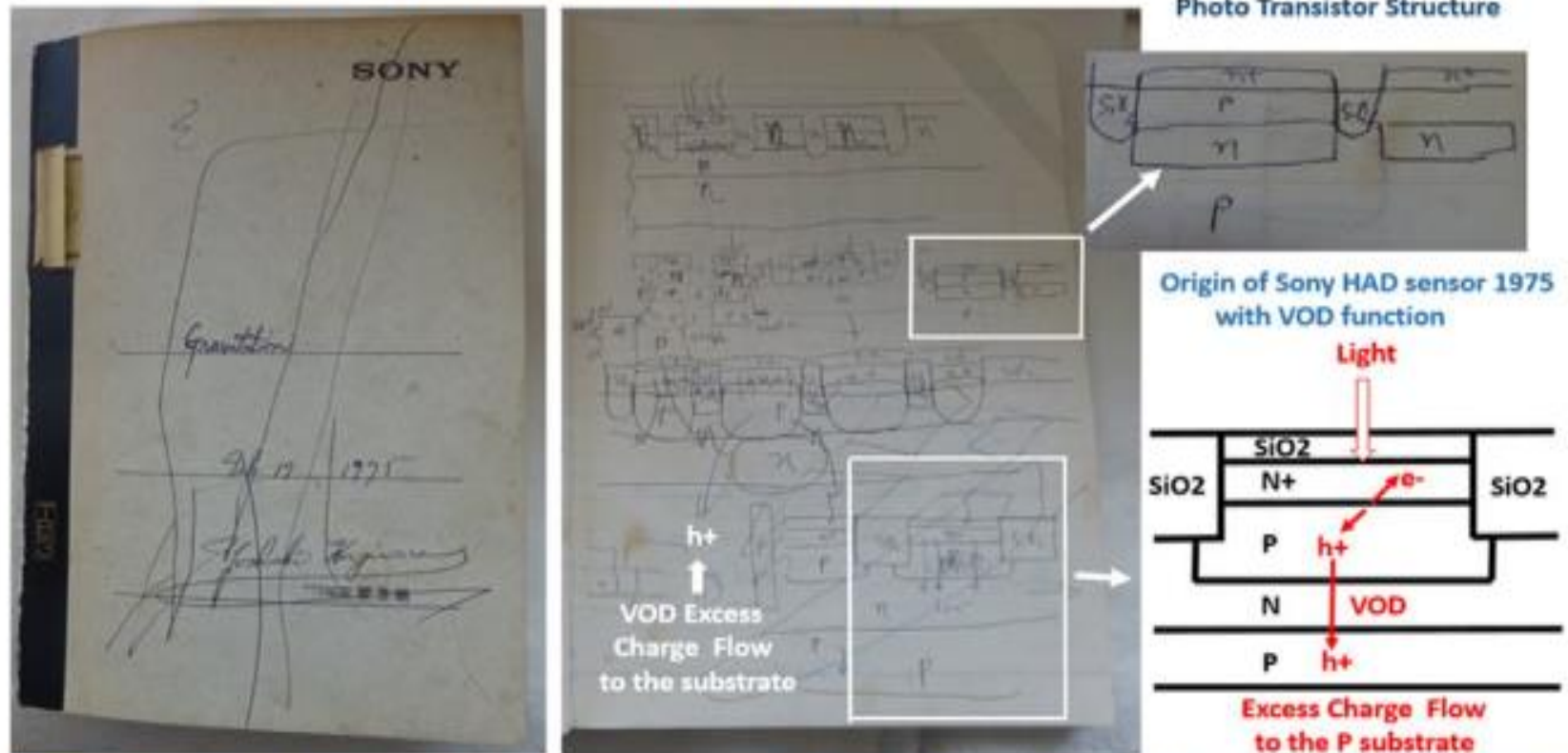
all solid state = robustness

ジャンボ機の
コックピットに搭載



MOS 容量で受光して CCD 転送で 残像のない映像を実現した。

Hagiwara's Lab Note at Sony in February 1975

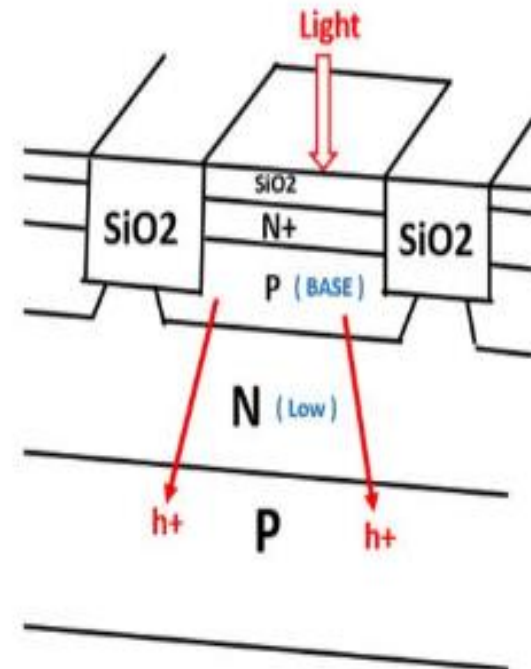
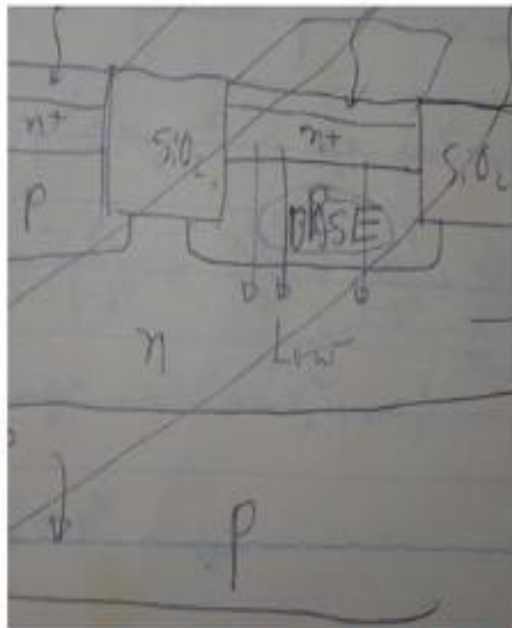


In 1975 at Sony, Yoshiaki Hagiwara filed three Japanese patents JPA1975-127646, JPA1975-127647 and JPA1975-134985 on the Pinned Surface Photodiode with the VOD function which is later called as Sony Hole Accumulation Diode (HAD).

Hagiwara did not file a patent on the SiO₂ device isolation but this lab note shows that Hagiwara had an idea of forming the Shallow Trench Isolation by the Local Oxidation Method, which was hinted by the LOCOS isolation in 1970s.

J. Appels, E. Kooi, M.M. Paffen, J.J.H. Schatorje, and W. H. C. G. Verkuylen,
“Local oxidation of silicon and its application in semiconductor-device technology”,
Philips Res. Repts., 25, p.118 (1970)

The N+PNP junction type Dynamic Photo Transistor Structure Pinned Photodiode and Sony Hole Accumulation Diode (HAD) with the vertical overflow drain (VOD) function invented by Hagiwara at Sony in 1975



Hagiwara's Lab Note at Sony in February 1975

In 1975 at Sony, Yoshiaki Hagiwara filed three Japanese patents JPA1975-127646, JPA1975-127647 and JPA1975-134985 on the Pinned Surface Photodiode with the VOD function which is later called as Sony Hole Accumulation Diode (HAD).

Hagiwara did not file a patent on the SiO2 device isolation but this lab note shows that Hagiwara had an idea of forming the Shallow Trench Isolation by the Local Oxidation Method, which was hinted by the LOCOS isolation in 1970s.

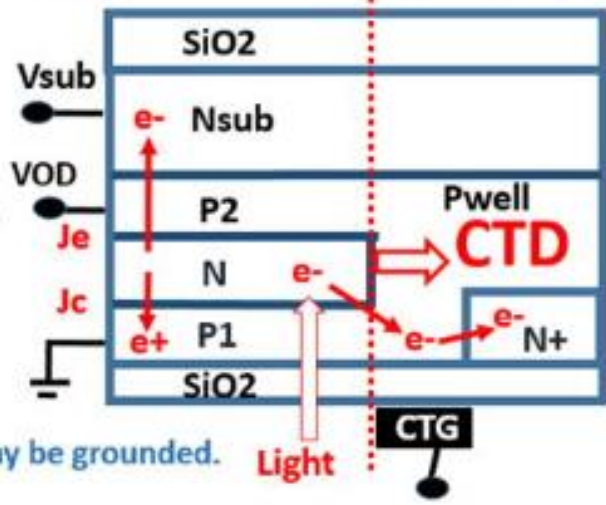
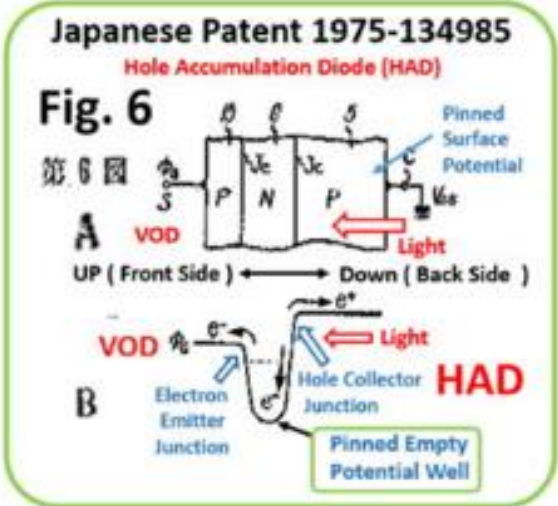
PNPN_{sub} junction type Pinned Photo Diode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

Hagiwara 1975 invention on November 10, 1975
Patent Claim in Original Japanese

(1)半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P1) と、(2) 之上に形成された第2導電型の第2半導体領域 (N) とが形成されて (3)光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD) とが (4)上記半導体基体 (Nsub) の主面に沿う如く配置されて成る(5)固体撮像装置 に於いて上記光感知部 (N) の上記第2半導体領域 (N)に 整流性接合(Je)が形成され、該接合(Je)をエミッタ(P2N)接合とし、(6)上記第1(P1)及び 第2半導体領域 (N) 間の接合(N/P1)を コレクタ接合(Jc)とするトランジスタ (P2NP1)を形成し(7)該トランジスタ(P2NP1)のベースとなる上記第2半導体領域(N)に光学像に応じた電荷を蓄積しここに蓄積された電荷を上記転送部 (CTD)に移行させてその転送を行うようにしたことを特徴とする固体撮像装置。



VOD may be grounded.

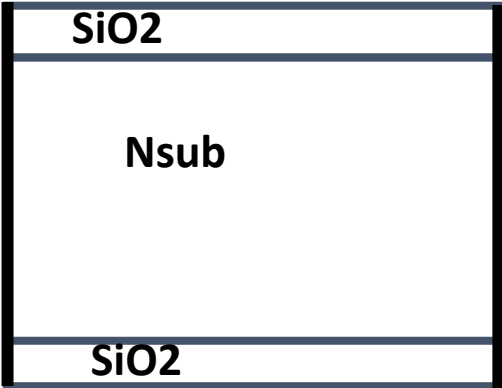
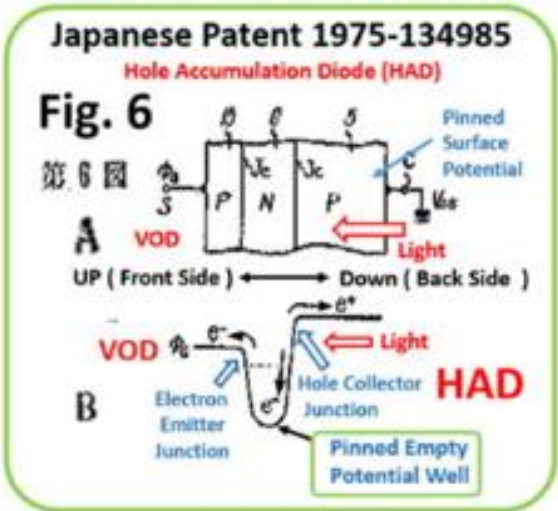
PNPN_{sub} junction type Pinned Photo Diode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

Hagiwara 1975 invention on November 10, 1975
Patent Claim in Original Japanese

(1)半導体基体 (Nsub) に、



PNPN_{sub} junction type Pinned Photo Diode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

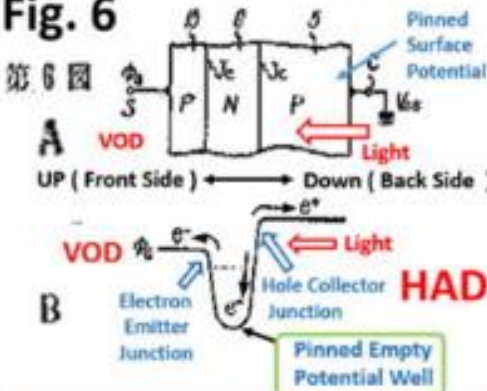
Hagiwara 1975 invention on November 10, 1975
Patent Claim in Original Japanese

(1)半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P1) と、

Japanese Patent 1975-134985

Hole Accumulation Diode (HAD)

Fig. 6



SiO2

Nsub

P1

SiO2

PNPN_{sub} junction type Pinned Photo Diode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

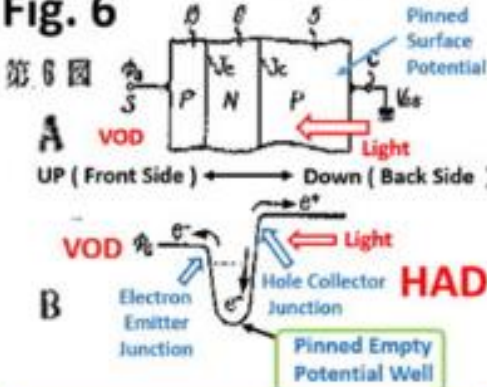
Hagiwara 1975 invention on November 10, 1975
Patent Claim in Original Japanese

(1)半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P1) と、(2) 之上に形成された第2導電型の第2半導体領域 (N) とが形成されて

Japanese Patent 1975-134985

Hole Accumulation Diode (HAD)

Fig. 6



SiO2

Nsub

N

P1

SiO2

PNPN_{sub} junction type Pinned Photo Diode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

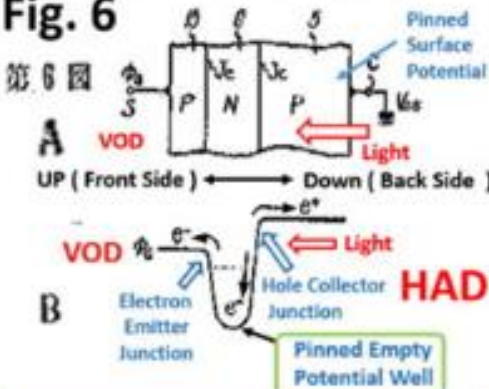
Hagiwara 1975 invention on November 10, 1975
Patent Claim in Original Japanese

(1)半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P1) と、(2) 之上に形成された第2導電型の第2半導体領域 (N) とが形成されて (3)光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD) とが

Japanese Patent 1975-134985

Hole Accumulation Diode (HAD)

Fig. 6



SiO2	
Nsub	
N	CTD
P1	
SiO2	

PNPN_{sub} junction type Pinned Photo Diode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

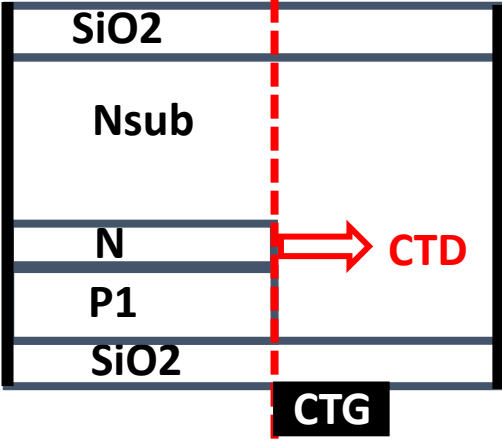
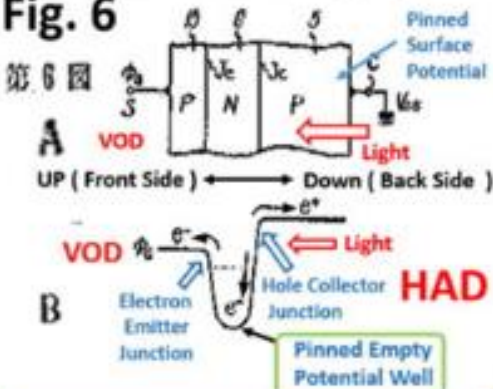
Hagiwara 1975 invention on November 10, 1975
Patent Claim in Original Japanese

(1)半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P1) と、(2) 之の上に形成された第2導電型の第2半導体領域 (N) とが形成されて (3)光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD) とが (4)上記半導体基体 (Nsub) の主面に沿う如く配置されて成る(5)固体撮像装置 に於いて

Japanese Patent 1975-134985

Hole Accumulation Diode (HAD)

Fig. 6



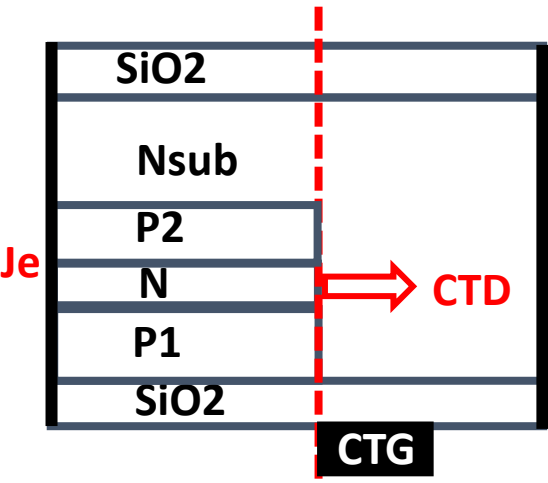
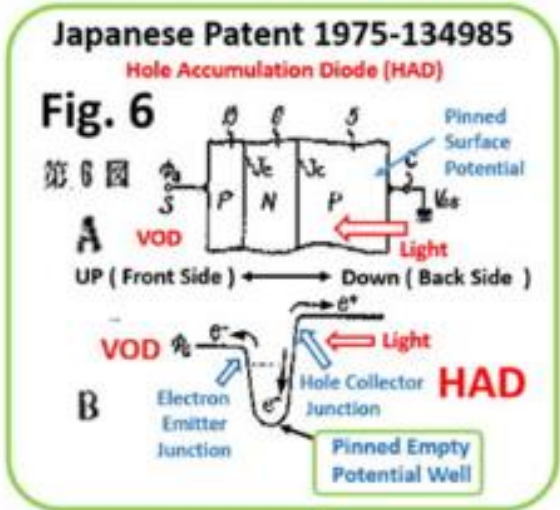
PNPN_{sub} junction type Pinned Photo Diode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

Hagiwara 1975 invention on November 10, 1975
Patent Claim in Original Japanese

(1)半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P1) と、(2) 之の上に形成された第2導電型の第2半導体領域 (N) とが形成されて (3)光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD) とが (4)上記半導体基体 (Nsub) の主面に沿う如く配置されて成る(5)固体撮像装置 に於いて上記光感知部(N) の上記第2半導体領域 (N)に 整流性接合(Je)が形成され、該接合(Je)をエミッタ(P2N)接合とし、



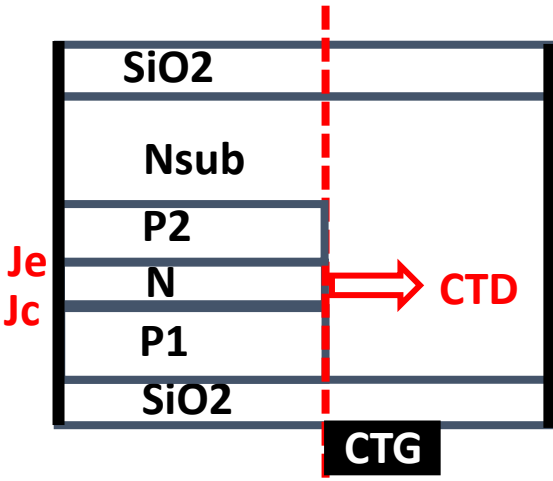
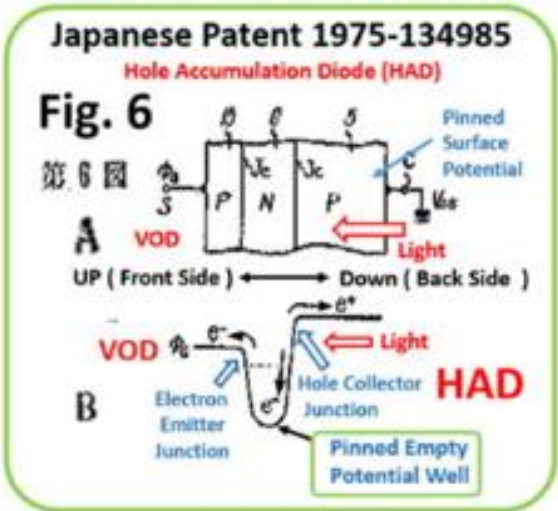
PNPN_{sub} junction type Pinned Photo Diode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

Hagiwara 1975 invention on November 10, 1975
Patent Claim in Original Japanese

(1)半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P1) と、(2) 之の上に形成された第2導電型の第2半導体領域 (N) とが形成されて (3)光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD) とが (4)上記半導体基体 (Nsub) の主面に沿う如く配置されて成る(5)固体撮像装置 に於いて上記光感知部(N) の上記第2半導体領域 (N)に 整流性接合(Je)が形成され、該接合(Je)をエミッタ(P2N)接合とし、(6)上記第1(P1)及び 第2半導体領域 (N) 間の接合(N/P1)を コレクタ接合(Jc)とするトランジスタ (P2NP1) を形成し



PNPN_{sub} junction type Pinned Photo Diode

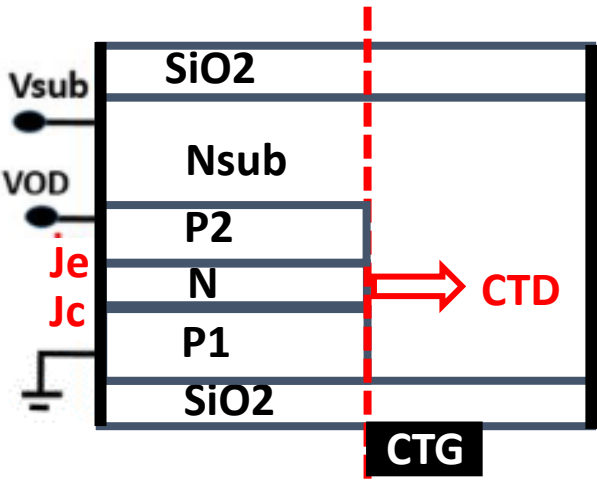
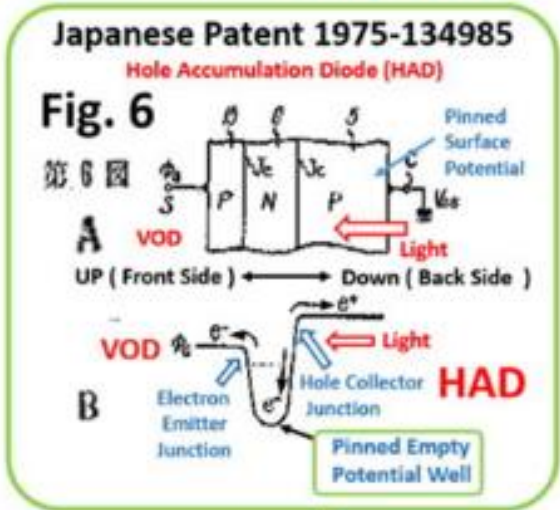
Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

Hagiwara 1975 invention on November 10, 1975
Patent Claim in Original Japanese

(1)半導体基体 (N_{sub}) に、第1電導型の第1半導体領域 (P1) と、(2) 之上に形成された第2導電型の第2半導体領域 (N) とが形成されて (3)光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD) とが (4)上記半導体基体 (N_{sub}) の主面に沿う如く配置されて成る(5)固体撮像装置 に於いて上記光感知部 (N) の上記第2半導体領域 (N)に 整流性接合 (J_e)が形成され、該接合 (J_e)をエミッタ (P2N)接合とし、(6)上記第1 (P1)及び 第2半導体領域 (N) 間の接合 (N/P1) を コレクタ接合 (J_c)とするトランジスタ (P2NP1) を形成し(7) 該トランジスタ (P2NP1) のベースとなる上記第2半導体領域 (N)に光学像に応じた電荷を蓄積しここに蓄積された電荷を上記転送部 (CTD)に移行させてその転送を行うようにしたことを特徴とする固体撮像装置。

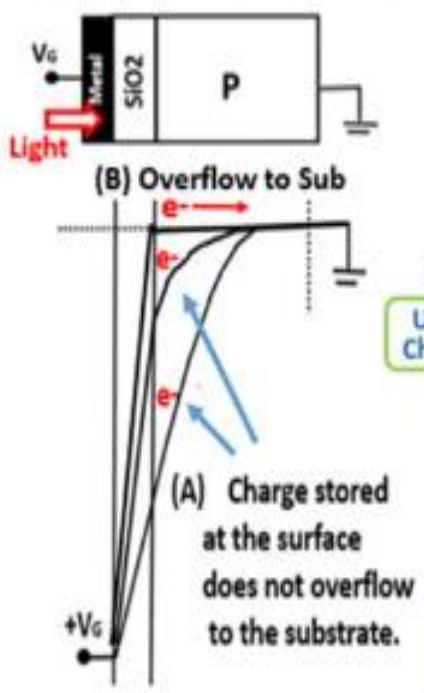
Solid State Image Sensor (NMOS, CCD, CMOS types)



Three types of in pixel Vertical Overflow Drain (VOD)

Only the PPD type VOD(3) has the Adjustable Charge Capacity Control Capability.

(1) Substrate P type VOD

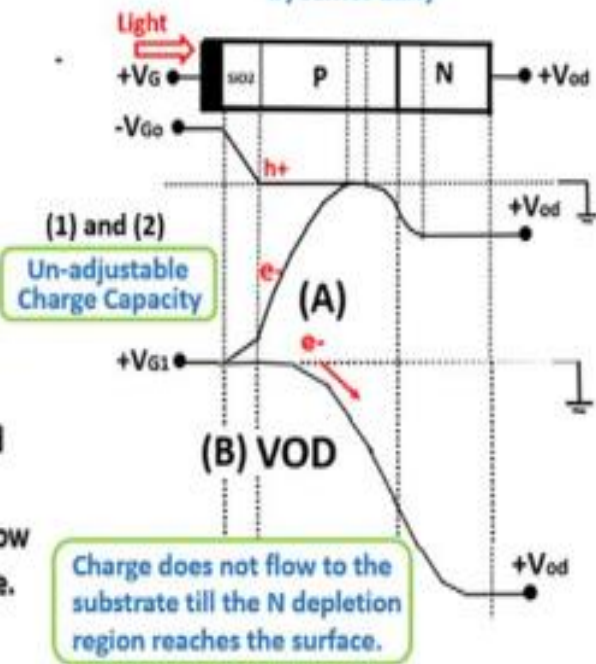


$Q_{max} = C_o V_G$
Before July, 1975

Photo Charge is stored in the MOS Surface Inversion Layer

(2) MOS PN junction type VOD

invented in July 1975
by James Early

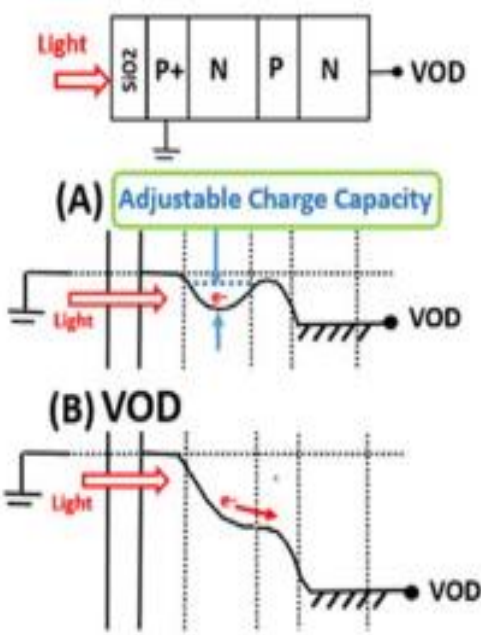


$Q_{max} = C_o V_{G1}$
USP 3896485

Photo Charge is stored in the MOS Surface Inversion Layer

(3) PPD type VOD

invented in Nov 1975
by Yoshiaki Hagiwara



$Q_{max} = f(VOD)$
JPA 1975-134985

Photo Charge is stored in the N type Pinned Buried Region

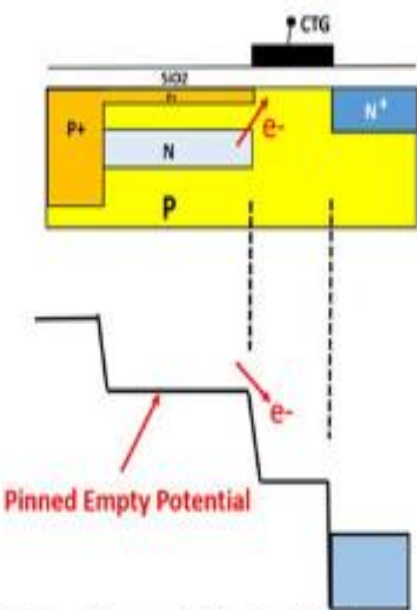
Difference of Pinned Photodiode and Buried Photodiode

Pinned Photodiode must have the P+ heavy doped channel stops nearby.

Pinned Photodiode must be a buried photodiode.

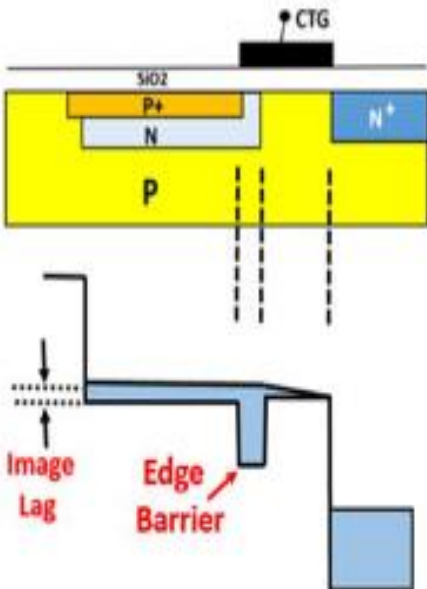
Pinned Photodiode must not have the edge barrier to the Charge Transfer Gate

Pinned Buried Photodiode
does not have the edge barrier



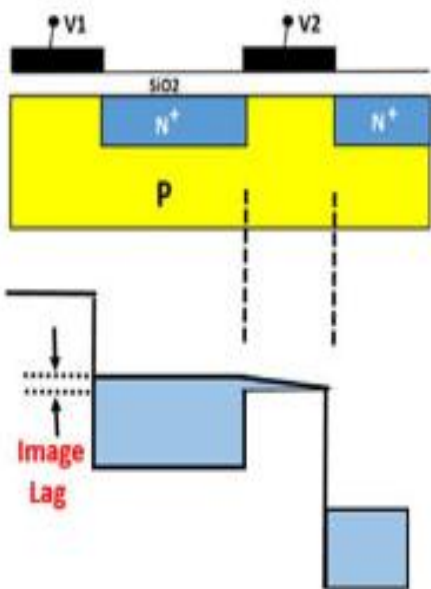
(1) Pinned Photodiode with No Image Lag

Buried Photodiode
with the edge barrier



(2) Buried Photodiode with BBD Barrier

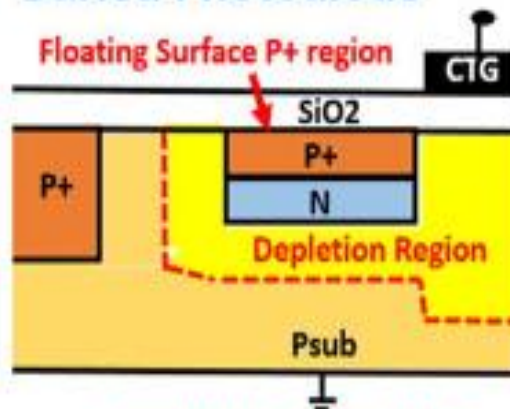
Bucket Brigade Device (BBD)
with Serious Image Lag



(3) Bucket Brigade Device (BBD)

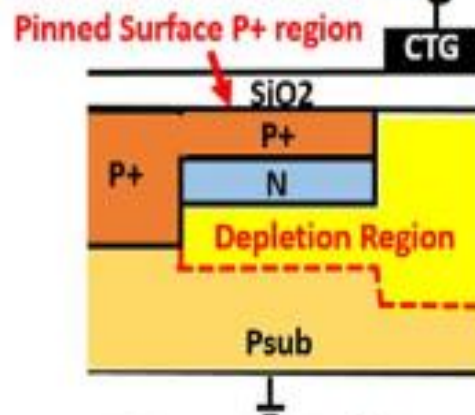
Pinned Photodiode Must Have the Grounded P+ Channel Stops Nearby.

Buried Photodiode



Serious Image Lag Problem

Pinned Photodiode



No Image Lag Problem

The resistivity ρ of the P+ hole accumulation layer is given by

$$\rho = R \cdot W \cdot d / L$$

In the 2/3 inch optical lens system, we have the optical image size of 8.8 mm (H) x 6.6 mm (V) which was a common size in 1980s.

Hence, we then have $L = 6.6 \text{ mm} = 6600 \mu\text{m}$

The short wave blue light cannot penetrate more than $d = 0.2 \mu\text{m}$ into the silicon crystal in depth. Hagiwara reported in SSDM1978 paper $Q_d = 2 \times 10^{13} \text{ cm}^{-2}$ which gives $N_d = Q_d / d = 1 \times 10^{18} \text{ cm}^{-3}$

For $N_d = 1 \times 10^{18} \text{ cm}^{-3}$, we have $\rho = 0.04 \text{ ohm cm} = 400 \text{ ohm } \mu\text{m}$

$$RC = \{ L \rho / (W \cdot d) \} \{ \epsilon W \cdot L / X_o \} = \epsilon \rho L^2 / (d X_o)$$

We have $\epsilon = 216 \text{ e/volt } \mu\text{m}$ for silicon oxide and $e = 1.6 \times 10^{-19} \text{ Coulomb}$

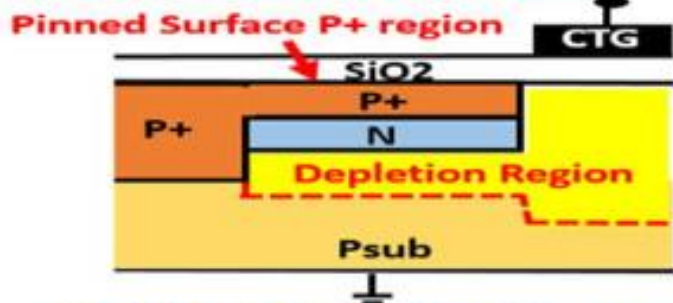
$$RC = (216) (1.6 \times 10^{-19}) (400)(6600)(6600) / (0.2)/(0.1) \text{ sec}$$

$RC = 30.1 \mu\text{sec}$ while one frame is $1/60 \text{ sec} = 16.7 \text{ msec}$ and the Vertical CCD register clock period is $16.7/500 = 33.4 \mu\text{sec}$

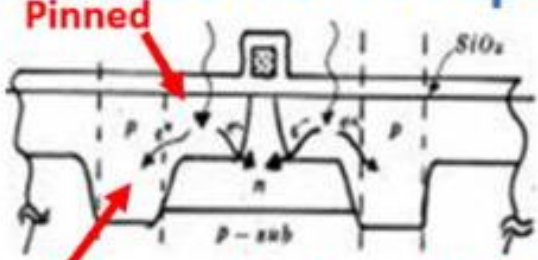
Hence RC delay time may not be ignored and surface P+ may be floating ?

Difference of Buried Photodiode and Pinned Photodiode

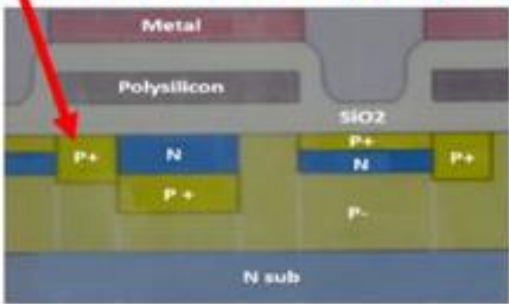
Pinned Photodiode



SONY SSDM1978 Paper

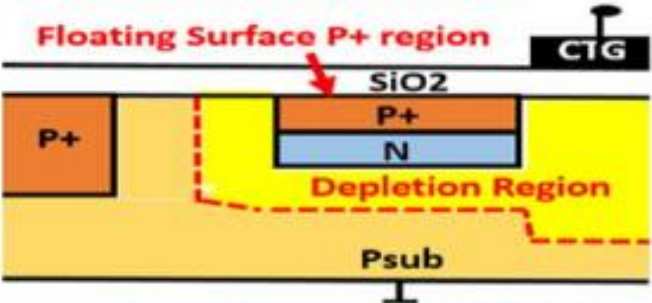


P+ Channel Stops and no Image Lag Problem



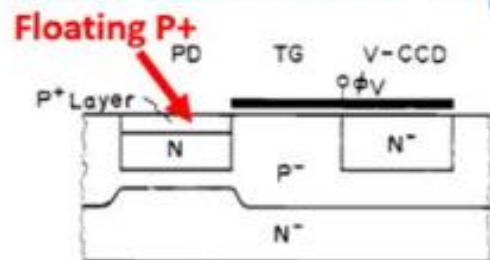
SONY 1987 HAD Sensor

Buried Photodiode

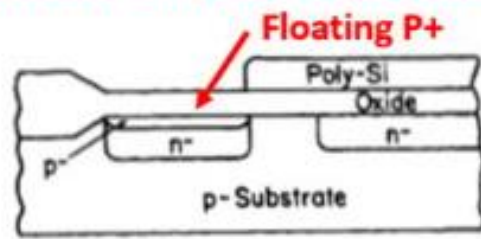


Serious Image Lag Problem

NEC IEDM1982 Paper



No P+ Channel Stops and Serious Image Lag

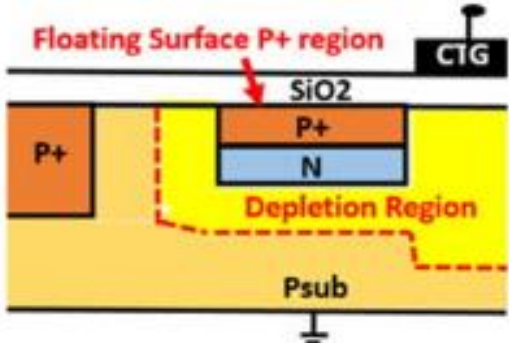


KODAK IEDM1984 Paper

Difference of Buried Photodiode and Pinned Photodiode

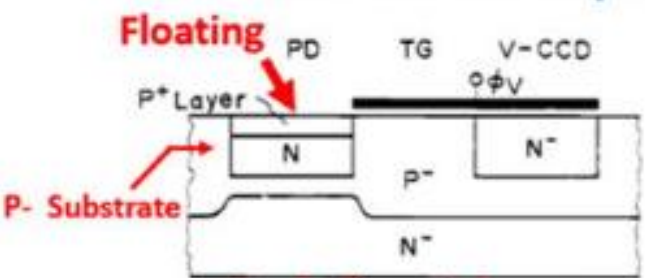
Figure 5 does not have the P+ channel stop nearby.

Buried Photodiode



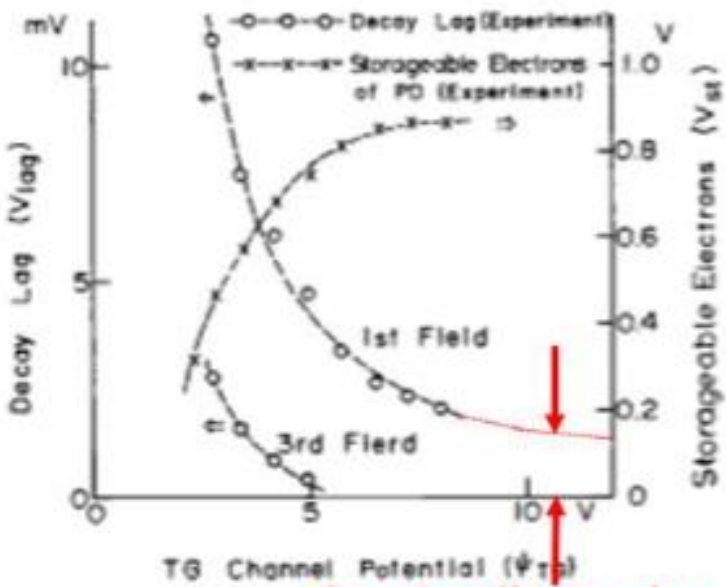
Serious Image Lag Problem

NEC IEDM1982 Paper



No P+ Channel Stops

Fig.5. P+NP- structure photodiode
(a) Unit cell cross sectional view



There is still image lag at the CTG gate voltage more than 10 volt.

Fig.6. Storageable electrons vs. transfer gate channel potential, and decay lag vs. transfer gate channel potential in the P+NP- structure photodiode

NEC IEDM1982 Paper reported Image Lag

Figure 6 shows that there is still image lag at the CTG gate voltage of > 10 volt.

Basic Structure of Image Sensors

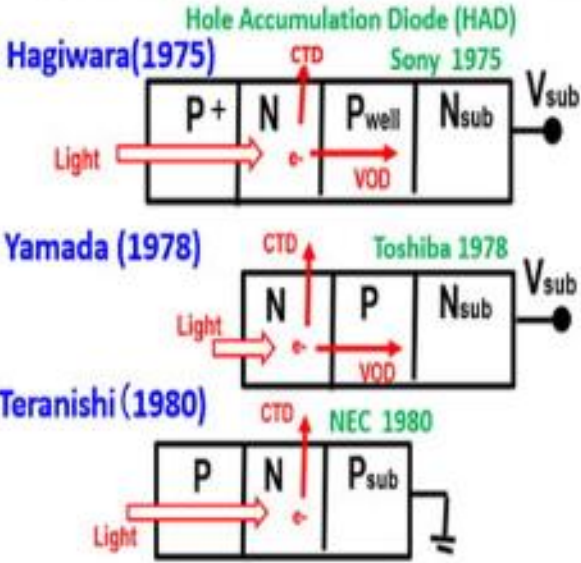
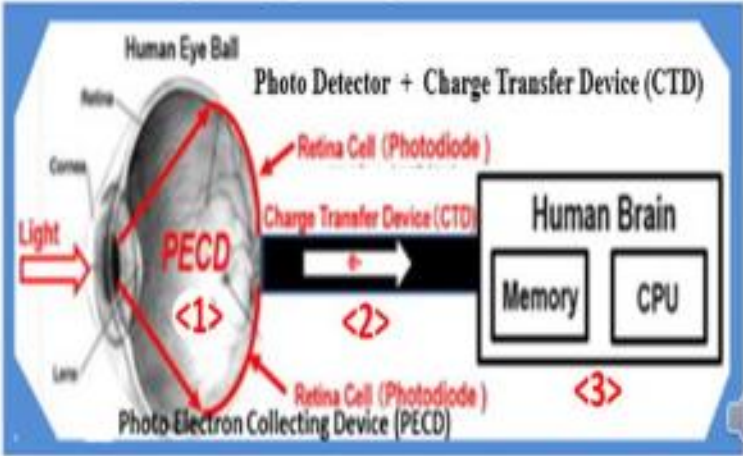
<1> Photo Electron Conversion Device (PECD) functioning as the human eye retina cells.

- (A) N+P junction Photodiode with Poor Quantum Efficiency (QE) and Serious Image Lag Problems
- (B) P+NP junction Pinned Photodiode with High QE, Low Surface Dark Current, and no Image Lag
- (C) P+NPsub junction Hole Accumulation Diode (HAD) with Vertical Overflow Drain (VOD) function

<2> Charge Transfer Device (CTD) transferring the signal charge to the output circuits.

- (A) Original MOS type CTD with Very Serious CkT and Clock Noise Problems.
- (B) CCD type CTD with low CkT and Low Clock Noise but with Large Power Problems.
- (C) CMOS type CTD with In Pixel Active AMP and Global Shutter Buffer Memory.

Intelligent Digital Image Sensor Structure



type feature	Classical N+Psub Photodiode	Surface Channel CCD	Buried Channel CCD	Yamada 1978 NPNsub	Teranishi 1980 PNPsub	Hagiwara 1975 PNPNsub
Blue Light Sensitivity	○	X	X	○	○	○
Low Image Lag	X	○	○	X	○	○
Surface Dark Current	X	X	X	X	○	○
Surface Trap Noise	X	X	○	X	○	○
Vertical OFD (VOD)	X	X	X	○	X	○

Yoshiaki Hagiwara, Japanese Patent JP 1975-134985

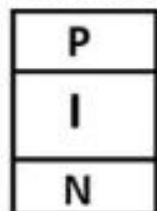


Difference between Buried Photodiode and Pinned Photodiode

What is the difference between Buried Photodiode and Pinned Photodiode? I understand that the P+/N/P structure where the P+ and P layers have the same potential is the Pinned Photodiode. So what is the buried Photodiode?

<https://electronics.stackexchange.com/questions/83018/difference-between-buried-photodiode-and-pinned-photodiode>

PIN diode



In 1975 the first PPD was invented by Hagiwara at Sony and used in ILT CCD PDs by Hamazaki at Sony in 1987.

PPD must have the P+ channel stops nearby to pin the surface P+ layer.

This is a commonly misunderstood misused set of terminologies.

First off these are not PIN Photodiodes - which stands for P - Intrinsic- N. These have large depletion regions for higher internal QE (Quantum Efficiency) and faster response. You can't make an array with this design though.

Pinning, refers to fermi-level pinning or pinning to a certain voltage level. Or also the forcing or prevention of the fermi-level/voltage from moving in energy space.

You can get surface state pinning from the dangling Si/SiO₂ bonds providing trapping centers. A buried PD (Photodiode) has a shallow implant that forces the charge carriers away from these surface traps. The Si/SiO₂ surface contributes to increased leakage (dark current) and noise (particularly 1/f noise from trapping/de-trapping). So confusingly a buried PD avoids pinning of the fermi-level at the surface.

A pinned PD is by necessity a buried PD, but not all buried PD's are pinned. The first Pinned PD was invented by Hagiwara at Sony and is used in ILT CCD PD's, these same PD's and the principles behind this complete transfer of charge are used in most CMOS imagers built today.

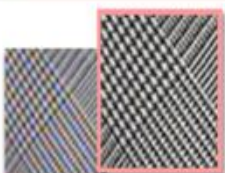
A pinned PD is designed to have the collection region deplete out when reset. AS the PD depletes it becomes disconnected from the readout circuit and if designed properly will drain all charge out of the collection region (accomplishing complete charge transfer). An interesting side effect is that the capacitance of the PD drops to effectively zero and therefore the KTC noise $q_n = \sqrt{KTC}$ also goes to zero. When you design the depletion of the PD to deplete at a certain voltage you are pinning that PD to that voltage. That is where the term comes from.

I've edited this Answer to acknowledge Hagiwara-san's contribution. It has long been incorrectly attributed to Teranishi and to Fossum (in CMOS image sensors)

目次

- 1. イメージセンサとは
- 2. イメージセンサの歴史と市場動向
- 3. イメージセンサの基本構造
- 4. イメージセンサの動作原理
- 5. 賢いイメージセンサとは？

●イメージセンサーのいろいろな特徴

 Resolution	 SN Ratio	 Frame Rate
 Dynamic Range	 Shutter	 Color Reality

●イメージセンサーは感度が命



Front-illuminated CIS



Back-illuminated CIS

1. イメージセンサとは



Image Sensor Size

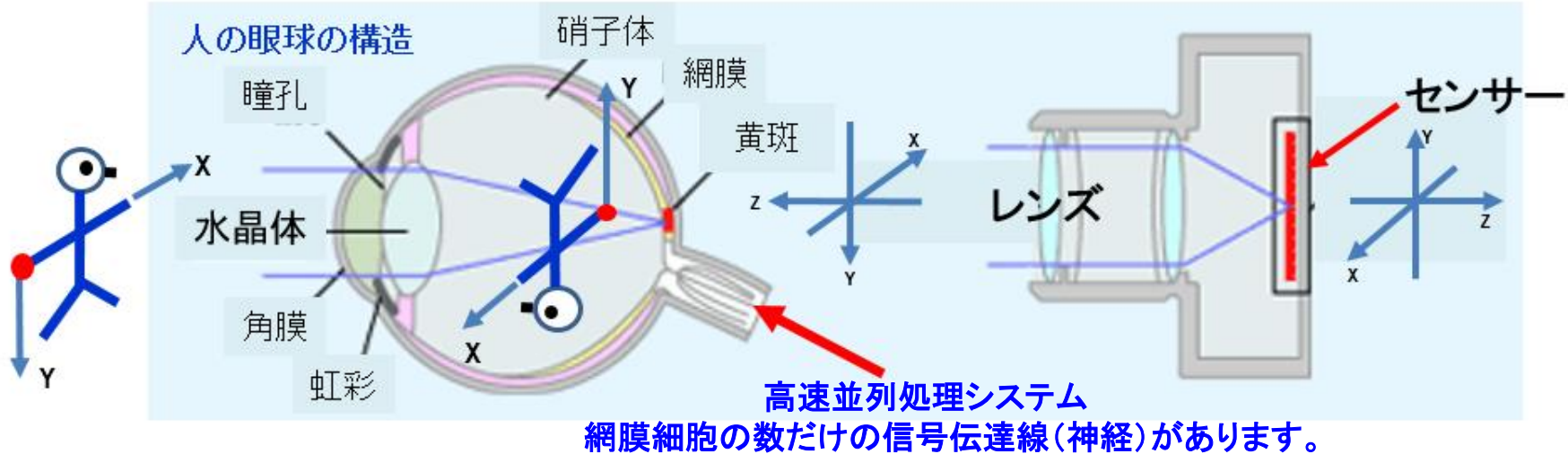


1. イメージセンサとは

- レンズからの光を電気信号に変換する半導体(撮像素子) : 例 人間の目の網膜
- その性能(感度と解像度)がデジタルカメラの画質を左右

レンズにより像は 左右(X)上下(Y)前後(Z) とも反対に結像します。

単純なカメラの構造



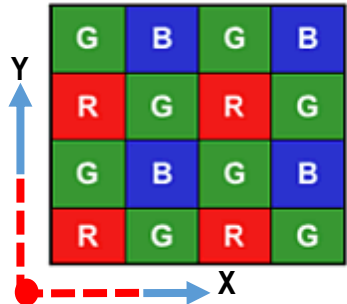
網膜細胞の数だけの信号伝達線(神経)があります。

- ・フォトセンサと呼ばれる小さな素子を多数、平面状の2次元行列に配置
- ・光の像を検知し、それを電気信号に変換
- ・変換した電気信号の取り扱い方法が2種類: **CCDとCMOSイメージセンサ**

CCD : Charge Coupled Device (電荷結合素子)

MOS: Metal Oxide Semiconductor (金属・酸化膜・半導体)

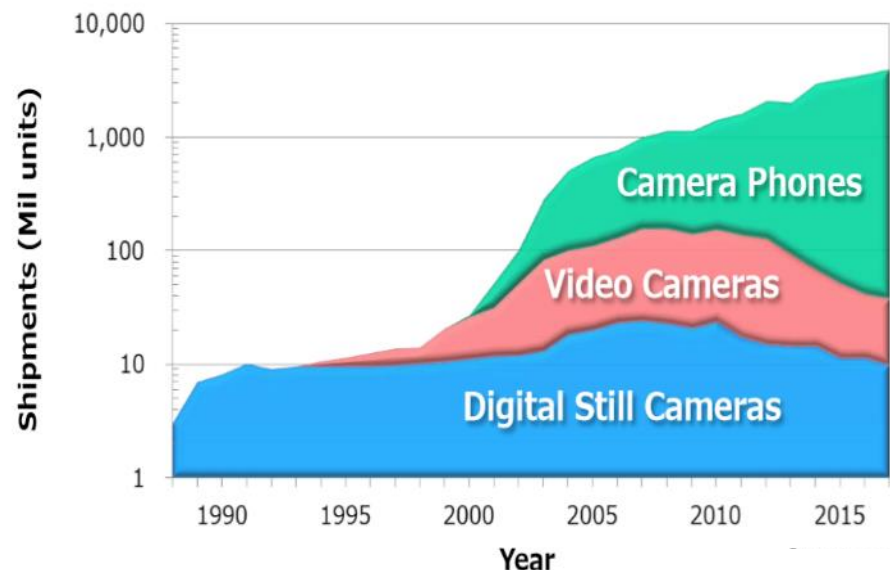
色の識別はカラーフィルターをチップの上に置き、それぞれの色の光を電気信号に変換します。



原色RGBフィルターの2次元配列の場合

2. イメージセンサの歴史と市場動向

History & Prospects of Camera Products



【Source: TSR et al.】

●世界のCMOSイメージセンサ市場

2017年 1.3兆円 前年比 +19% (出典 Insights)
2019年 SONY の半導体売上高が国内 TOP となる。
イメージセンサの売上高が大きく貢献。

●SONY のCMOSイメージセンサ市場シェア
世界シェア 50 %以上、世界のスマホの約 60 %、
世界のデジカメの約 80 %のシェアをSONYが持つ。

2018年 CIS* 2兆円市場用途別シェア

用途	シェア	前年比
モバイル向け	66.4%	12%
コンピュータ向け	8.2%	-7%
コンシューマ向け	7.8%	3%
セキュリティ向け	6.4%	20%
車載向け	6.3%	27%
産業向け	4.4%	17%
医療向け	0.6%	20%

国内半導体メーカーの売上高 単位:億円

国内メーカー	2019年度	2018年度
ソニー	10,400	8,793
キオクシア	9,700	12,639
ルネサス	...	7,050
シャープ	...	4,990
ローム	3,900	3,989
東芝	3,430	3,549
日亜化学	3,100	2,914
三菱電機	1,850	1,700

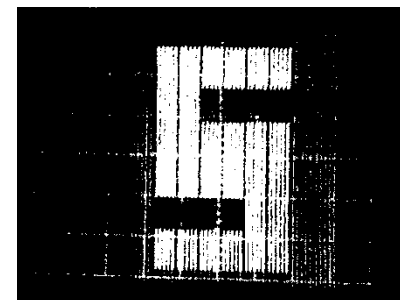
出典:マイナビニュース

●国内半導体15社の2019年度売上高は前年比3%減の5.1兆円の見通し。

2. イメージセンサの歴史と市場動向

1969年: CCDはベル研究所で発明 残像のない、
雑音のない映像を実現

1972年: 国内でCCD構造の半導体で文字の撮影に成功
 $8 \times 8 = 64$ 画素で「S」の字を表示 ⇒



1978年: **世界初の CCD video camera 発表**
残像のない、超感度 CCD カメラの商品化の動きが本格化
光超感度の要因は独自考案のP+NP接合型の
受光素子 (SONY HAD)の採用



1980年: **全日空ジャンボ機に搭載**
2 チップ構成カメラを商品化、残像のない映像、
離着時の模様等、機内スクリーンに映す



1990年代: CMOS微細化技術の進歩により
省エネのCMOS 型電荷転送回路が実現し
雑音比の小さなイメージセンサが主流に。

2020年: 撮像・演算 1 チップ化 & 3次元
集積回路の実現: 自動運転に応用 ⇒



出典: テスラ

イメージセンサーの開発歴史(感度が命)

- 1978年Sonyは 380H x 498 V の FT CCD Image Sensor に、世界初の超感度受光素子、P+NP接合型 Pinned Photodiode (HAD) を採用 (SSDM1978 Conference, Tokyo 1978).
- 低表面暗電流特性●感度が大きい●雑音が少ない、●残像のない映像を実現。
- 配線容量とClock 雑音が大きく、残像をもった MOS video camera を大きく引き離れた。

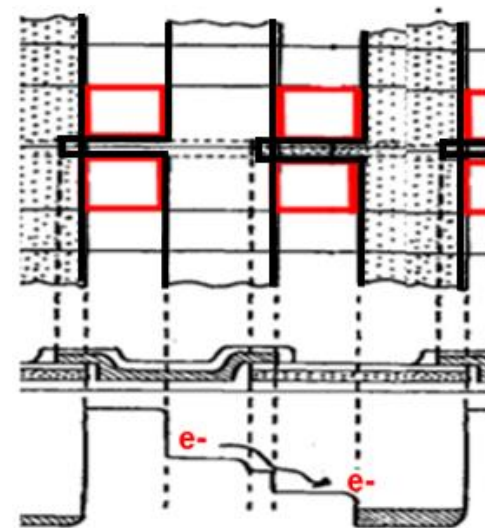
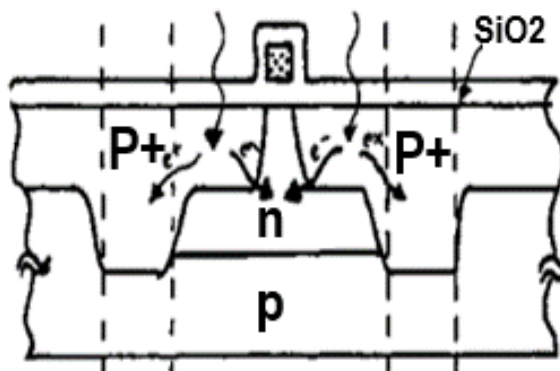
1980年7月 世界初 one chip のCCD Video Cameraを発表。

570H x 498V One-Chip FT CCD Color Imager, 1980

高感度HAD受光構造の提案



超感度受光素子
P+NP接合型
Pinned Photodiode
(Hole Accumulation Diode)



CCD 転送

8 mm video recorderと一体型 CCD Video Camera (1980)

●Kazuo Iwama (Sony) @ Tokyo Press Conference 1980

2. イメージセンサの歴史と市場動向

●イメージセンサの開発背景(感度が命)

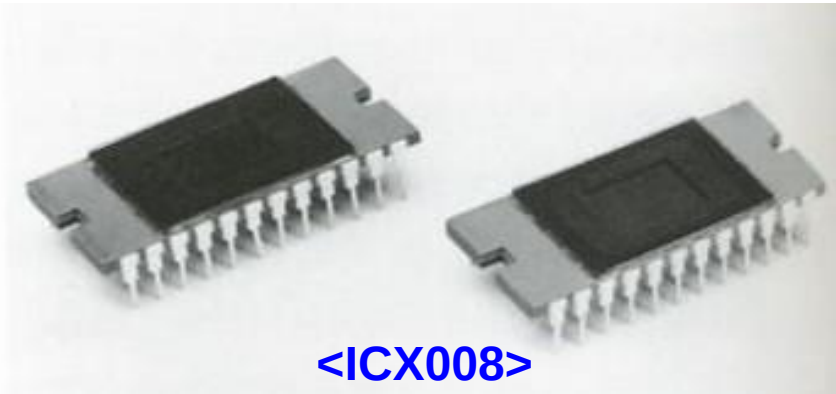
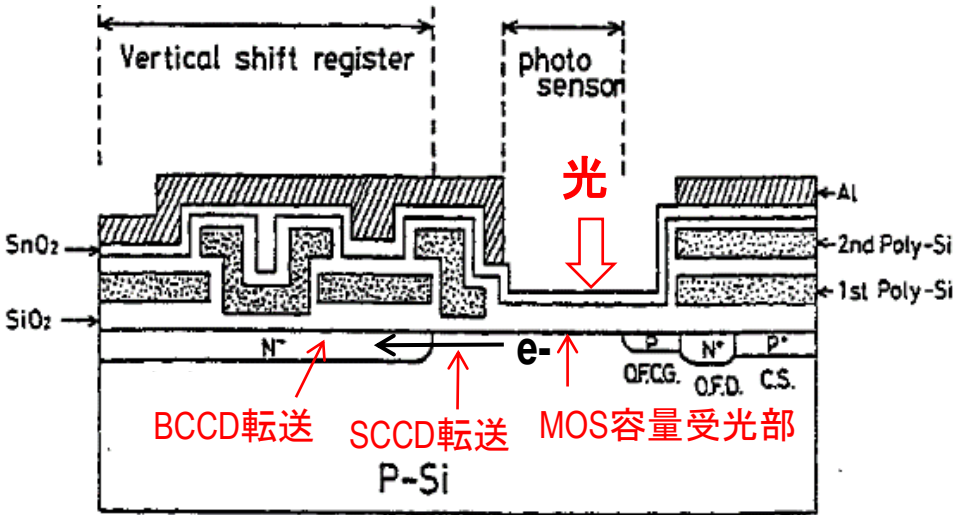
全日空ジャンボ機に2チップ構成カメラとしてソニーが商品化
ジャンボ機の離着時のもようを機内スクリーンに映し出す



XC-1 1980
Two-Chip Color Video Camera

all solid state = robustness

ジャンボ機の
コックピットに搭載



<ICX008>

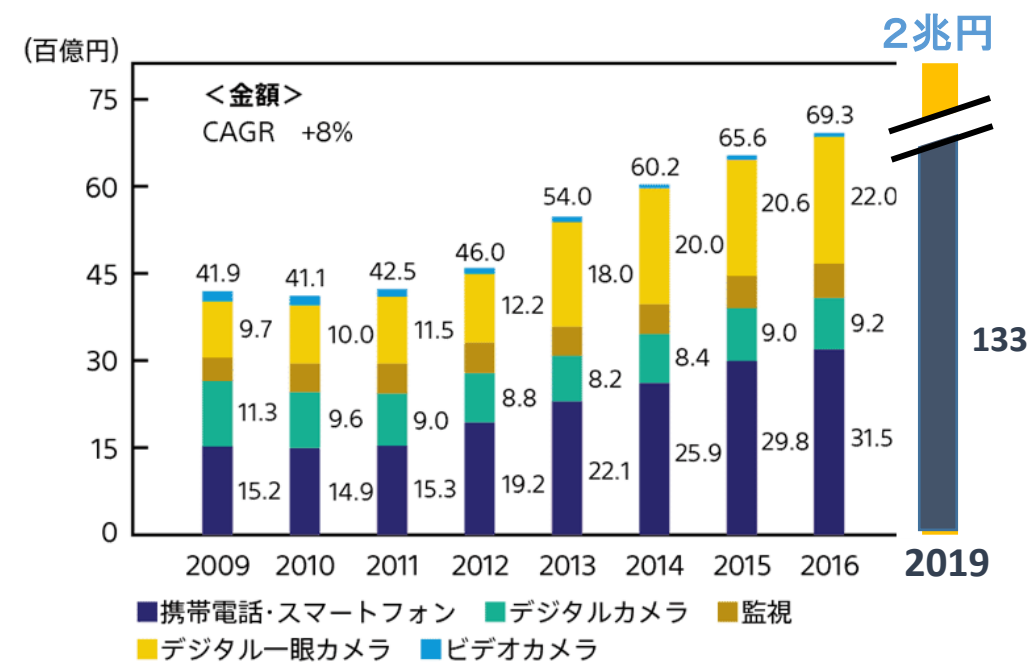
MOS 容量で受光して CCD 転送で 残像のない映像を実現した。

2. イメージセンサの歴史と市場動向

CMOSイメージセンサ(CIS: CMOS Image Sensor)産業は、急速に変化している。

携帯電話機市場と自動車市場にけん引されて、CIS市場は2014年から2020年の間に年平均成長率(CAGR)10.6%で成長し、2020年には 200億ドル規模になると見込まれる。

大きなビジネスチャンスが出現した応用分野は、自動車と医療機器、そして監視カメラといったところである。安全性を高める用途だけでなく、イメージングを「自動化」する用途に使われるためだ。



2018年のCIS2兆円市場用途別シェア

用途	シェア	前年比
モバイル向け	66.4%	12%
コンピュータ向け	8.2%	-7%
コンシューマ向け	7.8%	3%
セキュリティ向け	6.4%	20%
車載向け	6.3%	27%
産業向け	4.4%	17%
医療向け	0.6%	20%

2017年のCMOSイメージセンサ市場は前年比19%増の125億ドル規模に達した。(Insights調査報告)
2019年度のSONYのイメージセンサの売り上げは1兆円を超え、世界シェア 50% 以上の見通し。

See <https://news.mynavi.jp/article/20190717-860632>

2. イメージセンサの歴史と市場動向

CMOSイメージセンサの製造企業

設計・製造技術の進化が CMOSイメージセンサの性能向上を推し進め、それにより CIS の応用事例にも 変化が生じている。スマートフォン が 小型カメラに取って代わり、そしてアクションカメラが ビデオカメラに取って代わってしまった。

2015年 ランク	2015年 シェア	2019年 ランク	2019年 シェア
(1) Sony	32%	(1) Sony	50%
(2) OmniVision	22%	(2)samsung	24%
(3) Samsung	19%	(3)OmniVision	14%
(4) Sharp	12%	(4)STMicro	6%
(5) SK Hynix	8%	(5)Panasonic	1%
Others	7%	Others	5%
売上高合計	100% 62.5億 \$	売上高合計	100% 200億 \$



See <https://news.mynavi.jp/article/20190717-860632>

出典：イーサプライ

2017年のCMOSイメージセンサ市場は前年比19%増の125億ドル規模に達した。(Insights調査報告)
2019年度のSONYのイメージセンサの売り上げは1兆円を超え、世界シェア 50% 以上の見通し。

2. イメージセンサの歴史と市場動向

表面照射型(1)

光集率が悪い

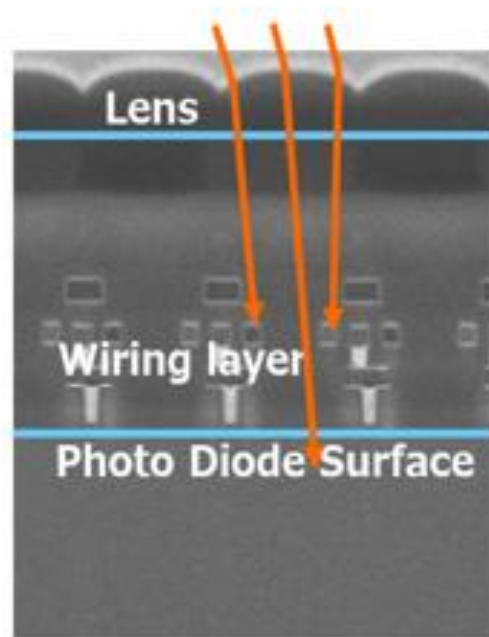
表面照射型(2)

光集率の改善(光ガイド構造)

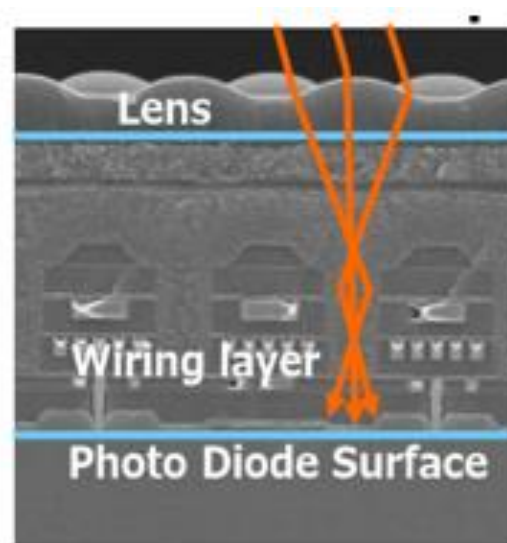
裏面照射型

光集率の最適化(積層型集積回路の実現)

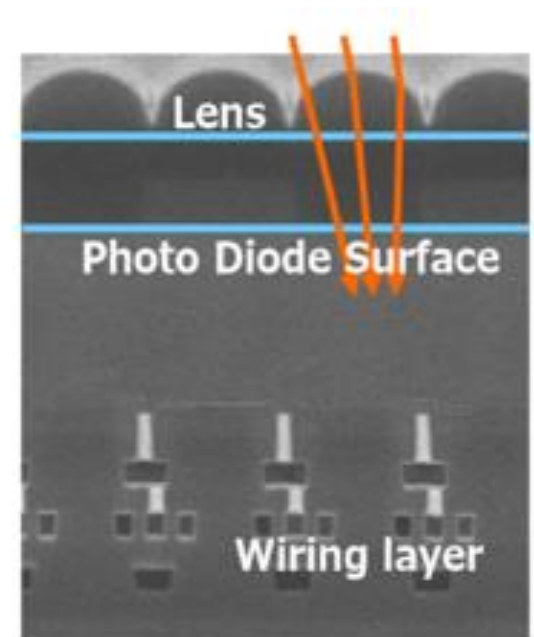
構造断面写真



表面照射型(1)



表面照射型(2)



裏面照射型

3. イメージセンサの基本構造

Image Sensorの基本構造は2つの重要な部分に分岐 & 進化。

(1) 人間の目の網膜細胞に相当する、光を電気信号に変換する半導体受光素。

(A) N+P接合型 (光感度が悪く、青色感度不足し、残像がひどかった。)

(B) P+NP 型接合 (光感度良好、残像なし。しかし過剰照射光からの画像保護機能なし。)

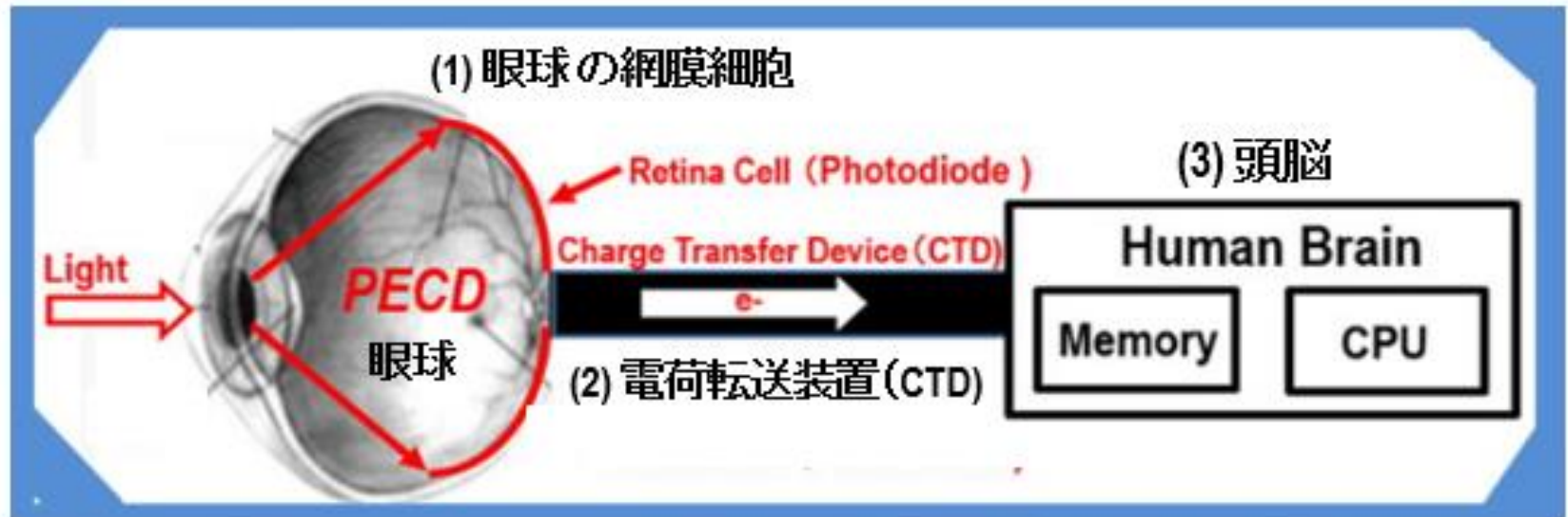
(C) P+NPNsub接合型 (別称HAD、光感度良好、残像なし、かつ過剰照射光保護機能あり。)

(2) 信号電荷を脳まで伝達する神経細胞の束に相当する、電荷転送装置 (CTD)

(A) MOS 型電荷転送装置 (配線容量雑音とClock雑音が大きかった。)

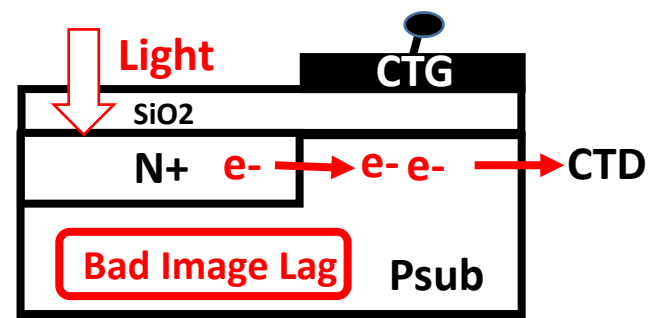
(B) CCD型電荷転送装置 (配線容量雑音もClock雑音なし、しかし消費電力が大きい。)

(C) CMOS型電荷転送装置 (配線容量雑音もClock雑音なし、消費電力も小さい。)



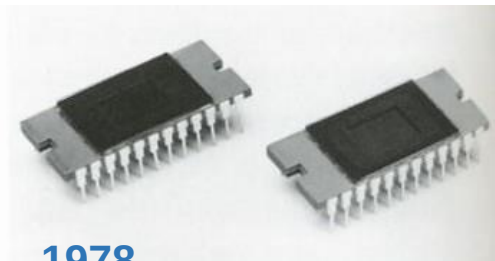
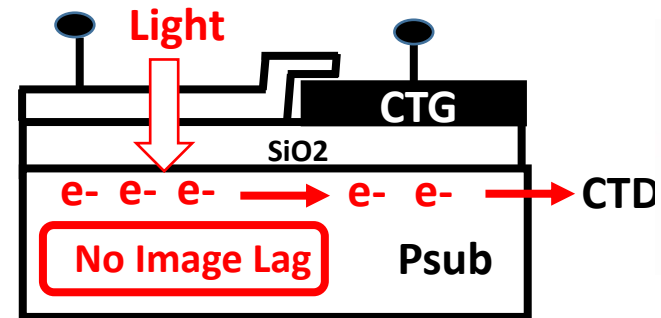
3. イメージセンサの基本構造

(1) N+P junction Photodiode in 1960s



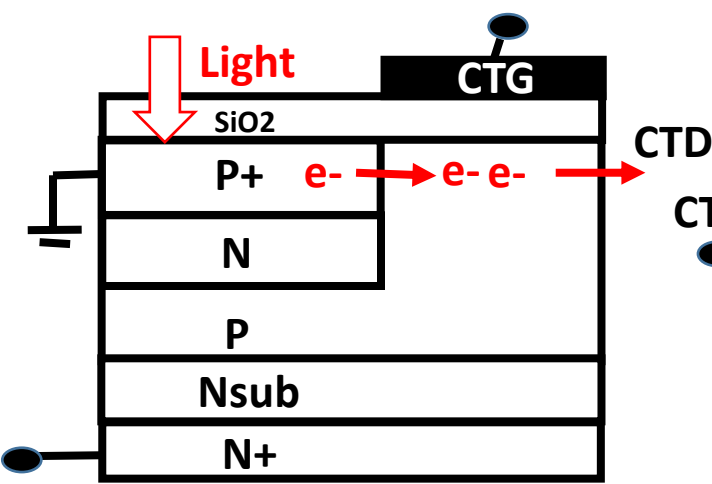
(2) Transparent Electrode CCD/MOS Photo Capacitor (1980)

Sony ICX-008 CCD chips (1980)



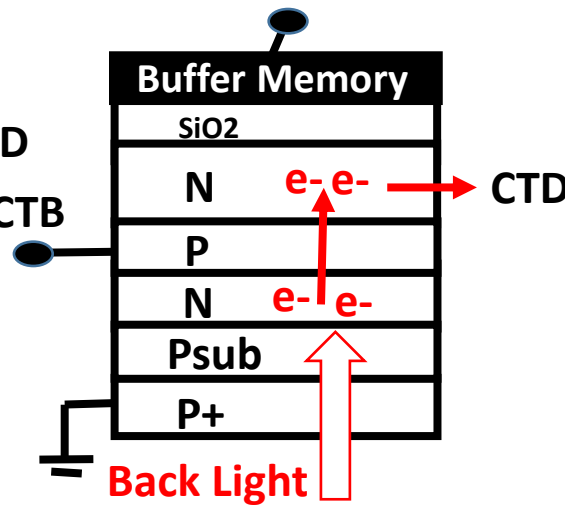
1978

(3) P+NPNsub 接合型 Photodiode Hole Accumulation Diode (HAD) with Vertical Overflow Drain(VOD)



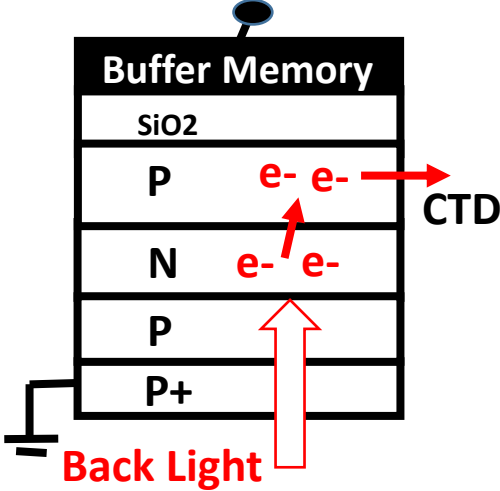
JAP 1975-134985

(4) P+PNPN接合型 Photodiode Global Shutter Buffer MOS Memory for CMOS imagers



JAP 1975-127646

(5) P+PNP 接合型 Photodiode Global Shutter Buffer MOS Memory for CMOS imagers

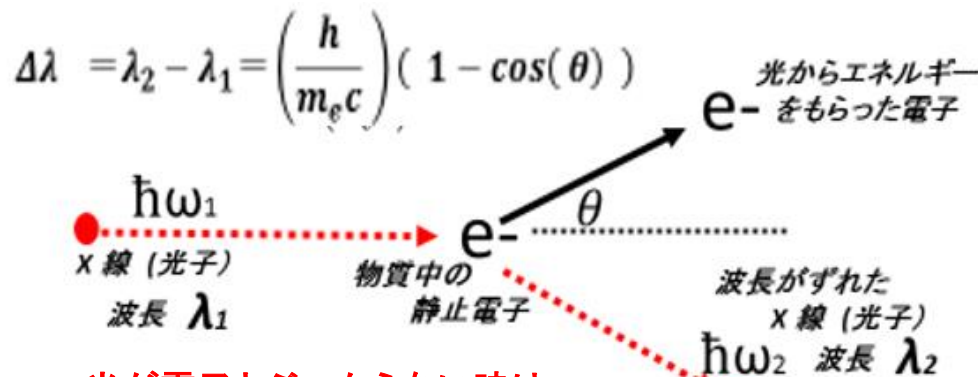


JAP 1975-127647

4. イメージセンサの動作原理

● 光は波でもあり、また粒子(光子)でもある (Albert Einstein 1900)

- 玉突きと同じ古典物理モデルで記述できる。
- 反射光の角度と波長の関係から電子の質量が求まる！



$$E = \hbar \omega = h f = h c / \lambda$$
$$E \text{ (eV)} = 1.24 / \lambda \text{ (}\mu\text{m)}$$

光のエネルギー (E) は周波数 (f) に比例し
 $c = f \lambda$ より、光の波長 (λ) に反比例する。

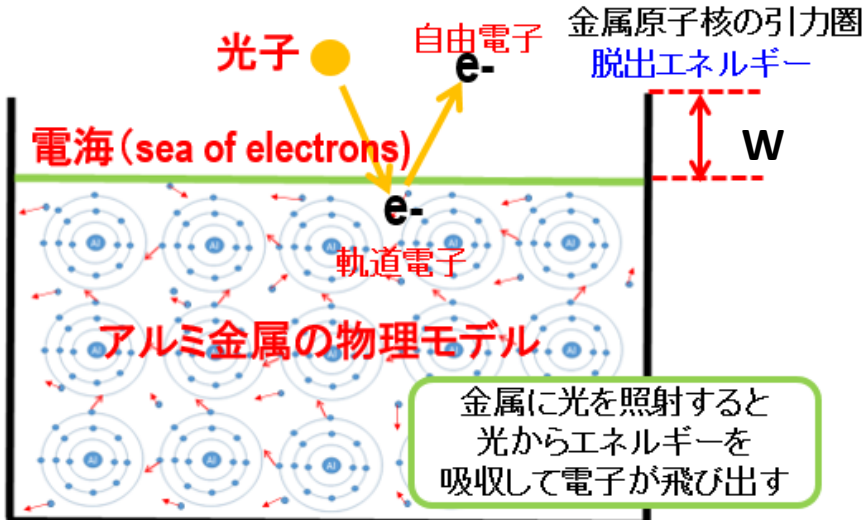
光が電子とぶつからない時は
 $\theta = 0$ で光は直進し波長の変化はない。

(脱出エネルギー) = 半導体のEnergy Gap



For Silicon, $E_g = 1.10 \text{ eV}$ and $\lambda = 1.12 \mu\text{m}$

- 金属の物理モデル (器の中に入った水モデル)



金属に光を照射すると
光からエネルギーを
吸収して電子が飛び出す

4. イメージセンサの動作原理

光子

光子(エネルギーの粒)が 電子 (e-) にぶつかる様子

光子

銀の原子の中の
電子(e-)と衝突して
光子が跳ね返る。。。

金属は光を反射する。
光を通さない！

金属(銀)には自由電子(e^-)が多数存在する。

鏡の断面構造

鏡はどうして光を反射するのか？

光子

光子

入射光

反射光

絶縁体である
SiO₂などの
ガラスは
光を通す。

絶縁体

金属

金属

光吸収体を含んだ有機膜

ガラス (5 mm)

銀メッキ膜 (80nm)

銅メッキ膜 (40nm)

塗装膜 (50μm)

玉突きと同じ物理モデルで記述

電子が主役

4. イメージセンサの動作原理

●原子構造(原子核と電子)と太陽系(太陽と惑星)の類似

Silicon原子(中性) = Hole (Si + イオン) + 自由電子 (e-)

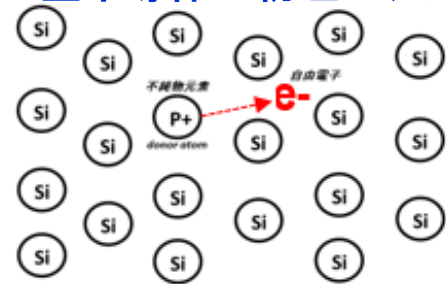
金属に波長の短い光を照射すると電子が飛び出すのを発見、しかし波長の長い強い(光量の多い)光を照しても電子は飛び出さない？

- 波長が短い程、光の粒(光子)の持つエネルギーは大きい。

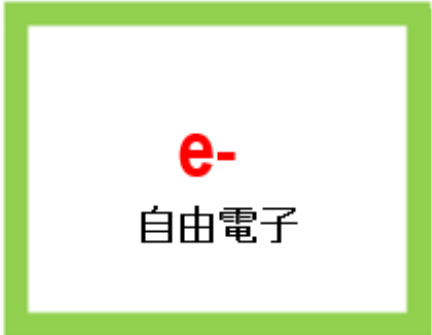
$$E = \hbar \omega = h f = h c / \lambda$$
$$E \text{ (eV)} = 1.24 / \lambda \text{ (}\mu\text{m)}$$

- 自由電子は当然空間を自由に浮遊し移動する。しかし、結晶体の中でも、結晶体の原子核の引力圏の外では自由に電子は浮遊することができる。

N 型半導体の物理モデル

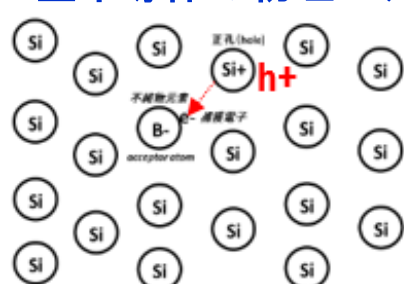


空っぽの箱

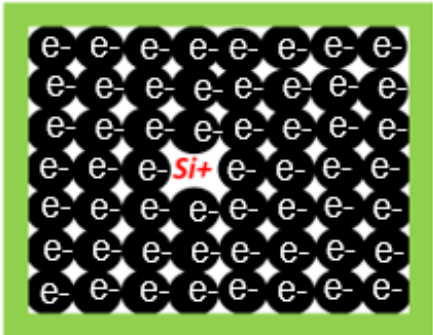


電子が主役

P 型半導体の物理モデル



ボールがぎっしり詰まった箱

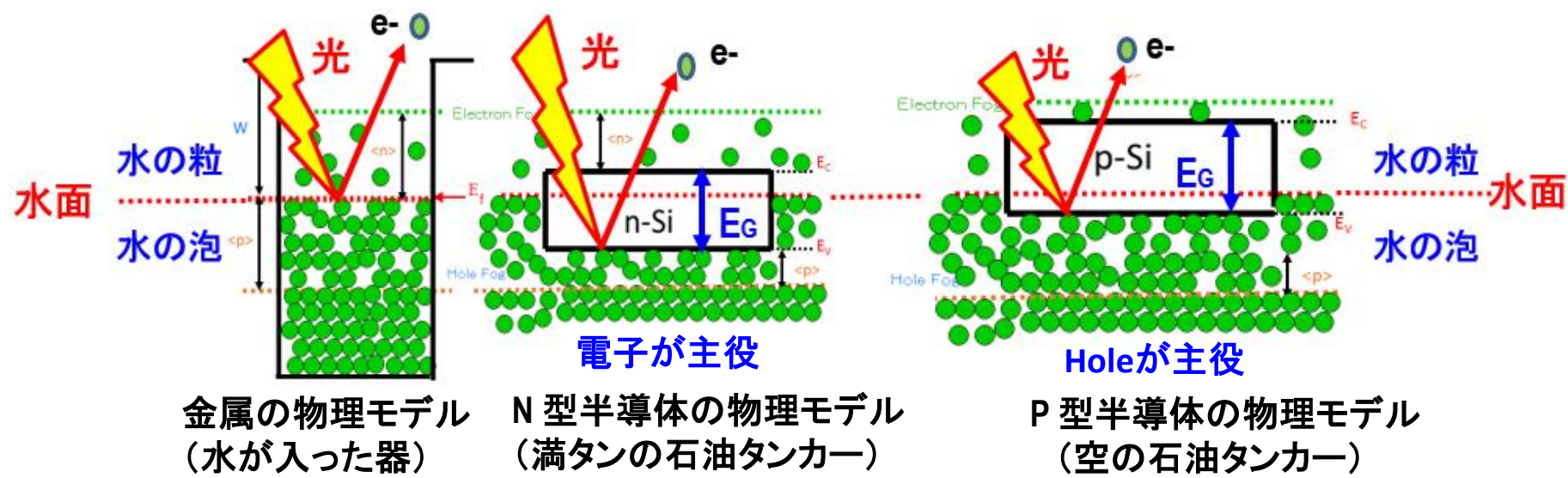


Holeが主役

4. イメージセンサの動作原理

●原子構造(原子核と電子)と太陽系(太陽と惑星)の類似

Silicon原子(中性) = Hole (Si + イオン) + 自由電子 (e-)



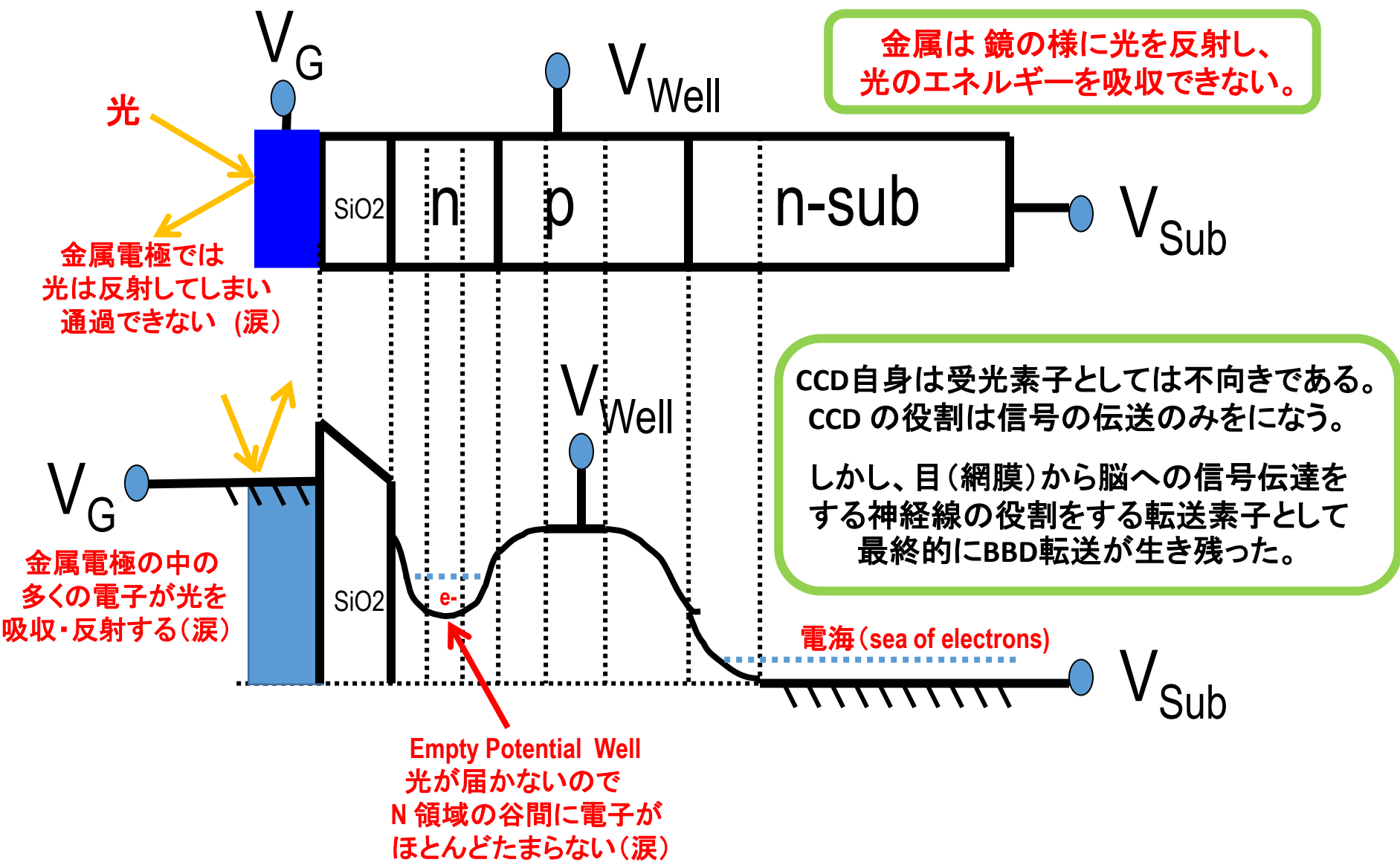
$$E = \hbar \omega = h f = h c / \lambda$$
$$E \text{ (eV)} = 1.24 / \lambda \text{ (\mu m)}$$

For Silicon, $E_g = 1.10 \text{ eV}$ and $\lambda = 1.12 \text{ }\mu\text{m}$

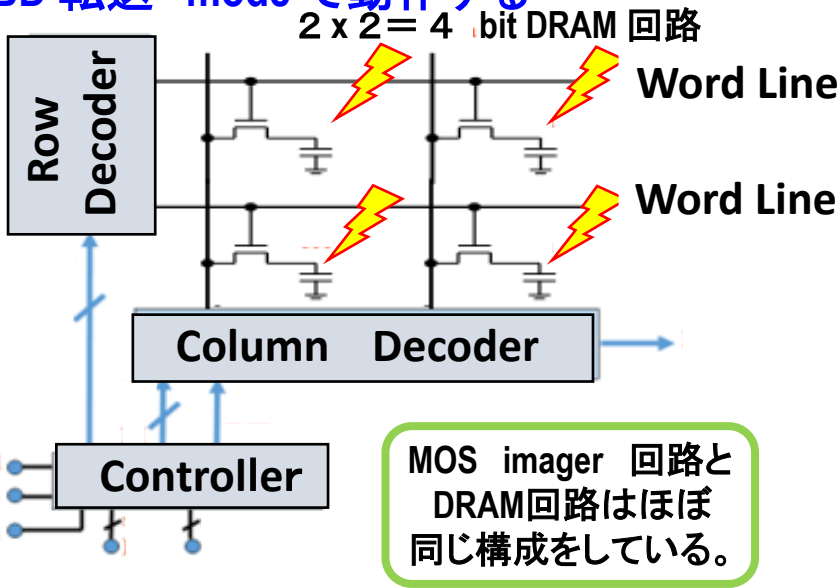
光のエネルギー (E) は周波数 (f) に比例し
 $c = f \lambda$ より、光の波長 (λ) に反比例する。

4. イメージセンサの動作原理

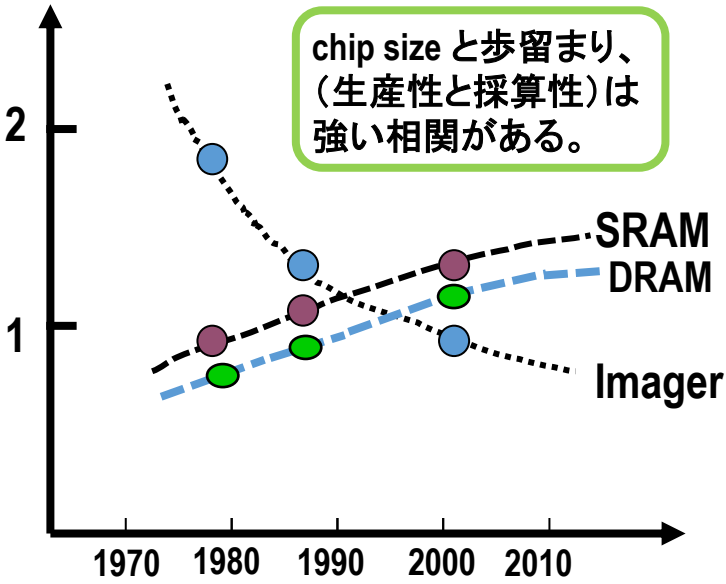
●イメージセンサの開発背景(感度が命)



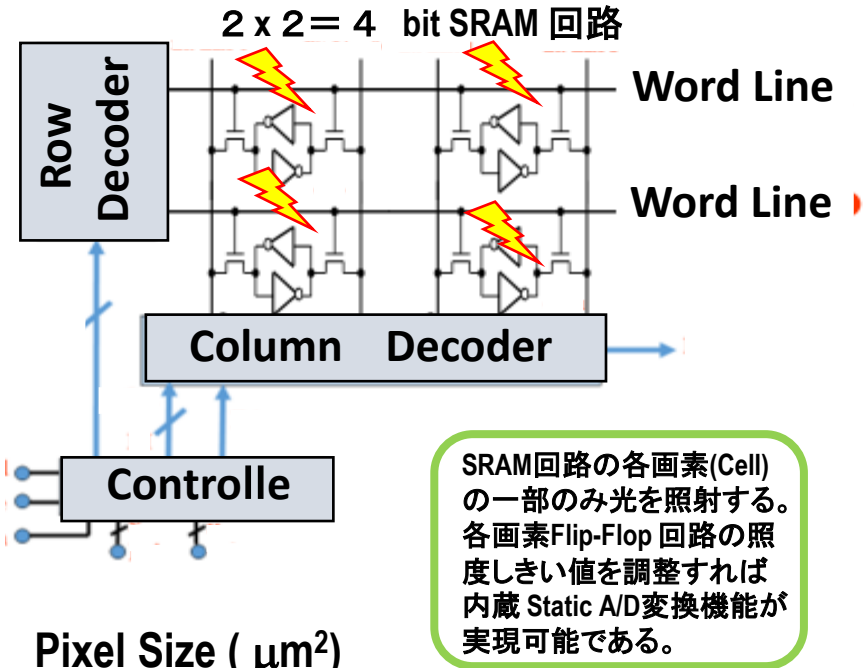
●BBD 転送 mode で動作する



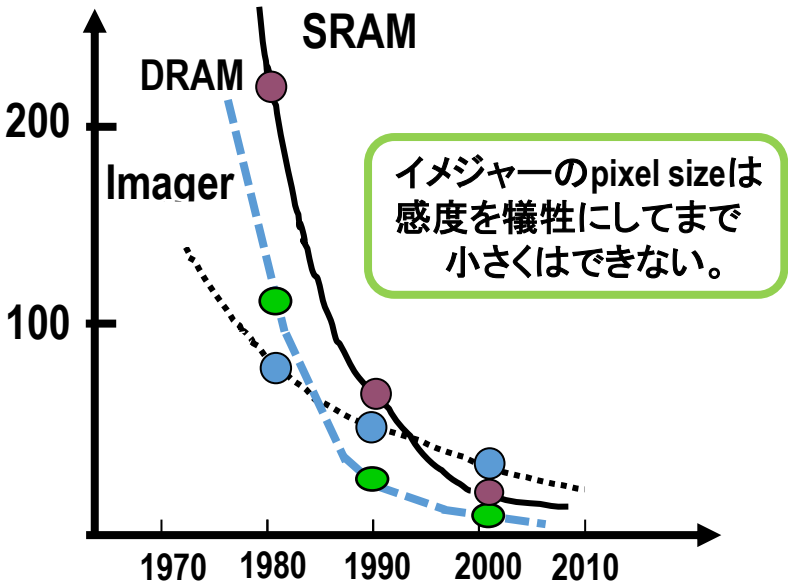
Chip Size (cm²)



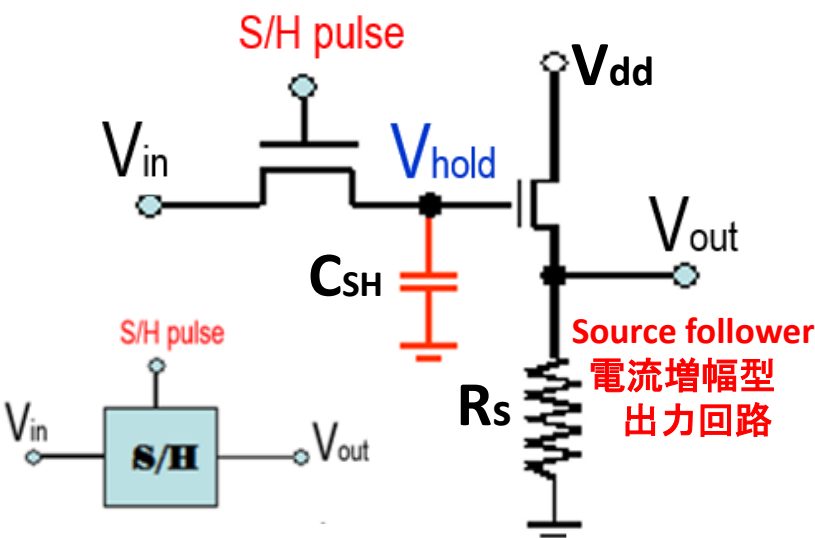
●AMI 転送 mode で動作する



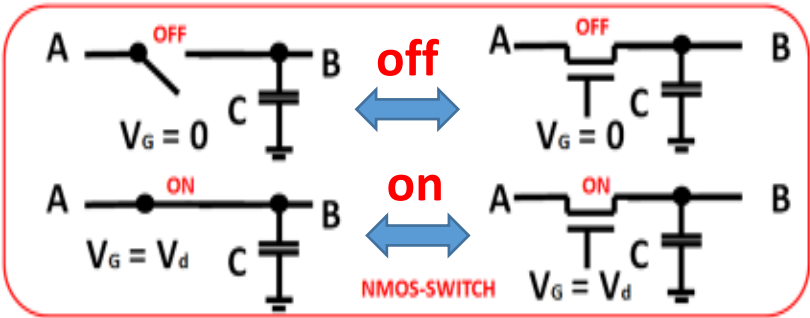
Pixel Size (μm²)



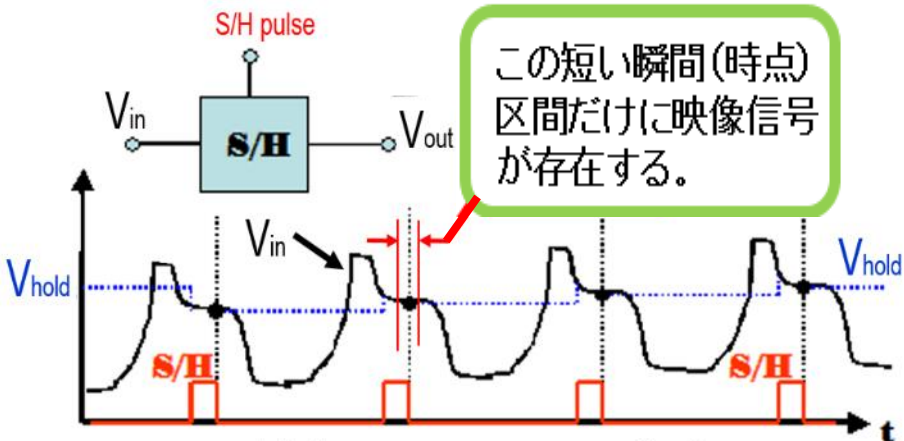
●CMOS イメジャー が有利になった理由は、最初は CCDイメジャーに応用された技術であった、S/H 回路を3個使う手法（Correlated Double Sampling Hold 回路 by M. White, 1972）により、雑音が激減し実用に耐えるレベルになったことが大きい。



MOS Transistor Switch のON/OFF動作



従来の Single Sampling Hold 回路



Correlated Double Sampling Hold 回路

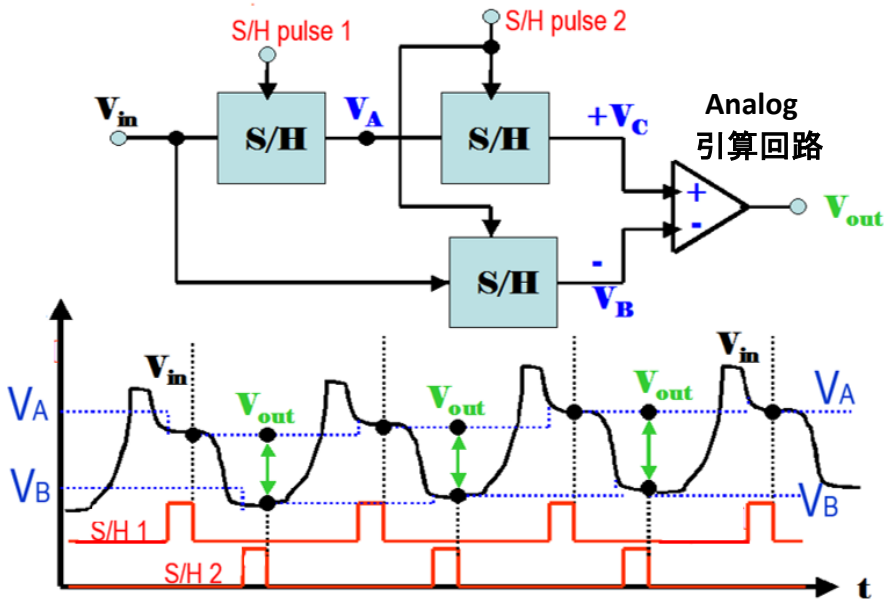
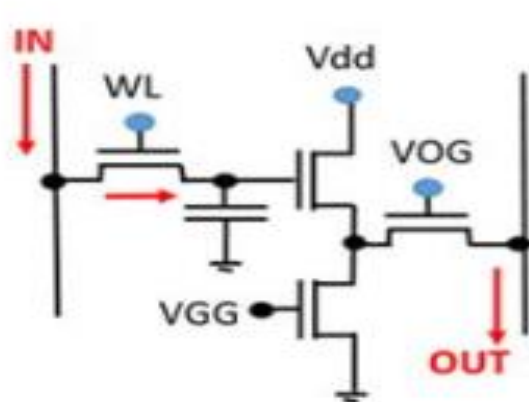
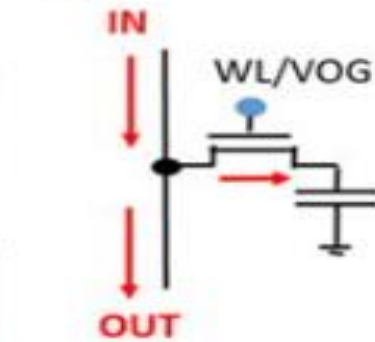


Image sensor の映像信号は雑音の中に埋もれている！

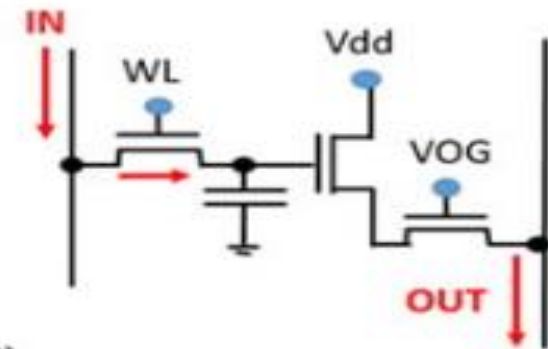
History of DRAM Cell



Conventional DRAM Cell
before 1966



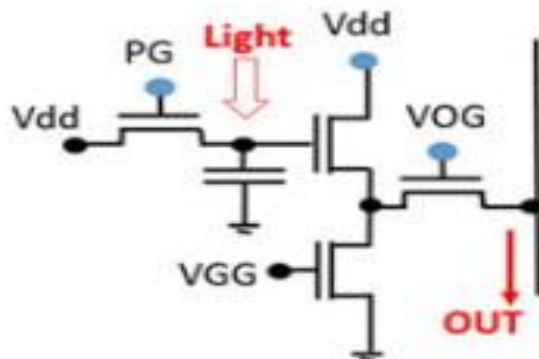
R.H. Dennard (IBM 1966)



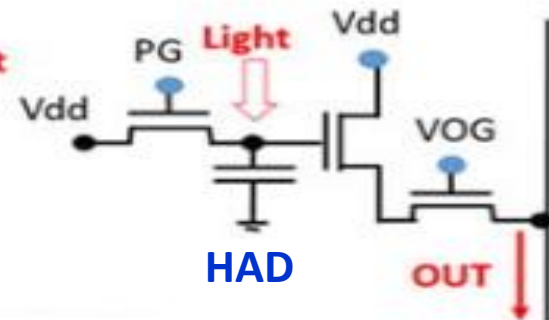
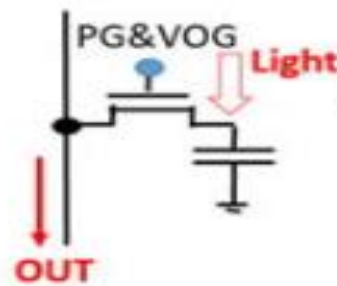
Bill Regitz (Honeywell 1969)

Intel 1101 @ISSCC1970, Philadelphia.

History of Photo Diode Cell



Conventional Active Pixel Circuit
Photo Diode in 1966



after Peter Nobel, 1966~1968

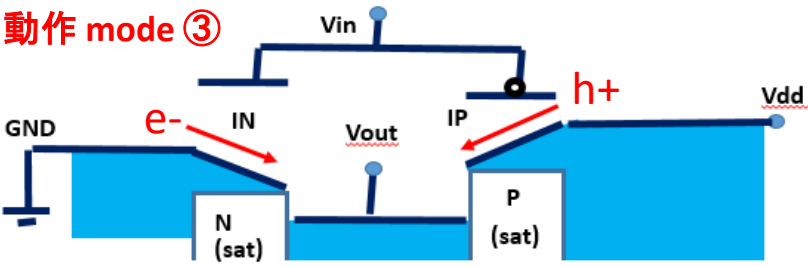
Sony HAD 1975 = Sony Hole Accumulation Diode = Pinned Photo Diode (PPD) + VOD function

4. イメージセンサの動作原理

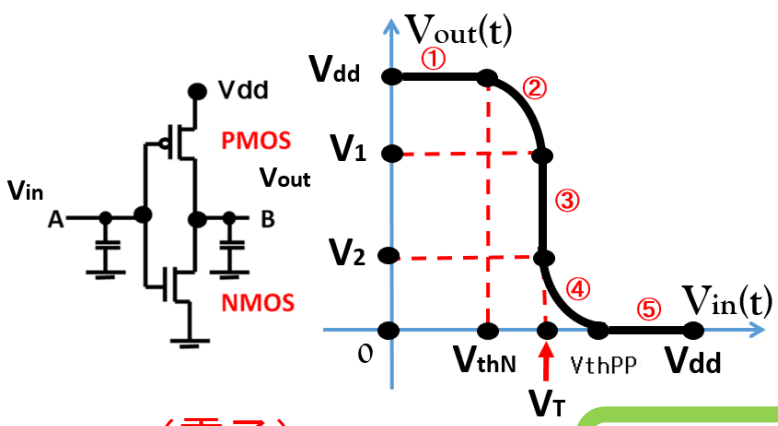
●CCDイメージャーより CMOSイメージャーが有利になった理由は、低消費電力のCMOS デジタル回路が使える為で、CMOS inverter回路特性から理解できる。

●CMOS inverter回路の水門モデル

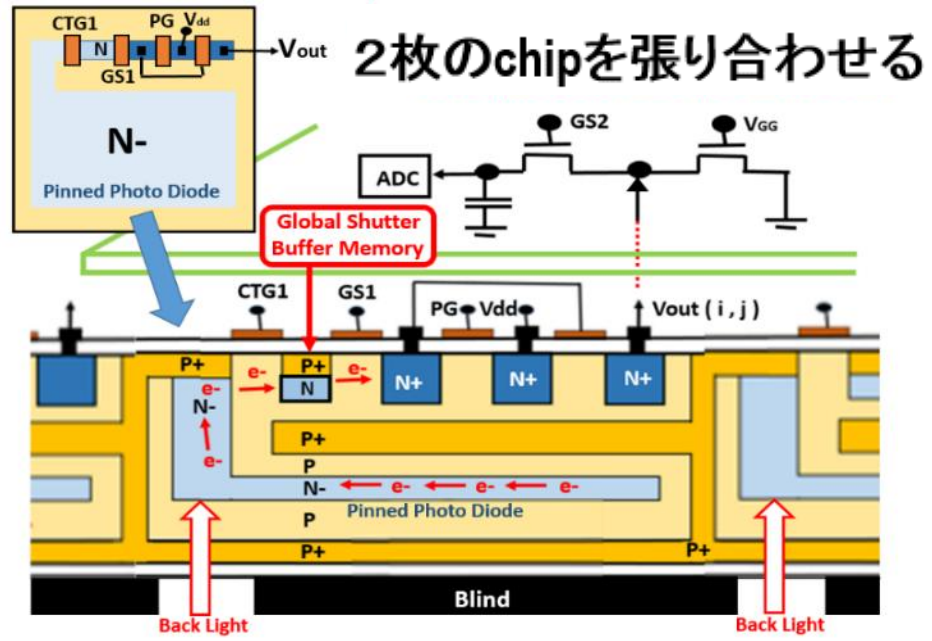
動作 mode ③



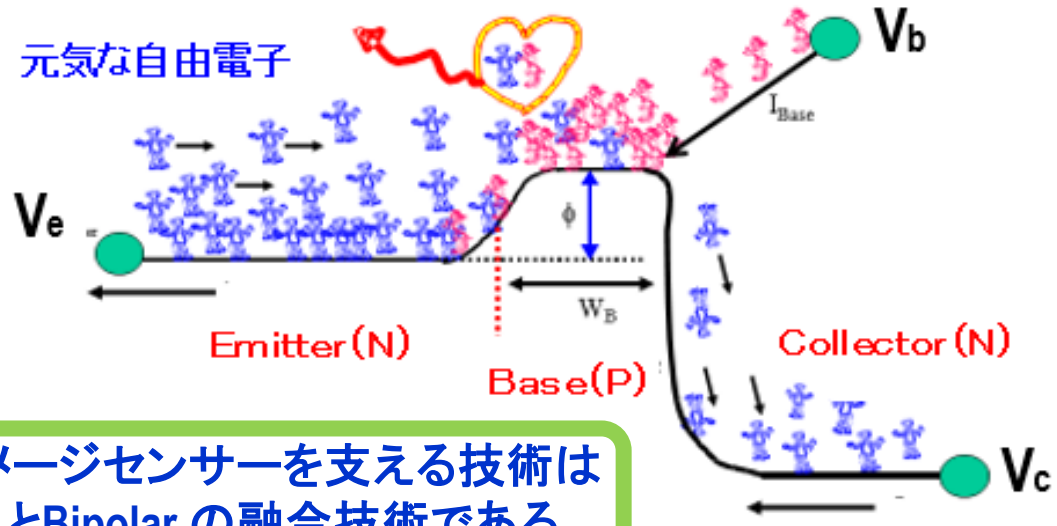
●CMOS inverter回路の入出力特性



e- = (電子)
h+ = (正孔)



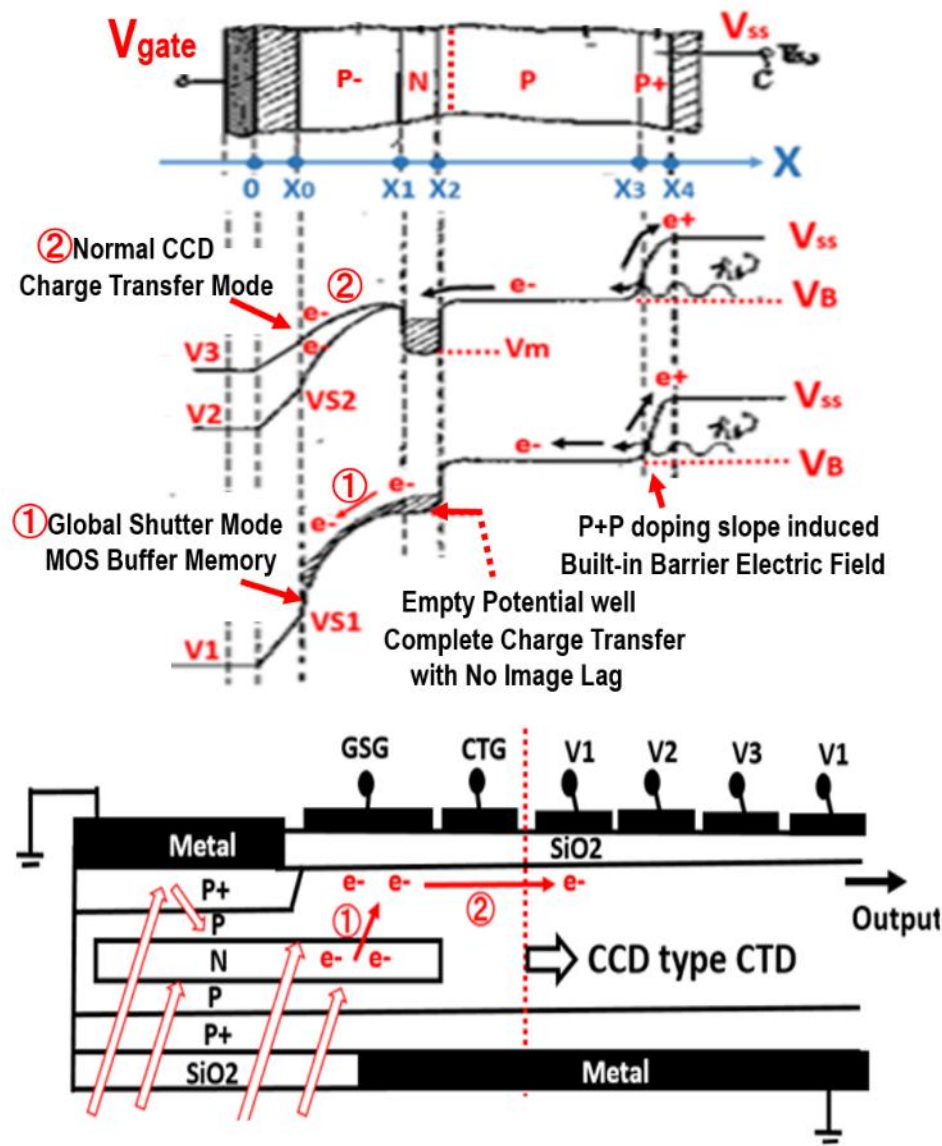
●NPN transistor の動作原理



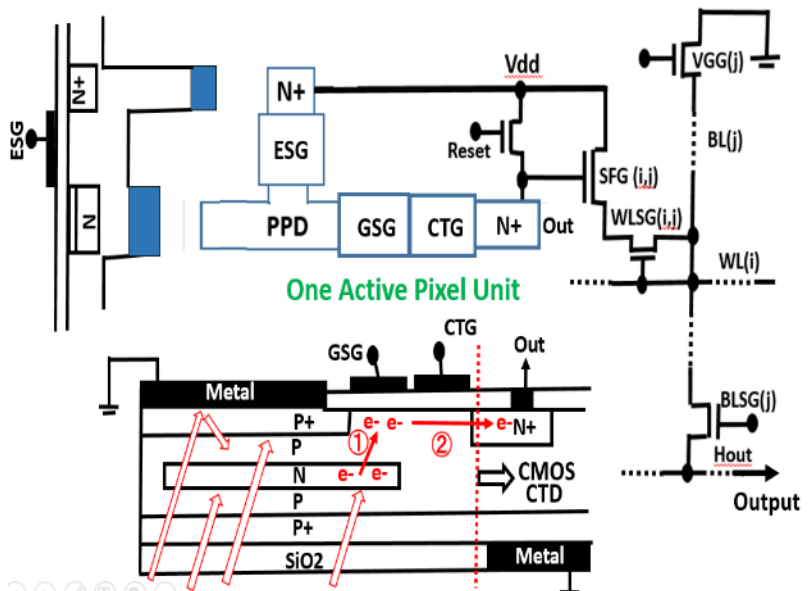
賢いイメージセンサーを支える技術は CMOS とBipolar の融合技術である。

4. イメージセンサの動作原理

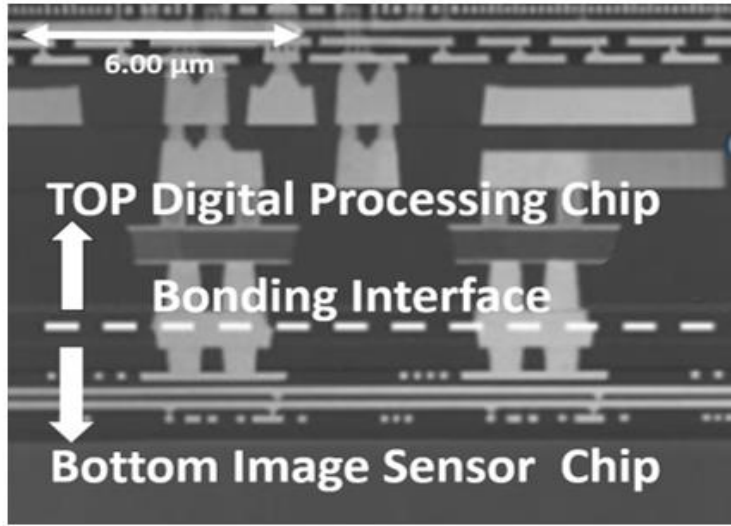
P+PNPP+接合型 Buried Pinned Photodiode を採用した
裏面照射型 CCD Image Sensor (JAP 1975-127647)



裏面照射型 CMOS Image Sensor (2020)



CMOS Image Sensor の断面図(2020)

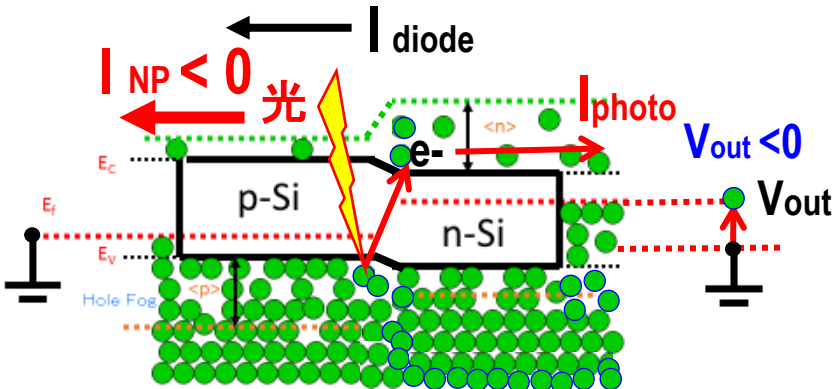


4. イメージセンサの動作原理

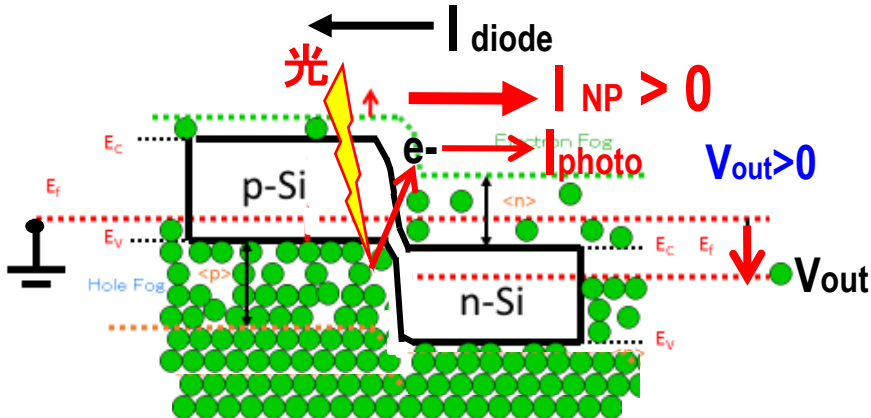
- イメージセンサーと太陽電池の動作原理は同じだが、
ただ受光絵素構造の個数と大きさが違う！

$$I_{diode} = I_{NP} + I_{photo}$$

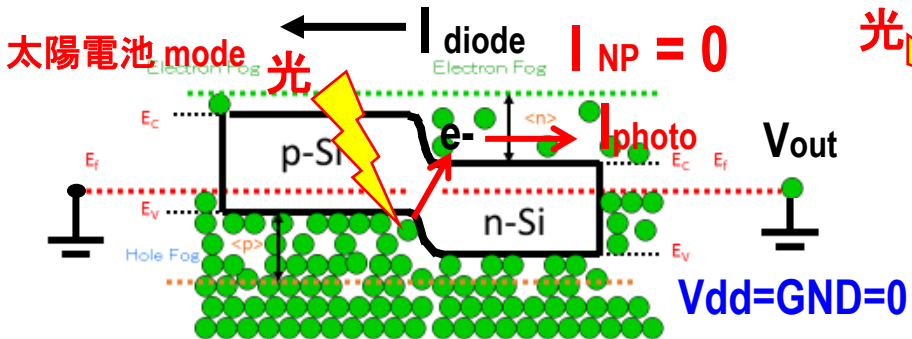
(1)電源電圧 $V_{dd}<0$ (順バイアス mode) の場合



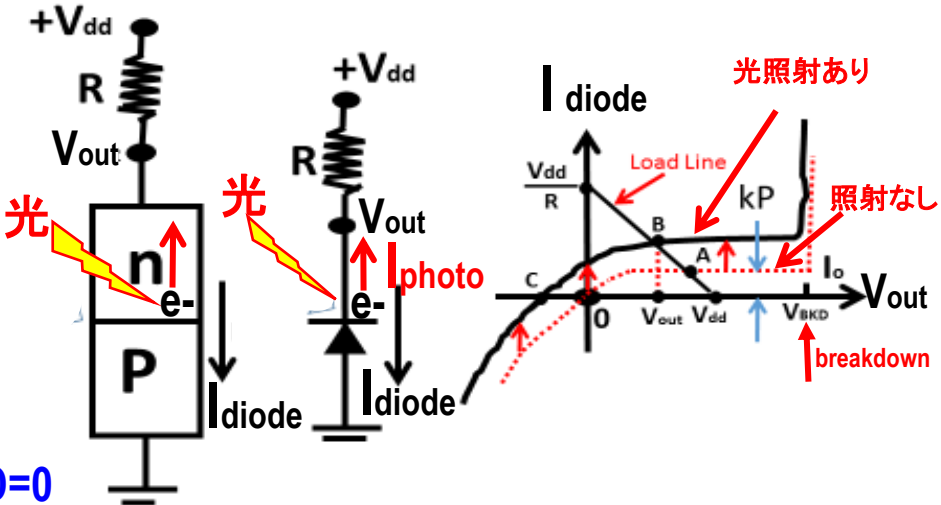
(3)電源電圧 $V_{dd}>0$ (逆バイアス mode) の場合



(2)電源電圧 $V_{dd}=GND=0$ (NOバイアス mode) の場合

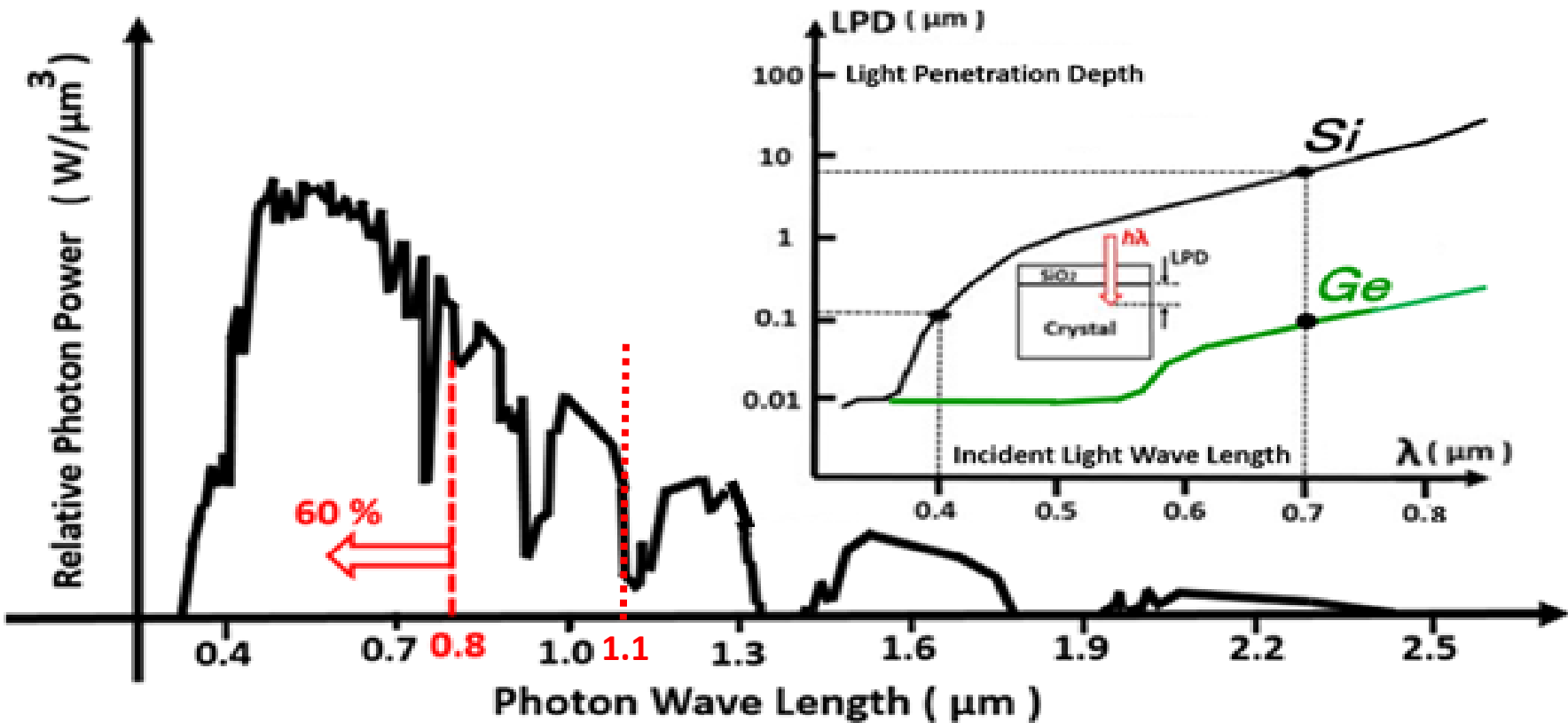


光を照射すると電流が流れる！



● 4つの動作modeどれも電気信号を取り出せる。

太陽光の波長スペクトラム



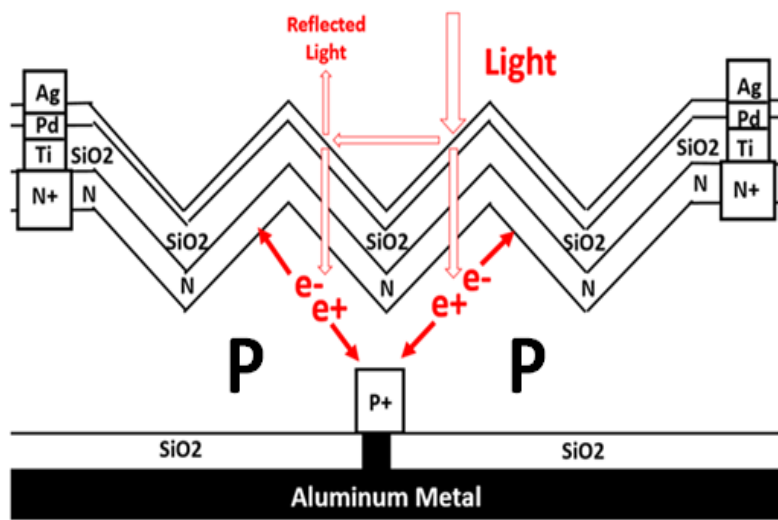
$$E = \hbar \omega = h f = h c / \lambda$$
$$E \text{ (eV)} = 1.24 / \lambda \text{ (}\mu\text{m)}$$

For Silicon, $E_g = 1.10 \text{ eV}$ and $\lambda = 1.12 \mu\text{m}$

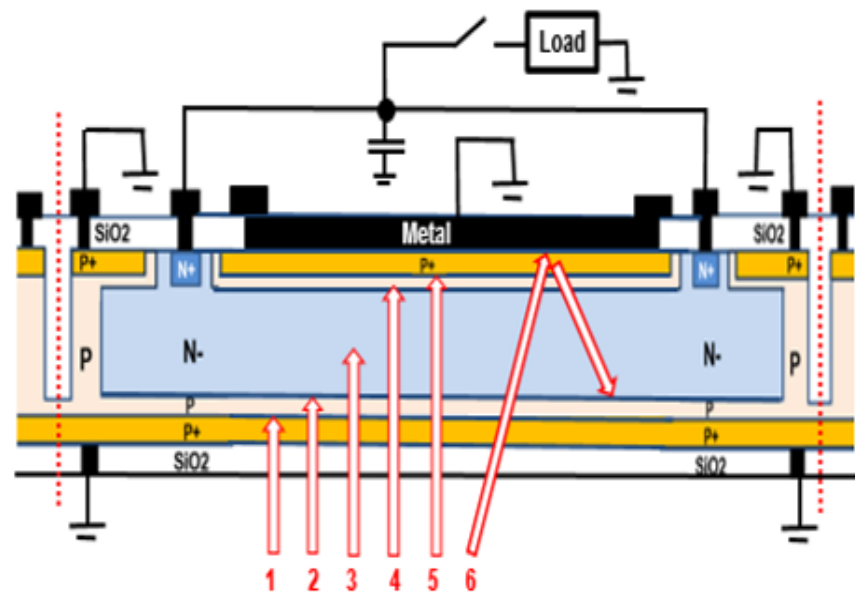
波長が1.12 μm 以上の遠赤外線は原理的にシリコン結晶太陽電池では光電変換できない。

4. イメージセンサの動作原理

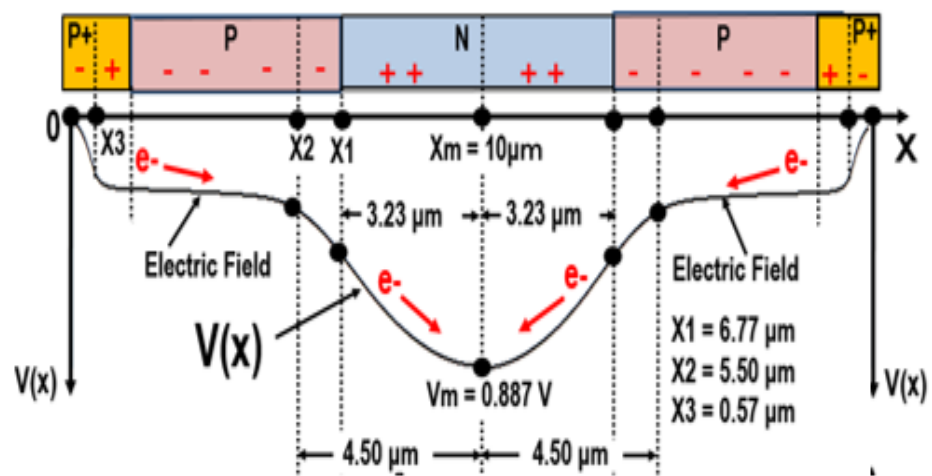
NP Single 接合型太陽電池 (従来構造)



PNP Double 接合型太陽電池 (PPD構造)



PNP Double 接合型太陽電池の電位図



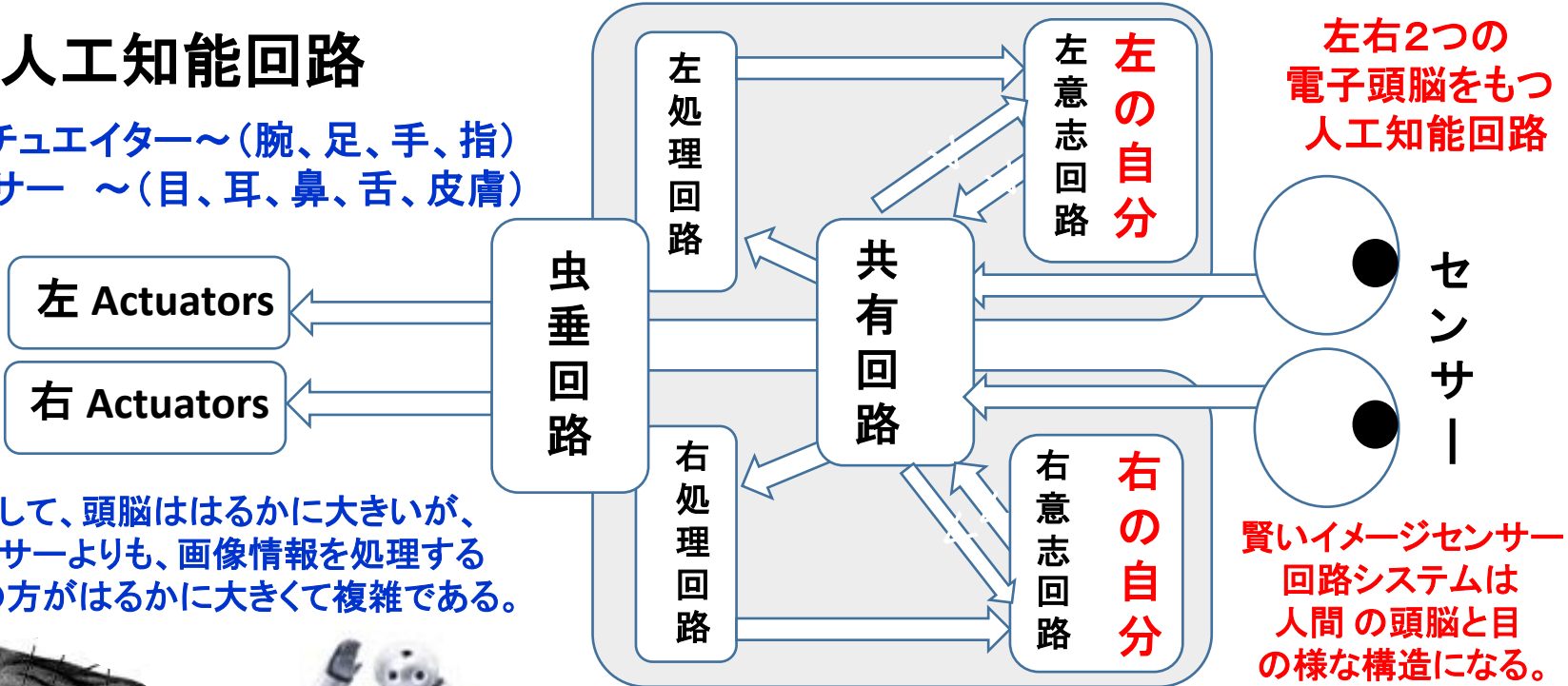
Double PNP 接合型太陽電池 (PPD構造) では光電変換に必要な空乏層領域が、PN接合とNP接合の double になる。さらに表面の濃いP+P濃度勾配 Hole Accumulation Diode (HAD) 構造により、表面での短波長光電効率が向上。

5. 賢いイメージセンサーとは？

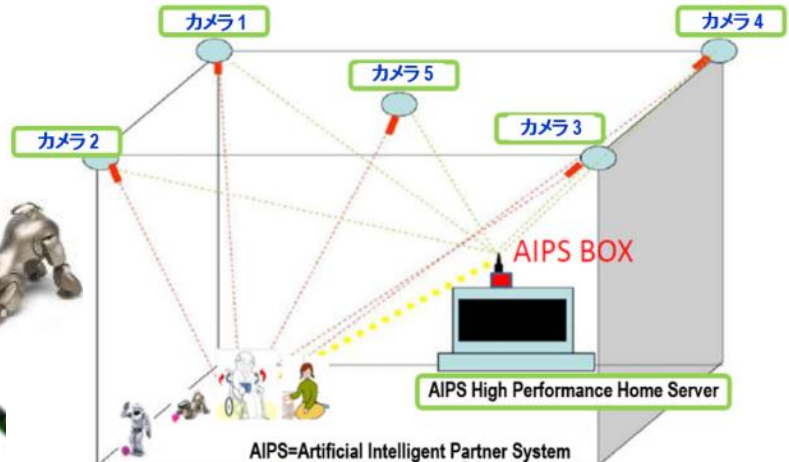
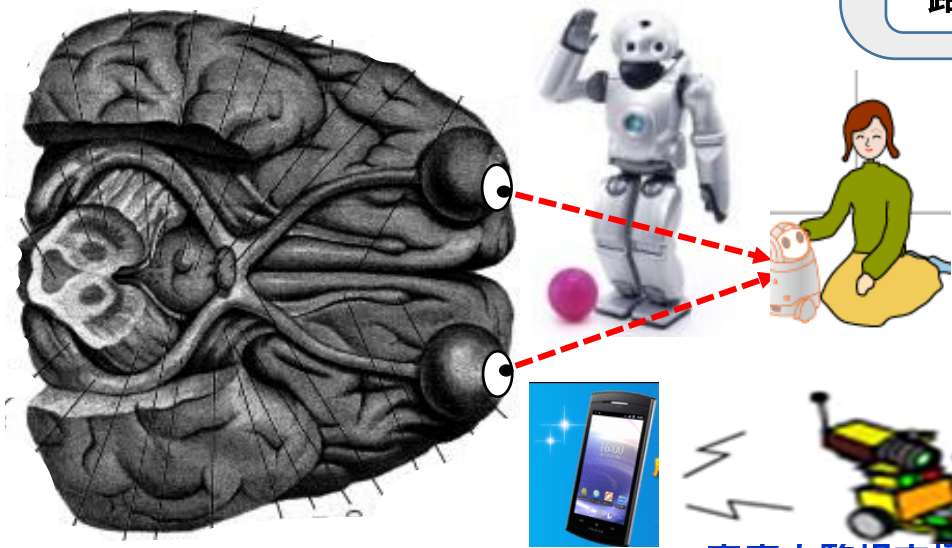
●イメージセンサー(賢い電子の目)にはいろいろな信号処理用の賢い回路が必要である。

人工知能回路

アクチュエーター～(腕、足、手、指)
センサー ～(目、耳、鼻、舌、皮膚)



眼球と比較して、頭脳ははるかに大きい、同様にセンサーよりも、画像情報を処理する演算回路の方がはるかに大きくて複雑である。

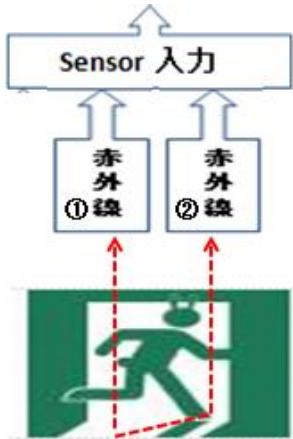
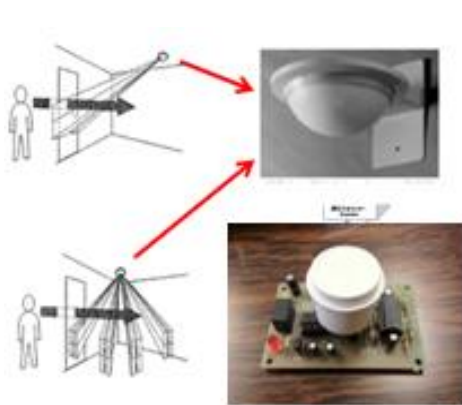
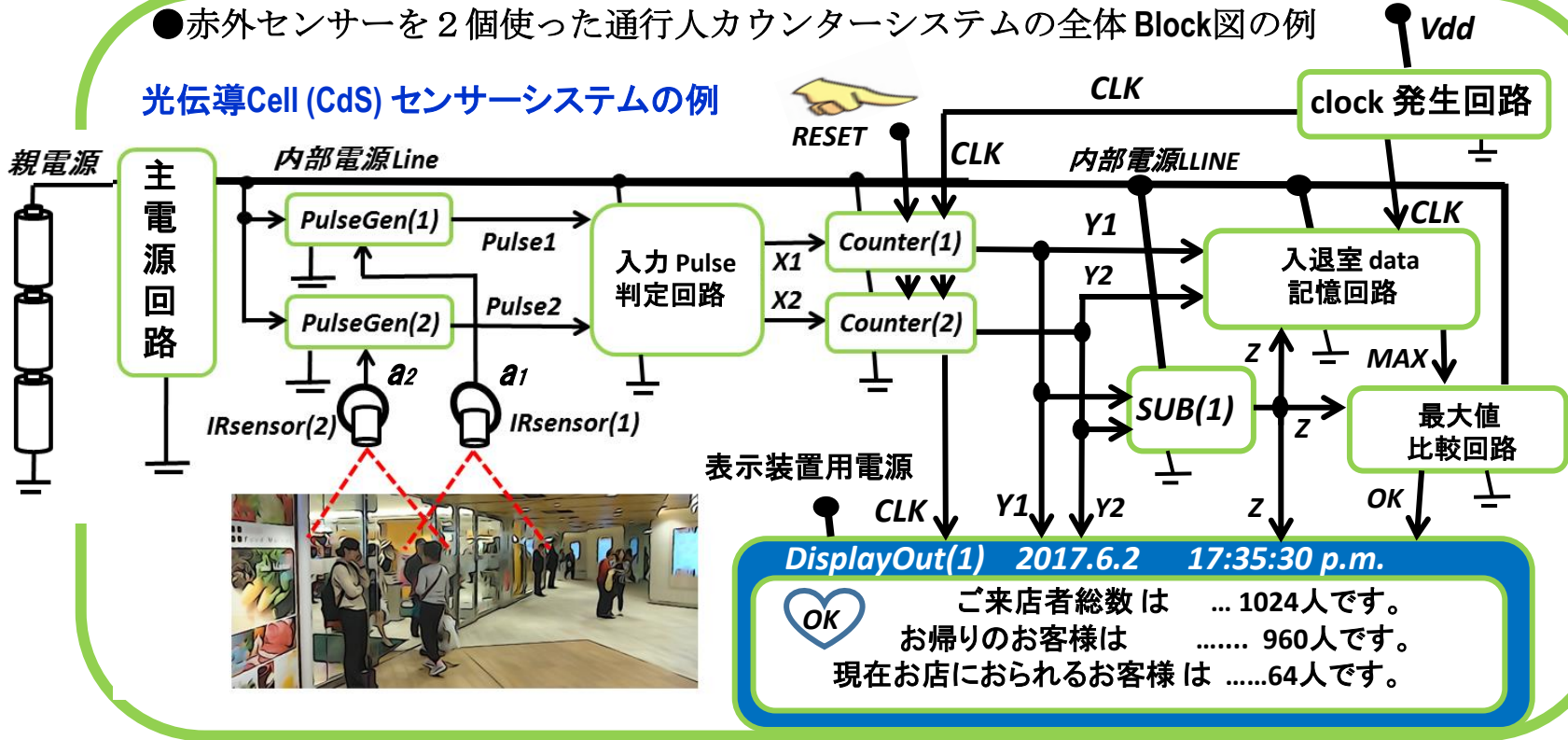


5. 賢いイメージセンサーとは？

●イメージセンサー(賢い電子の目)にはいろいろな信号処理用の賢い回路が必要である。

●赤外センサーを2個使った通行人カウンターシステムの全体 Block図の例

光伝導Cell (CdS) センサーシステムの例



街中での通行人の映像



1975-1982 Engineer in CCD Imagers and Camera System

1983-1989 Engineering Manager in SRAM/DRAM/ADC

1990-1998 General manager in Sony /NVM/MCU/PS1

1998-2008 Executive Staff Sony Semiconductor

Strategic Planning PS2/PS3

IEEE Computer Elements Workshop

@ Vail, Colorado, 1995



Mitsuo Saito (Toshiba)

Bob Guensey (IBM)

Ken Kutaragi

Yoshiiaki Hagihara

特別セッション(6):未来の生活を変えるAIPSロボティクス[Artificial Intelligent Partner System]～未来の生活を変えるメカエレキソフトの融合技術～

パネル討論 「未来の生活を変えるAIPSロボティクス」

基調講演 「コンピュータ・エンタテインメント+AIPSの可能性」



PlayStation 久多良木 健

パネル討論「未来の生活を変えるAIPSロボティクス」
3月12日(木)15:20-16:20[第1イベント会場(プリズムハウス 1F プリズムホール)]

【討論概要】

近年では、二足歩行ロボットによるサッカー大会が開催され、またITによる自動車の運転補助が実用化するなど、ロボティクス技術、及びイメージング技術にもゲームに代表されるコンピュータ技術が融合し、Real Timeでパートナー・システム(PS)としての本パネル討論では我々の未来の実現の為に必要技術とは何か、具体的にはREAL TIMEでの音声来へ向けての研究課題について

**電子情報通信学会全国大会
@立命館草津キャンパス
2009年3月**

は各家庭分野とロボ
話もするパ
ともに、そ
割りつつ、
紹介や持



司会: 萩原 良昭(AIPSコンソーシアム)

1971年米国カリフォルニア工科大学卒業。1975年6月同大学博士課程卒業(主:電子工学, 副:物理学)。

1975年2月ソニー入社。固体撮像素子とそのカメラシステム、ADC、メモリチップ、MOUマイコン、システムLSIの開発事業化担当、主幹技師、半導体技術企画室長などを歴任。2008年7月、60歳定年退職。

2008年8月神奈川県庁認定(NPO法人)AIPSコンソーシアム設立。その理事長に就任、現在に至る。

工学者100人が教える
自動車の最先端事情!!

萩原良昭教授

崇城大学
情報学部情報学科

YES

自動運転は可能

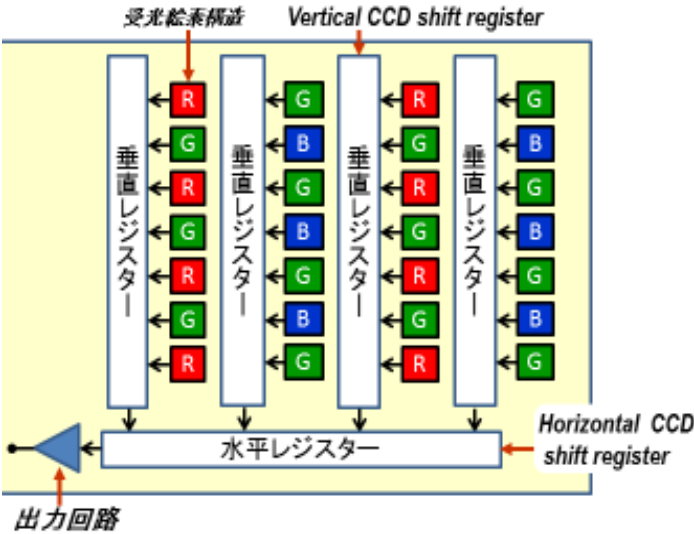
問.20年以内に全自動運転の車は日本で販売される?

100人の学者が教える
最先端事情
アカデミー

Interline Transfer CCD Image Sensor

- ①光信号電荷のかたまり(charge packet)を各画素の接合容量に蓄積する。
- ②垂直CCD registerへの全画素(行と列)の同時露光一括読み出し。
- ③1行ごとに水平CCD registerに高速CCD転送modeで転送される。
- ④水平CCD registerの信号電荷を順次に最終段の出力回路で出力される。

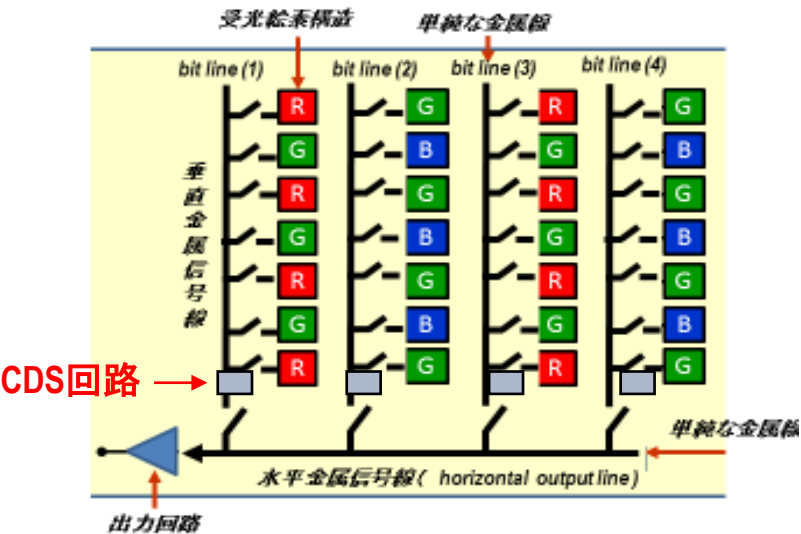
(長所)出力段の端子容量Cが小さくてすむ。
容量CkT雑音が小さい。低照度でも雑音が少なく感度がよい。
(短所)転送効率に限界がある。CR充放電による消費電力が大きい。



Active in Pixel Amp CMOS Image Sensor

- ①光信号電荷のかたまり(charge packet)を各画素の接合容量に蓄積する。
- ②各絵素のGlobal Shutter Memoryへの全画素(行と列)の同時露光一括読み出し。
- ③テレビの走査線と同期させて順次に各絵素の電流増幅回路(Active Pixel 回路)で信号増幅して金属線(bit line)へ出力する。信号が大きい。
- ④さらに(CDS=correlated double sampling)回路でCLOCK雑音が除去され、大電流が水平信号線に出力。

(長所)CkT雑音は大きいがそれ以上に信号が大きい。
絵素数に関係なく、大きな信号電流を得ることが可能。
4Kや8Kなど高解像度映像に最適である。
CMOS Scaling 技術の進歩により、微細化が実現し、CR充放電による消費電力が小さい。(短所なし)。



●原子の周期表から見える半導体の材料
さらに原子構造から理解する！

まず、基本構造の材料となる
金属と絶縁体や、抵抗体と
半導体の性質を理解する。

SCCD 構造 と BCCD構造 が
考案される前には BBD構造
(バケツリレー転送)があった。
その開発背景はどうだったか？
結局 BBD構造が生き残った！

●いろいろな受光素子構造

光電子増幅管 (Al)
PIN photo diode (Si)
pinned photo diode(Si)
Avalanche Photo Diode (Si)
高周波数 FET (GaAs)
Gbps 光通信 (InGaAs)
光伝導Cell (CdS)

II	III	IV	V	VI
	B ₅	C ₆	N ₇	O ₈
	Al ₁₃	Si ₁₄	P ₁₅	S ₁₆
Zn ₃₀	Ga ₃₁	Ge ₃₂	As ₃₃	Se ₃₄
Cd ₄₈	In ₄₉	Sn ₅₀	Sb ₅₁	Te ₅₂
Hg ₈₀	Ti ₈₁	Pb ₈₂	Bi ₈₃	Po ₈₄

●いろいろな電荷転送素子 (CTD = Charge Transfer Device) の構造

BBD (Bucket Brigade Device)
PCD (Plasma Coupled Device)
CSD(Charge Sweep Device)
CID (Charge Injection Device)
CPD (Charge Priming Device)
CCD (Charge Coupled Device)
CMD(Charge Modulation Device)
BASIS(Base-Stored Image Sensor)
MOS image Sensor (Passive, Original)
CMOS image Sensor (Active Pixel Sensor)
AMI (Amplified MOS Intelligent Imager)

- 賢いイメージセンサーは、正確にすばやくまわりの動きを感じとる(感度)だけでなく、雑音や不要な情報を排除し(フィルター機能)、必要な情報だけを抽出加工し(情報認識)、人間支援のための知的処理を敏速に実行する。

賢いイメージセンサー実現のためのさらなる検討努力項目

●Dark Current (暗電流)の低減努力

- (1) 拡散電流
- (2) 発生電流
- (3) 表面リーク電流
- (4) トンネル電流

●量子効率の向上努力

- (1) 素子表面での入射光の反射
- (2) 小数キャリアの表面再結合
- (3) 光電変換領域以外での光吸収
- (4) 空乏層内でのキャリアの再結合

●雑音(ランダム)の低減努力

- (1) ショット雑音
- (2) 熱雑音
- (3) Avalanche過剰雑音
- (4) $1/f$ 雑音
- (5) reset雑音

●High Beam (overflow, blooming) 抑制機能

●固定パターン雑音の低減努力

- (1) Clock雑音
- (2) Amp Offset 雑音
- (3) 画像欠陥(画素開口形状むら、Photo Diode 部暗電流むら、転送部暗電流むら)

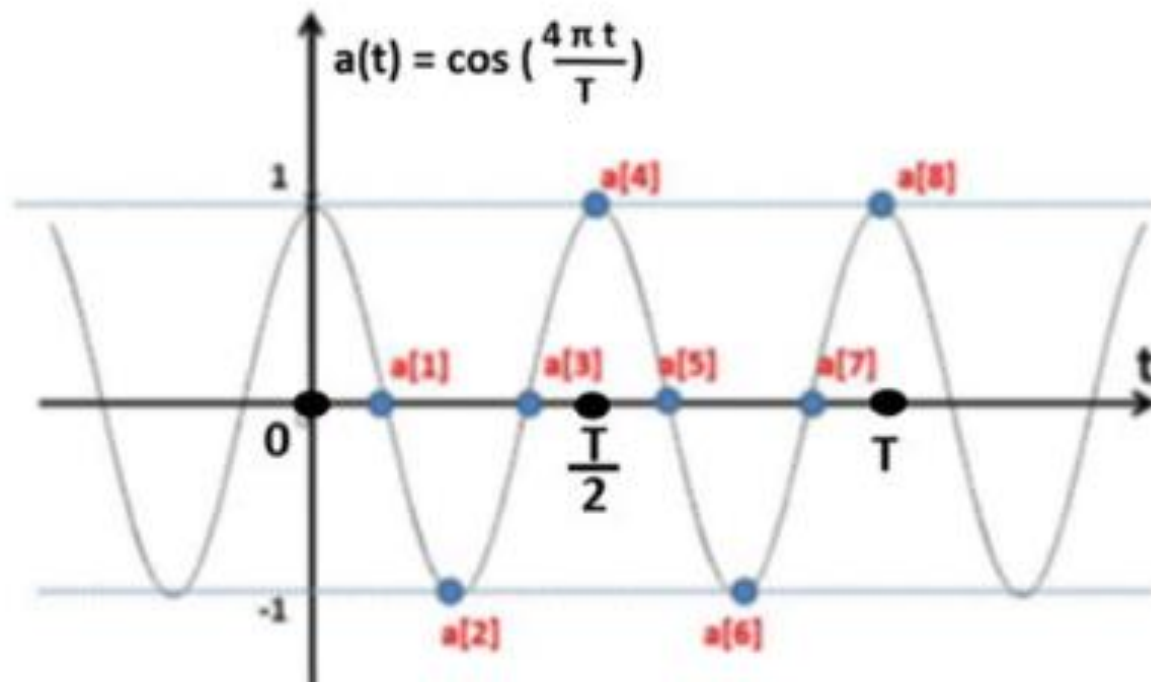
●制御処理回路による性能改善努力

- (1) Correlated Double Sampling 回路
- (2) APS (Active Pixel Sensor) 回路
- (3) AMI (Amplified MOS Intelligent) 回路

●賢いイメージセンサー実現のためのその他の努力改善項目

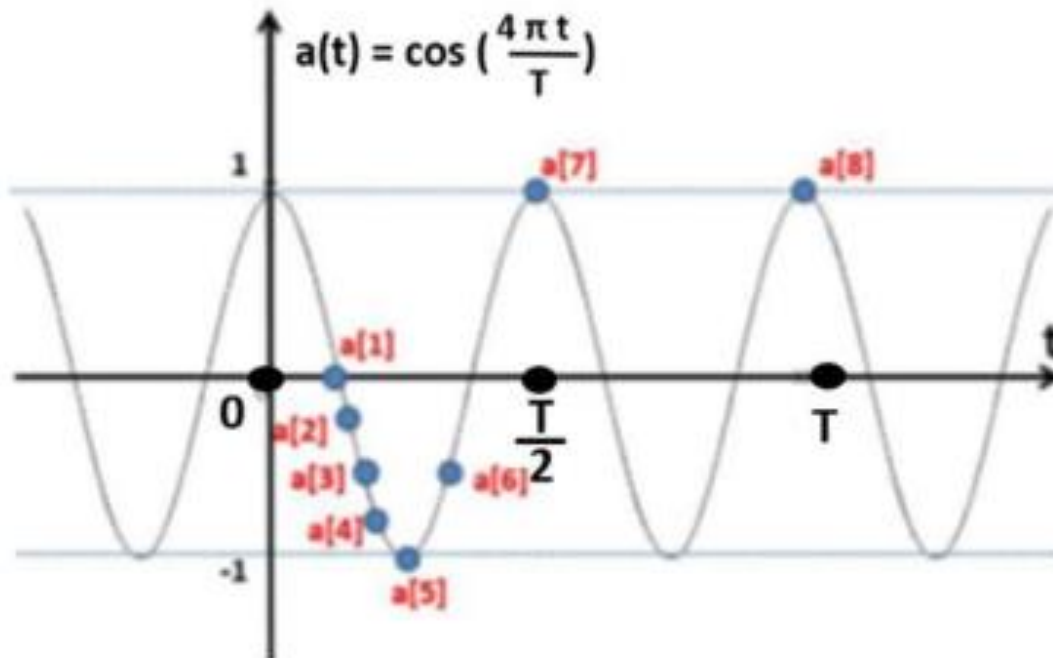
- (1) PN 接合容量に光を照射する
- (2) MOS増幅回路処理、ガンマー補正処理
- (3) 出力信号の選択処理
- (3) A/D変換回路処理
- (4) 出力信号の伝達処理
- (5) 信号情報の記憶保存回路処理

Conventional DFT Sampling for $N = 8$



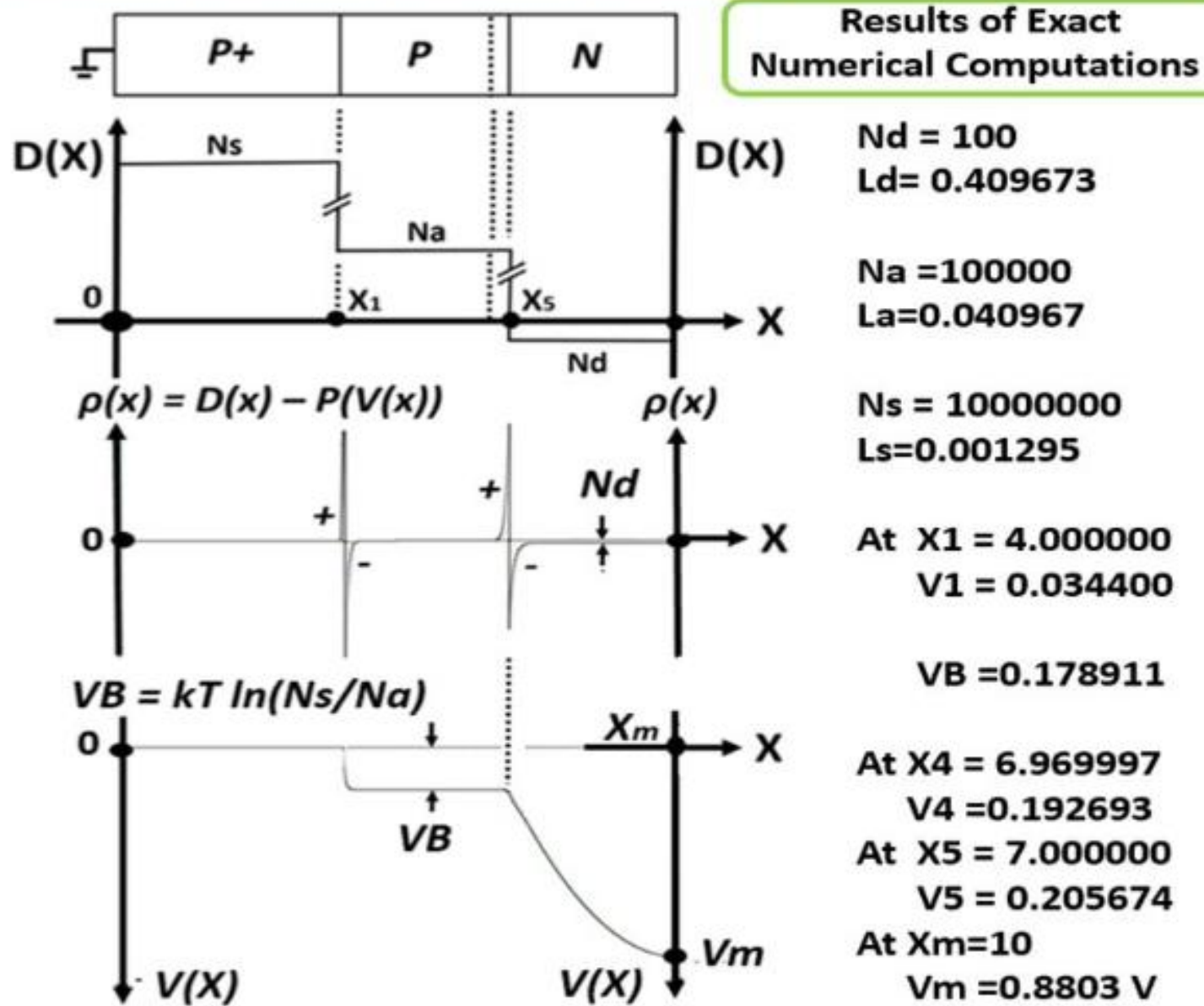
$$A[] = W[][]a[] = (0, 0.5, 0, 0, 0, 0.5, 0, 0)$$

Time-wise Unequally (1/K) Sampling Scheme for N = 8



$$\mathbf{A}[\] = \text{invH}[\][\] \mathbf{a}[\] = (1.032, 1.5, 0, 0.0, -0.809, -0.5, -0.223, 0)$$

Image Sensor Story



Exact Numerical Calculation of P+PNPP+ junction

Case(1)

$$N_s = 20000 \text{ e}/\mu\text{m}^3$$

$$N_a = 10000 \text{ e}/\mu\text{m}^3$$

$$N_d = 100 \text{ e}/\mu\text{m}^3$$

$$X_1 = 3 \mu\text{m}$$

$$X_5 = 7 \mu\text{m}$$

$$X_6 = 10 \mu\text{m}$$

● Debye Length

$$L_d(N_s) = 0.028968 \mu\text{m}$$

$$L_d(N_a) = 0.040967 \mu\text{m}$$

$$L_d(N_d) = 0.409673 \mu\text{m}$$

● Built-in Potential

$$V_B = kT \ln(N_s/N_a)$$

$$= 0.017953 \text{ volt}$$

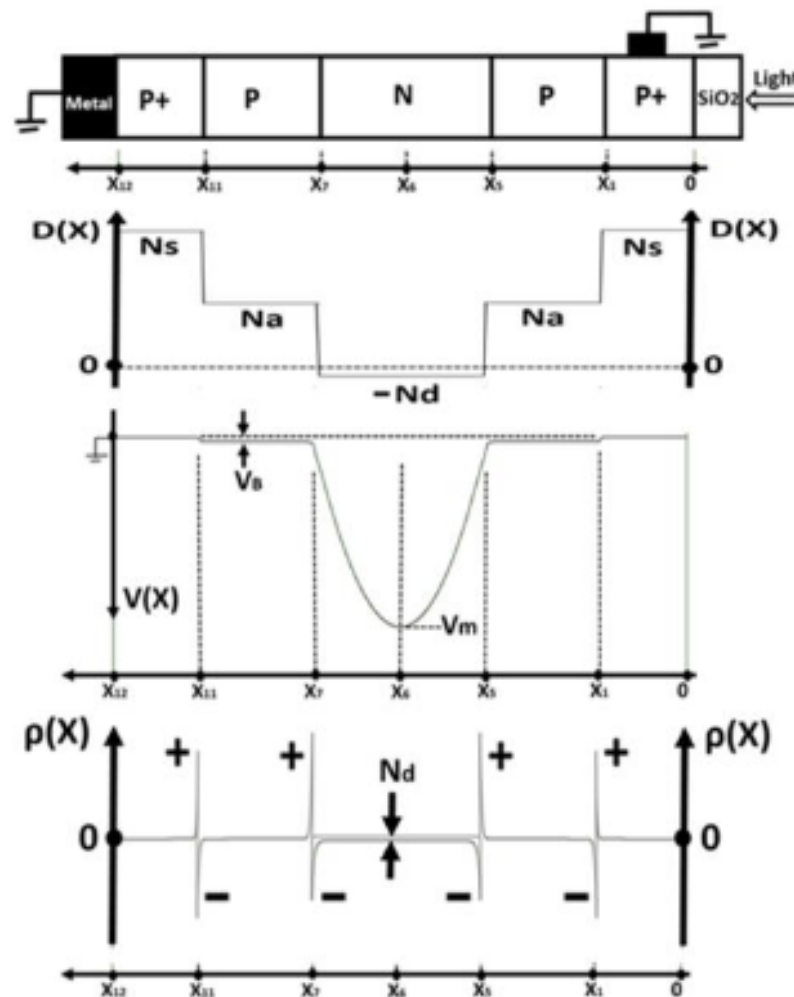
● Minimum Empty Potential Well

$$V_m = 0.719341 \text{ volt}$$

$$\bullet X_P = 0.128 \mu\text{m} \sim 3 L_d(N_a)$$

$$\bullet X_{PP} = 0.097 \mu\text{m} \sim 3 L_d(N_s)$$

$$\bullet V_o = 0.008078 \text{ volt at } X = X_1 = 3 \mu\text{m}$$



Exact Numerical Calculation of P+PNPP+ junction

Case(1)

$$N_s = 20000 \text{ e}/\mu\text{m}^3$$

$$N_a = 10000 \text{ e}/\mu\text{m}^3$$

$$N_d = 100 \text{ e}/\mu\text{m}^3$$

$$X_1 = 3 \mu\text{m}$$

$$X_5 = 7 \mu\text{m}$$

$$X_6 = 10 \mu\text{m}$$

● Debye Length

$$L_d(N_s) = 0.028968 \mu\text{m}$$

$$L_d(N_a) = 0.040967 \mu\text{m}$$

$$L_d(N_d) = 0.409673 \mu\text{m}$$

● Built-in Potential

$$V_B = kT \ln(N_s/N_a) \\ = 0.017953 \text{ volt}$$

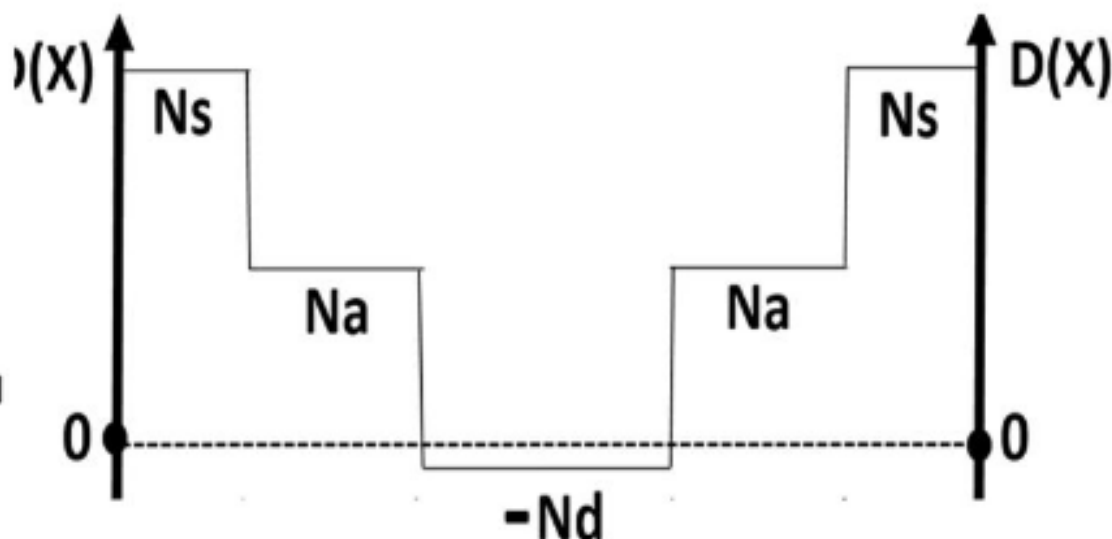
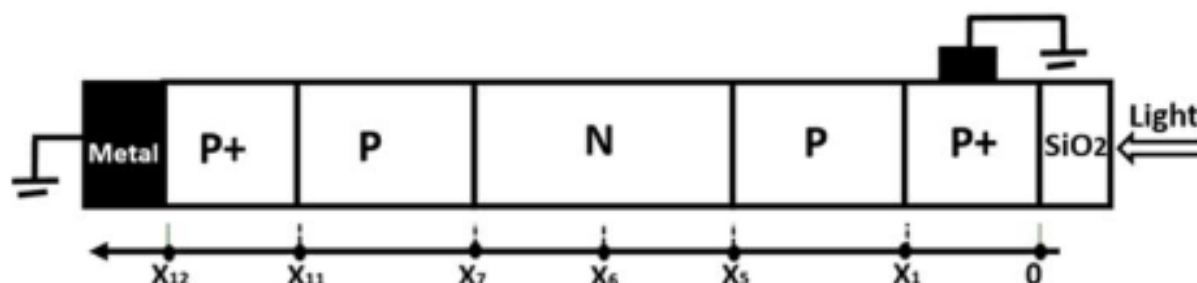
● Minimum Empty Potential Well

$$V_m = 0.719341 \text{ volt}$$

$$\bullet X_P = 0.128 \mu\text{m} \sim 3 L_d(N_a)$$

$$\bullet X_{PP} = 0.097 \mu\text{m} \sim 3 L_d(N_s)$$

$$\bullet V_o = 0.008078 \text{ volt at } X = X_1 = 3 \mu\text{m}$$



Exact Numerical Calculation of P+PNPP+ junction

Case(1)

$$N_s = 20000 \text{ e}/\mu\text{m}^3$$

$$N_a = 10000 \text{ e}/\mu\text{m}^3$$

$$N_d = 100 \text{ e}/\mu\text{m}^3$$

$$X_1 = 3 \mu\text{m}$$

$$X_5 = 7 \mu\text{m}$$

$$X_6 = 10 \mu\text{m}$$

● Debye Length

$$L_d(N_s) = 0.028968 \mu\text{m}$$

$$L_d(N_a) = 0.040967 \mu\text{m}$$

$$L_d(N_d) = 0.409673 \mu\text{m}$$

● Built-in Potential

$$V_B = kT \ln(N_s/N_a)$$

$$= 0.017953 \text{ volt}$$

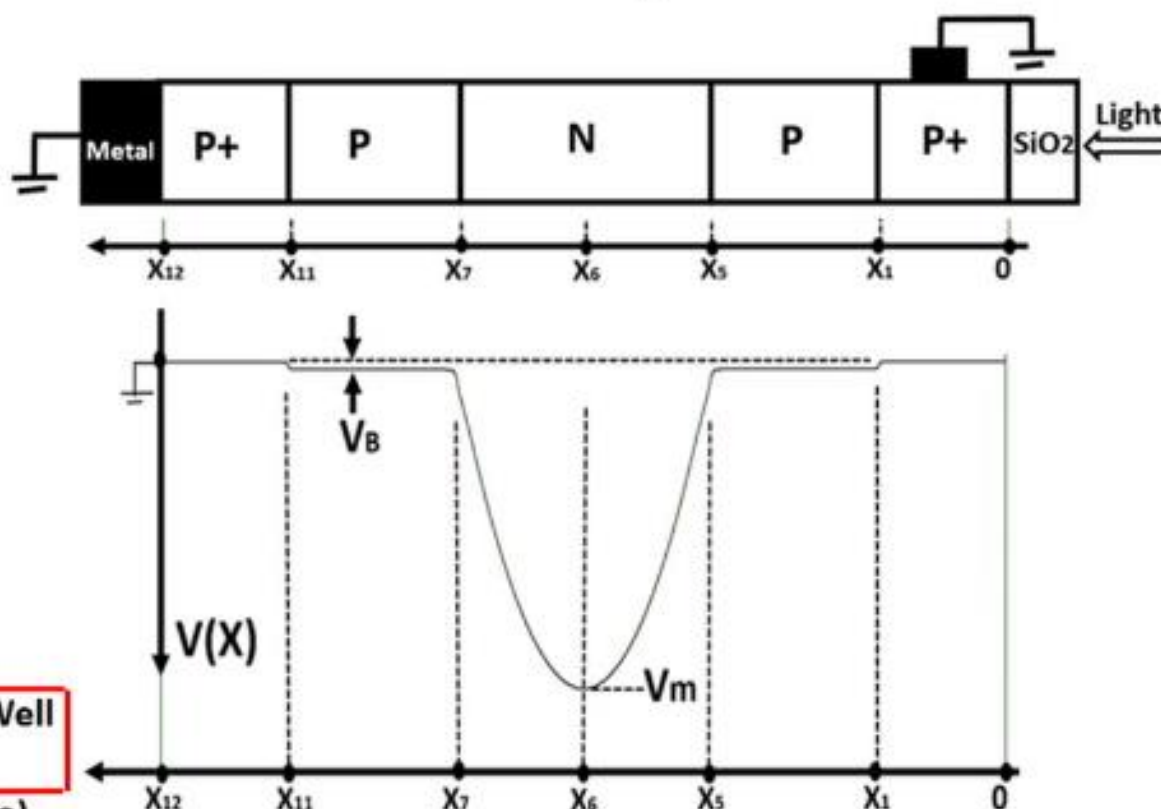
● Minimum Empty Potential Well

$$V_m = 0.719341 \text{ volt}$$

$$\bullet X_P = 0.128 \mu\text{m} \sim 3 L_d(N_a)$$

$$\bullet X_{PP} = 0.097 \mu\text{m} \sim 3 L_d(N_s)$$

$$\bullet V_o = 0.008078 \text{ volt at } X = X_1 = 3 \mu\text{m}$$



Exact Numerical Calculation of P+PNPP+ junction

Case(1)

$$N_s = 20000 \text{ e}/\mu\text{m}^3$$

$$N_a = 10000 \text{ e}/\mu\text{m}^3$$

$$N_d = 100 \text{ e}/\mu\text{m}^3$$

$$X_1 = 3 \mu\text{m}$$

$$X_5 = 7 \mu\text{m}$$

$$X_6 = 10 \mu\text{m}$$

- Debye Length

$$L_d(N_s) = 0.028968 \mu\text{m}$$

$$L_d(N_a) = 0.040967 \mu\text{m}$$

$$L_d(N_d) = 0.409673 \mu\text{m}$$

- Built-in Potential

$$V_B = kT \ln(N_s/N_a)$$

$$= 0.017953 \text{ volt}$$

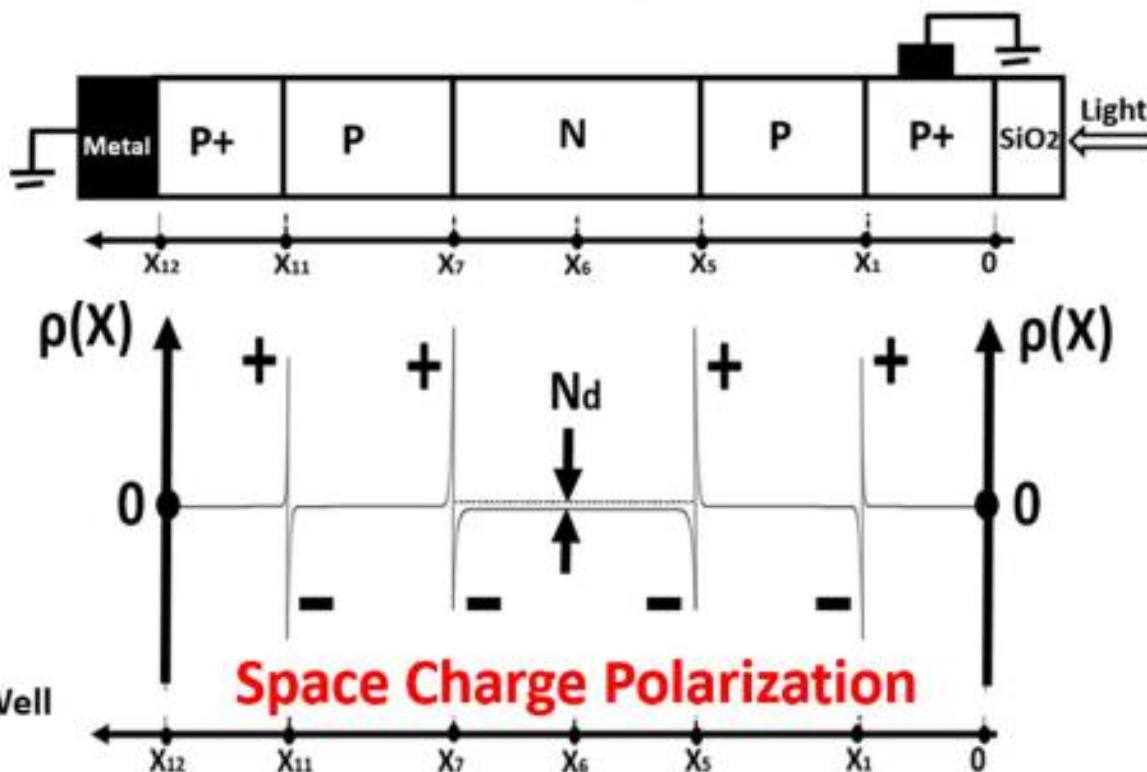
- Minimum Empty Potential Well

$$V_m = 0.719341 \text{ volt}$$

- $X_P = 0.128 \mu\text{m} \sim 3 L_d(N_a)$

- $X_{PP} = 0.097 \mu\text{m} \sim 3 L_d(N_s)$

- $V_o = 0.008078 \text{ volt at } X = X_1 = 3 \mu\text{m}$



Space Charge Polarization

$$\rho(X) = D(X) - \text{Hole}(V);$$

$$\text{Hole}(V) = N_s \exp(-V(X)/kT);$$

Exact Numerical Calculation of P+PNPP+ junction

Case(1)

$N_s = 20000 \text{ e}/\mu\text{m}^3$

$N_a = 10000 \text{ e}/\mu\text{m}^3$

$N_d = 100 \text{ e}/\mu\text{m}^3$

$X_1 = 3 \mu\text{m}$

$X_5 = 7 \mu\text{m}$

$X_6 = 10 \mu\text{m}$

●Debye Length

$L_d(N_s) = 0.028968 \mu\text{m}$

$L_d(N_a) = 0.040967 \mu\text{m}$

$L_d(N_d) = 0.409673 \mu\text{m}$

●Built-in Potential

$V_B = kT \ln(N_s/N_a)$
 $= 0.017953 \text{ volt}$

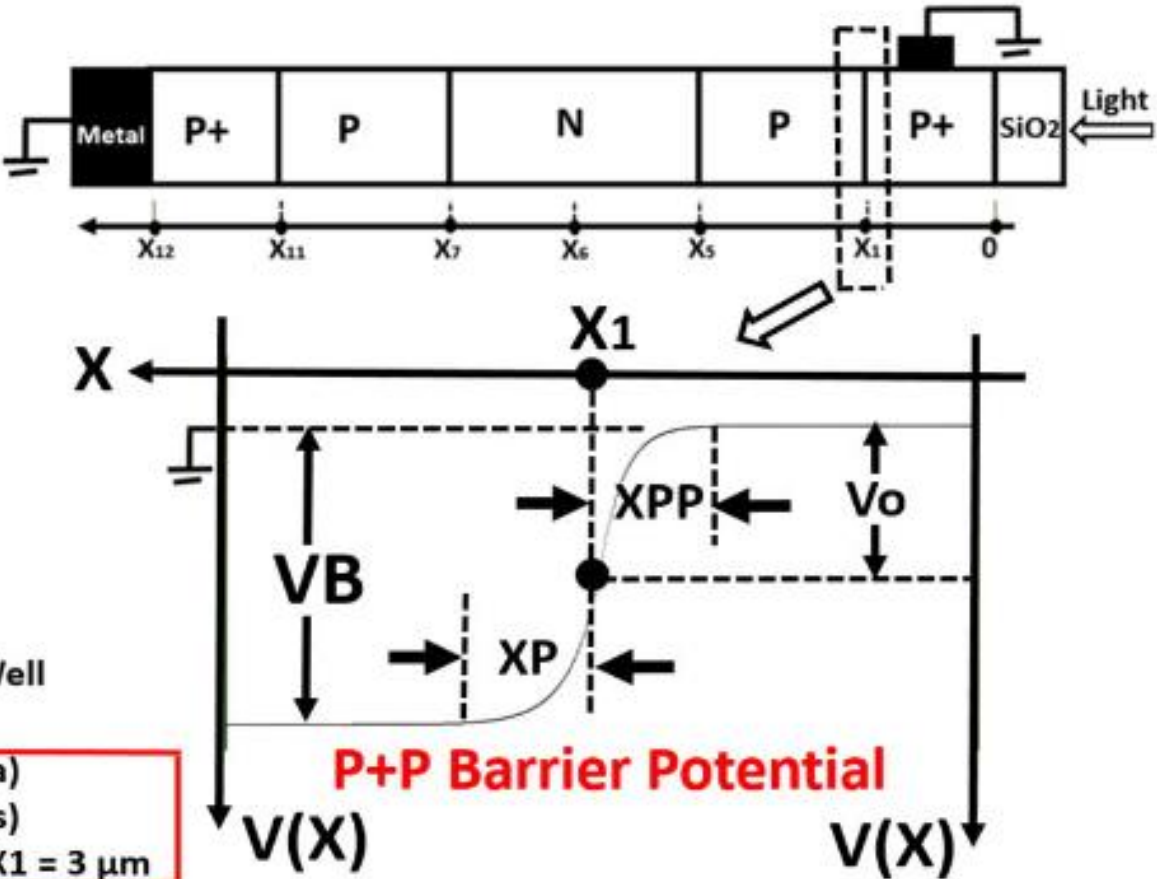
●Minimum Empty Potential Well

$V_m = 0.719341 \text{ volt}$

● $X_P = 0.128 \mu\text{m} \sim 3 L_d(N_a)$

● $X_{PP} = 0.097 \mu\text{m} \sim 3 L_d(N_s)$

● $V_o = 0.008078 \text{ volt at } X = X_1 = 3 \mu\text{m}$



ご清聴ありがとうございました。

hagiwara-yoshiaki@aiplab.com

<http://www.aiplab.com/>



Artificial Intelligence in Robot Vision



Mighty ATOM
/ **ASTRO BOY** © Osamu Tezuka



WALL·E © 2008 The Walt Disney Studios

2020年7月10日(金) ソニー厚木テック講演会 萩原良昭

ゲスト

半導体電子産業新聞社 CEO 泉谷渉様
もとSONY常務・中央研究所所長 渡辺誠一様

Image Sensor Story



Yoshiaki Hagiwara

Ph.D. IEEE Life Fellow

萩原 良昭

hagiwara-yoshiaki@aiplab.com

人工知能パートナーシステム (AIPS) を支える

デジタル回路の世界

ISBN978-4-88359-339-2

青山社 <http://www.seizansha.co.jp>

AIPS consortium (NPPO)

<http://www.aiplab.com/>

ご清聴ありがとうございました。