

# What is Pinned Buried Photodiode? Who invented it? Who developed it?

半導体受光素子には大きくわけて、表面型フォトダイオードと埋め込み型フォトダイオードがある。

## ●表面型フォトダイオードとは？

表面型フォトダイオードには、N+PまたはP+N型の Single 接合構造のフォトダイオードである。

Single 接合型フォトダイオードは表面型受光素子ともいう。光量に従い、その接合容量に信号電荷が蓄積される受光素子である。[\[1\]](#) N+PまたはP+N型の Single 接合構造のフォトダイオード内での完全電荷転送が不可能で残像が生じる。

MOS 電極トランジスタの実効チャンネル抵抗値  $R$  は、MOS の Source 端子電位と電荷転送チャンネル電位の差の 2 乗に逆比例する事が知られている。[\[2\]](#) そのために、信号電荷の掃きだし時に、RC 遅延が生じる。

短い電荷掃きだし Reset 時間内では、完全に光量に比例した信号電荷を完全に電荷伝送が十分実行できず、光信号電荷残りにより、残像が生じる。この表面層が浮遊状態にある受光素子では、必ず残像が生じる問題がある。

## ●埋め込み型フォトダイオードとは？

電荷蓄積部は半導体表面に露出し浮遊状態にある表面型受光素子に対して、電荷蓄積部が半導体表面には露出されていない構造を持つ埋め込み型受光素子がある。

埋め込み型フォトダイオードとは、NPN接合またはPNP接合トランジスタ構造を持つフォトダイオードのことである。受光面に露出していないベース領域の埋め込み層が光電荷蓄積部となる構造を持つ。

最初のPNP接合型の埋め込みフォトダイオードは、1975年にソニーが発明した。[\[3\]](#) Collector端子を受光面とし、Emitter端子を過剰電荷の掃きだし端子とし、Base領域を電荷蓄積部とするPNP接合のトランジスタ構造をしていた。Base領域に蓄積された信号電荷は、リセット時に、隣接する電荷転送電極を通して受け皿となる電荷転送装置に信号電荷を転送するPNP接合のダイナミックフォトリスタ構造をしていた。この最初のPNP接合のトランジスタ構造の埋め込みフォトダイオードは1975年3月5日にソニーの社内で発明され、社内の公式特許出願フォームに記載され出願された。

その後、1975年6月9日にはオランダのPhilipsがPNP接合型の埋め込みフォトダイオード受光素子構造を考案し、Interline Transfer (ILT) CCD に採用した。[\[4\]](#) 受光面のP層の電位は、基板電位との間で、拡散抵抗Rを持つ拡散領域で導通されている受光構造である。そのため、受光面がRC遅延を持つことになり高周波数応答には限界が生じる問題、受光面が浮遊状態であるsingle接合型の受光素子と同様に、残像の問題がある埋め込み型のPNP型受光素子構造であった。

表面層が浮遊の場合、このDouble接合構造も、隣接する電荷転送電極との間の酸化膜寄生容量のために、表面層の電位は固定（ピン留め）できない。RC遅延が生じ振らつく。理想的には表面に金属コンタクトがない限り、拡散抵抗Rがあるので必ずRC遅延があり表面層は浮遊状態になる。残像のない、高速電子シャッターとしては機能できない。表面層が浮遊の場合、このDouble接合構造も、隣接する電荷転送電極との間の酸化膜寄生容量のために、表面層の電位は固定（ピン留め）できない。RC遅延が生じ振らつ

く。理想的には表面に金属コンタクトがない限り、拡散抵抗  $R$  があるので必ず  $RC$  遅延があり表面層は浮遊状態になる。残像のない、高速電子シャッターとしては機能できない。

## ●Pinned Photodiode とは？

Pinned Photodiode は埋め込み型フォトダイオードの一種で、受光面が外部電圧によりピン留め固定された受光素子である。ピン留めされる事が残像のない受光素子として機能するために必要条件となる。

Pinned Photodiode はかならず埋め込み型フォトダイオードであるが、埋め込み型フォトダイオードは必ずしも Pinned Photodiode ではない。Pinned Photodiode は必ず受光面の電圧がピン留め固定される必要がある。残像のない特性を実現する為の必要条件である。

実はソニーが 1975 年 3 月 5 日に考案し、その後 1975 年 10 月 23 日に出願された発明特許 [5] [6] とその後それをヒントにさらに 1975 年 11 月 10 日に出願した発明特許 [7] の受光素子構造は、受光面の電圧がピン留め固定された Pinned Photodiode の発明であった。理想的には残像の現域を招く  $RC$  遅延をゼロにするために、表面層は隣接する金属配線コンタクトにより、抵抗値  $R$  が理想的にゼロの、遅延時間  $RC$  もゼロの、完全に残像のない受光構造が望まれるところである。この 3 つの出願実施例では受光面が金属コンタクトで受光面の電圧が固定ピン留めされている受光素子構造を明示した。表面層を金属配線により固定電位にピン留めする事により、抵抗値  $R$  は理想的にゼロにできる。 $RC$  遅延ゼロの理想的な残像のない、Pinned Photodiode 構造となる。

Pinned Photodiode はかならず埋め込み型フォトダイオードであるが、埋め込み型フォトダイオードは必ずしも Pinned Photodiode ではない。

埋め込み型フォトダイオードが、Pinned Photodiode になる必要条件是受光面がピン留め電圧が固定されている必要がある。理想的には抵抗値 R がゼロの外部金属配線コンタクト端子が望ましいが、絵素ごとに金属コンタクトの配備は集積度の観点から望ましくないので、隣接する高濃度のチャンネルストップ領域を形成する事により、受光面をピン留めした。

その隣接する高濃度のチャンネルストップ領域を形成する方法に従来の LOCOS 素子間分離法と、単純に高エネルギーイオン打ち込み法と Sony 独自で発明した短時間のランプアニール法 [8] のみで形成する方法がある。SONY は一貫して、デジタル回路のプロセスで広く採用している LOCOS 素子間分離法をイメージセンサーの製法に使う事を避けた。長時間に LOCOS 酸化膜形成による結晶欠陥の増大が Chip の歩留まりを多くに低下することを避けた。他社はデジタル MOS 回路の製法で使う LOCOS 酸化膜形成をそのままイメージセンサーの製法でも使用していた。

1977 年には東京で開催の国際会議 SSDM1977 において [9] SONY は受光面が隣接した高濃度の channel stops 領域でピン留め電圧固定された、P+N P sub 型の double 接合 transistor 構造の PPD 型 analog delay line の開発に成功した。PPD 構造は完全電荷転送が可能で、従来の CCD 型 analog delay line と同様に残像のない特長を持つことを報告した。翌年には、380H x 492 V 絵素のこの PPD 構造の受光素子を採用した FT 方式の CCD Area Sensor [10] を開発し、1978 年 9 月に東京で開催の SSDM1978 の国際学会でそのすぐれた 3 つの特長を報告した。

すなわち (1) 短波長青色感度が良好で、(2) 表面暗電流雑音が少なく、(3) 残像のない特長を報告した。受光素子では隣接する高濃度の P + の Channel Stop 領域を高エネルギーイオン打ち込みで形成した。従来の LOCOS 素子間分離は使用せず、chip の歩留まりの向上に努力した。

Pinned Photodiode の特徴の 1 つの短波長青色感度特性は光電変換効率が優れている事を意味し、Pinned Photodiode 型の太陽電池への応用も期待さる。[11].

### ●電子シャッター機能を持つ triple 接合型 Pinned Photodiode とは？

Triple 接合型 Pinned Photodiode は、thyristor 特有の Punch-thru 動作を利用しており、残像のない受光部を利用して、過剰電荷を完全掃きだす機能を可能とし、メカフリーの電子シャッター機能を持つ。

1975 年の 10 月 23 日には ソニーは世界最初の Original の Pinned Photodiode[5]を發明している。その受光素子が現在裏面照射型の CMOS 型電荷転送方式を採用した世界中のビデオカメラ[12]に採用されている。その実現には 4 5 年の歳月がかかった。その受光素子や、CMOS Image Sensor には不可欠な機能である MOS Global Shutter Buffer Memory 付きの N + P N P 型の Triple 接合の thyristor 構造の裏面照射型受光素子であった。Triple 接合の thyristor の Punch-thru 動作を利用しており、信号電荷を CCD/MOS 容量型の Buffer メモリを一時記憶用の受け皿としている。裏面を受光面とし、表面側は CCD/MOS 容量を絵素ごとに装備した受光構造である。その 1 か月後には、1975 年 11 月 10 日には、受光面がピン留め電圧固定された、P + N P 型の受光素子を Nsub に形成した triple 接合型の受光素子[7]をソニーは發明した。

こちらの受光素子構造の方が早く 1987 年には商品化された。[\[10\]](#) 受光面がピン留め電圧固定されており、残像のない特性を持つ。この受光素子が、P + N P Nsub 型の Triple 接合の Thyristor 構造の受光素子である事を JPA1975-134985 の特許請求範囲文に明示している。

P + N P Nsub 型の Triple 接合の Thyristor の Punch-thru 動作を利用して過剰電荷を掃き出す、Vertical Overflow Drain (VOD)機能を有する Pinned Photodiode 構造となっている。Pinned Photodiode であり、かつ VOD 機能がある事が電子シャッターの必要条件である。表面が浮遊状態にある埋め込みフォトダイオードは完全電荷転送が不可で埋め込み電荷蓄積部が完全に空乏化できず、残像が生じるので、電子シャッターとして機能しない。残像がない受光素子は、電子シャッター実現のための必要条件である。

1987 年には SONY は世界で初めて電子シャッター機能を持つビデオカメラ[\[10\]](#)の開発に成功した。その後高速 ADC と高速 Cache メモリ[\[11\]](#)を S O N Y は開発し、ビデオカメラシステムに組み込み装備し、電子シャッター機能を持ち、かつメカフリーのかつ、Film 不要のデジカメを実現した。

その実現には 4 5 年の歳月を必要とした。2 0 2 0 年になり SONY は初めて裏面照射型の CMOS Image Sensor[\[12\]](#)を開発商品化し、現在に至る。Pinned Photodiode の特徴の 1 つの短波長青色感度特性は光電変換効率が優れている事を意味し、Pinned Photodiode 型の太陽電池への応用も期待さる。[\[9\]](#).

## Reference

[1] Yoshiaki Hagiwara, " Invention and Historical Development Efforts of Pinned Buried Photodiode ", IEEE ICECET2021\_Conference\_Paper075, Dec 9, 2021, Cape Town South Africa.

[https://202011282002569657330.onamaeweb.jp/AIPS\\_Library/ICECET2021/002A\\_ICECET2021\\_Paper075\\_Invention%20and%20Historical%20Development%20Efforts%20of%20Pinned%20Buried%20Photodiode.pdf](https://202011282002569657330.onamaeweb.jp/AIPS_Library/ICECET2021/002A_ICECET2021_Paper075_Invention%20and%20Historical%20Development%20Efforts%20of%20Pinned%20Buried%20Photodiode.pdf)

[2] Yoshiaki Hagiwara, "Electrostatic and Dynamic Analysis of Pinned Photodiode", IJSSA2011, Paper20210615.

[https://202011282002569657330.onamaeweb.jp/AIPS\\_Library/P2021\\_IJSSA2021\\_Paper\\_20210616\\_on\\_Electrostatic\\_and\\_Dynamic\\_Analysis\\_of\\_Pinned\\_Photodiodes.pdf](https://202011282002569657330.onamaeweb.jp/AIPS_Library/P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.pdf)

[3] Sony Patent Application on PNP double junction Pinned Buried Photodiode filed on March 5, 1975.

[https://202011282002569657330.onamaeweb.jp/AIPS\\_Library/Evidence\\_that\\_Hagiwara\\_at\\_Sony\\_invented\\_Pinned\\_Buried\\_Photodiode\\_with\\_in\\_Pixel\\_VOD\\_in\\_1975.pdf](https://202011282002569657330.onamaeweb.jp/AIPS_Library/Evidence_that_Hagiwara_at_Sony_invented_Pinned_Buried_Photodiode_with_in_Pixel_VOD_in_1975.pdf)

[4] JPA1976-65707 (Patent No. 7596795, filed on June 9, 1975, Netherland) on PNP double junction type Buried Photodiode used in ILT CCD.

[https://202011282002569657330.onamaeweb.jp/AIPS\\_Library/JPA1976\\_65705\\_on\\_PNP\\_junction\\_Buried\\_Photodiode.pdf](https://202011282002569657330.onamaeweb.jp/AIPS_Library/JPA1976_65705_on_PNP_junction_Buried_Photodiode.pdf)

[5] Yoshiaki Hagiwara, Japanese Patent Application JPA 1975-127646 on N+NP+NP-P+ Triple Junction Type Pinned Photodiode with Back Light Illumination and with the CCD/MOS Buffer Memory for Global Shutter Function with no image lag.

[https://202011282002569657330.onamaeweb.jp/AIPS\\_Library/JP1975-127646.pdf](https://202011282002569657330.onamaeweb.jp/AIPS_Library/JP1975-127646.pdf)

[6] Yoshiaki Hagiwara, Japanese Patent Application JPA 1975-127647 on N+NP+N Double Junction Type Pinned Photodiode with Back Light Illumination with the CCD/MOS Buffer Memory for Global Shutter Function with no image lag.

[https://202011282002569657330.onamaeweb.jp/AIPS\\_Library/JP1975-127647.pdf](https://202011282002569657330.onamaeweb.jp/AIPS_Library/JP1975-127647.pdf)

[7] Yoshiaki Hagiwara, Japanese Patent No. 1215101 (Japanese Patent Application JPA 1975-134985) on the Pinned surface P+NP double junction type Pinned Photodiode on N-type substrate wafer (Nsub), forming a P+NP<sub>Nsub</sub> triple junction dynamic photo thyristor type PPD with the VOD function and the no-image-lag feature realizing the mechanical-parts-free electric shutter function capability.

[https://202011282002569657330.onamaeweb.jp/AIPS\\_Library/JP1975-134985.pdf](https://202011282002569657330.onamaeweb.jp/AIPS_Library/JP1975-134985.pdf)

[8] Kazuo Nishiyama, Japanese Patent Application JPA1981-30113 on IR Lamp Annealing Method



[9] Yoshiaki Daimon-Hagiwara, "Two Phase CCD with Narrow Transfer Region", Proceeding of the 9th Conference on Solid State Devices, Tokyo 1977, Japanese Journal of Applied Physics, Volume 17 Sup 17-1, pp. 225-261.

[https://202011282002569657330.onamaeweb.jp/AIPS\\_Library/P1977\\_SSDM1977\\_Paper\\_on\\_Narrow\\_Channel\\_CCD\\_with\\_P+NP\\_Junction\\_Phodiode.pdf](https://202011282002569657330.onamaeweb.jp/AIPS_Library/P1977_SSDM1977_Paper_on_Narrow_Channel_CCD_with_P+NP_Junction_Phodiode.pdf)

[10] Yoshiaki Daimon-Hagiwara, Motoaki Abe and Chikara Okada, "A 380H X 488V CCD Imager with Narrow Channel Transfer Gates", Proceeding of the 10th Conference on Solid State Devices, Tokyo 1978, Japanese Journal of Applied Physics, Volume 18 Sup 18-1, pp. 335-340 .

[https://202011282002569657330.onamaeweb.jp/AIPS\\_Library/P1978\\_Pinned\\_Phodiode\\_1978\\_Paper\\_by\\_Hagiwara.pdf](https://202011282002569657330.onamaeweb.jp/AIPS_Library/P1978_Pinned_Phodiode_1978_Paper_by_Hagiwara.pdf)

[11] Yoshiaki Hagiwara, "Pinned Buried PIN Photodiode Type Solar Cell", IEEE ICECET2021 Conference, Paper061, Dec 9, 2021, Cape Town South Africa.

[https://202011282002569657330.onamaeweb.jp/AIPS\\_Library/ICECET2021/001A\\_ICECET2021\\_Paper\\_061\\_Pinned%20Buried%20PIN%20Photodiode%20type%20Solar%20Cell.pdf](https://202011282002569657330.onamaeweb.jp/AIPS_Library/ICECET2021/001A_ICECET2021_Paper_061_Pinned%20Buried%20PIN%20Photodiode%20type%20Solar%20Cell.pdf)

[12] M. Hamasaki, T. Suzuki, Y. Kagawa, K. Ishikawa, K. Miyata and H. Kambe, "An IT-CCD image with electronically variable shutter speed", Technical Report of The Institute of Image Information and Television Engineers, vol. 12, no. 12, pp. 31-36, (1988).

[13] Fumiyo Miyaji, Yatsushi Matsushima, Yoshikazu Kanaishi, Katsunori Senoh, Takeshi Emori and Yoshiaki Hagiwara, "A 25-ns 4-Mbit CMOS SRAM with Dynamic Bit-Line Loads" Proceeding of the 1989 International Conference of the Solid-State Circuits (IEEE ISSCC1989), February 1989, IEEE Journal of Solid-State Circuits, VOL.24, NO.5, October 1989.

[14] Yoshiaki Hagiwara, "Multichip CMOS Image Sensor Structure for Flash Image Acquisition", IEEE International 3D Systems Integration Conference 2019 (3DIC2019), Digest of Technical Papers, Sendai, Japan, Paper4017, October 2019.

[https://202011282002569657330.onamaeweb.jp/AIPS\\_Library/P2019\\_3DIC2019Paper\\_on\\_3D\\_Pinned\\_Photodiode.pdf](https://202011282002569657330.onamaeweb.jp/AIPS_Library/P2019_3DIC2019Paper_on_3D_Pinned_Photodiode.pdf)

+++++

**2022年3月10日午前11時現在、文献[8],[12],[13]のリンクを探しています。ほぼ完成です。。。**