

# Simple Questions on the invention and the development efforts of Pinned Buried Photodiode

**(Q1) Who invented Pinned Photodiode ?**

**Hagiwara at Sony invented Pinned Photodiode in 1975.**

**See JPA1975-127646, JPA1975-127647, JPA1975-134985 and JPA1977-126885.**

**(Q2) Who developed Pinned Photodiode ?**

**Hagiwara at Sony developed an analog delay line using Pinned Photodiode. Hagiwara reported the details in the SSDM1977 Conference at Tokyo and showed that the Pinned Photodiode type delay line has the complete charge transfer capability with the no-image-lag feature.**

**Subsequently in 1978, Hagiwara, Abe and Okada Team at Sony developed a 380H x 492V image sensor using Pinned Photodiode and reported the details in the SSDM1978 conference at Tokyo. The Sony team reported the excellent short-wave blue Light sensitivity feature, the very low surface dark current noise feature and the complete charge transfer capability of the image-lag-free feature of Pinned Buried Photodiode with the adjacent Heavily doped P+ channel stops formed by high-energy Ion implantation with the convention LOCOS isolation.**

**Pinned Photodiode (PPD) is always Buried Photodiode (BP).**

**But BP is not always PPD. BP may have the floating surface P region with some serious RC delay time which causes the serious image lag problem. Not many people understands the difference of PPD and BP. That was all the problem.**

**PPD needs a direct metal contact or the adjacent P+ Channel Stops.**

温故知新の精神

Sony 製 Image Sensorの最大の特徴は超光感度で残像がなく暗電流雑音が小さい事である。電子shutter 機能を装備した Image Sensor の商品化は1987年にSonyが世界で初めて成功した。しかし世界はその優れた特徴がCCDによるものと誤解した。真実は、萩原良昭が1975年に発明し1978年に開発に成功し、SSDM1978の国際学会でその詳細を報告した、double 接合型のPNP dynamic photo transistor構造ののPinned Buried Photodiode、別称 Hole Accumulation Diode (HAD) を受光素子に採用した からその優れた性能を実現した。1987年にはソニーは、1-chip ILT 方式のCCD image sensor (ICX-022)の開発商品化に成功し市場を制覇した。

38万画素に達した固体撮像素子

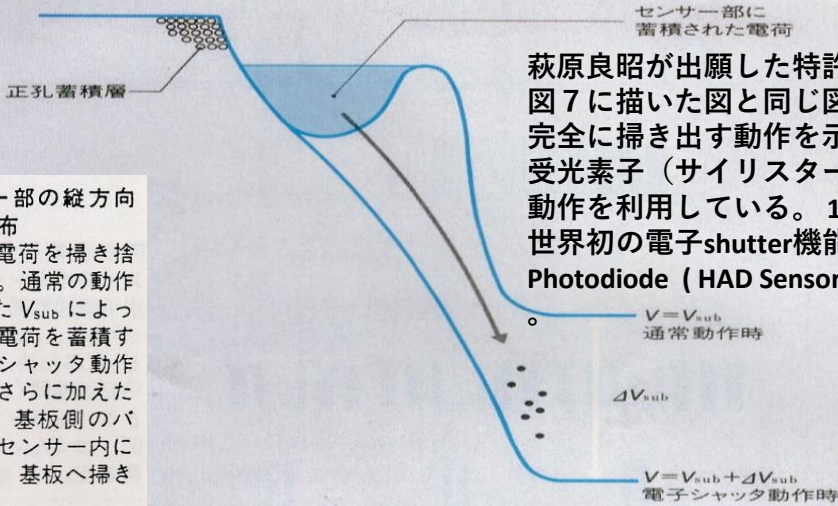


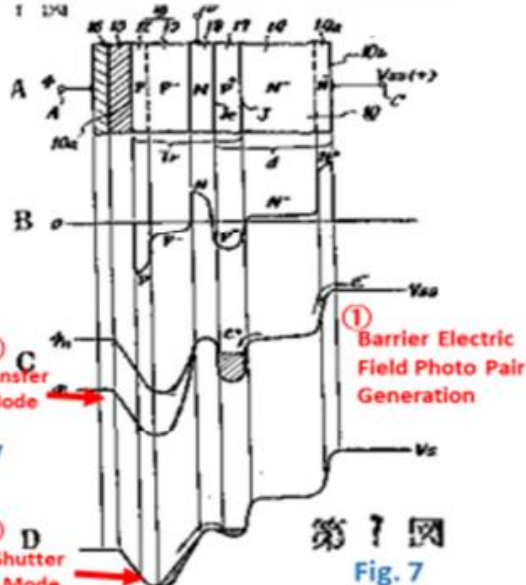
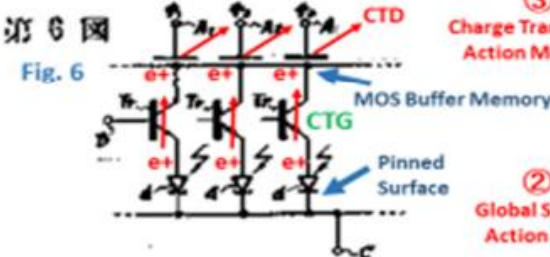
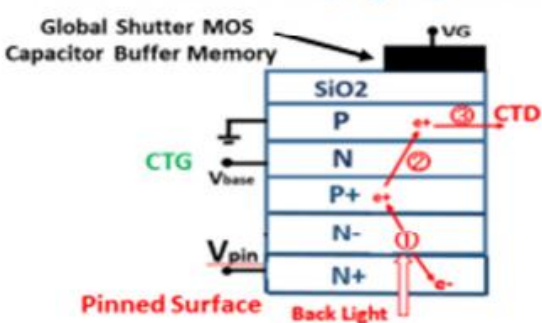
図4 ● センサー部の縦方向ポテンシャル分布  
n 型基板に信号電荷を掃き捨てる方式を採用。通常の動作時には、設定した  $V_{sub}$  によってセンサー部に電荷を蓄積する。一方、電子シャッター動作時には、 $V_{sub}$  にさらに加えた  $\Delta V_{sub}$  によって、基板側のバリアーが崩れ、センサー内に蓄積した電荷は、基板へ掃き出される。

萩原良昭が出願した特許 JPA1975-127646 の図7に描いた図と同じ図である。過剰電荷を完全に掃き出す動作を示す。Triple接合型の受光素子（サイリスター構造）の Punch-thru 動作を利用している。1975年萩原良昭による世界初の電子shutter機能付きの Pinned Buried Photodiode (HAD Sensor) の発明である。

基板に余剰電荷を掃き出し,可変電子シャッターを実現

Japanese Patent 1975-127646

N+NP+NP junction type Buried Pinned Photodiode  
with Built-in MOS Capacitor Buffer Memory Global Shutter Function  
and the surface N+N doping slope Barrier Electric Field Photo Pair Generation

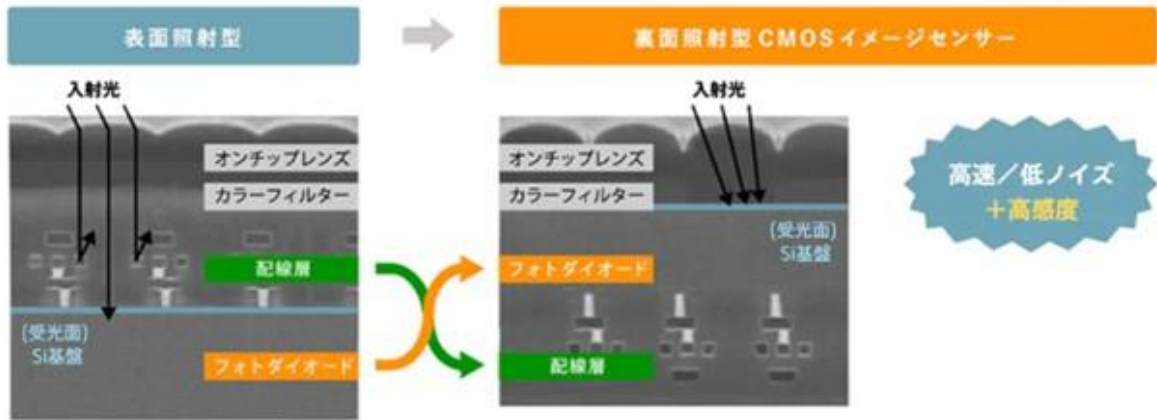




## 温故知新の精神

### 裏面照射型CMOSイメージセンサーに採用されたPinned Photodiode

<https://www.sony.com/ja/SonyInfo/News/notice/20200626/>

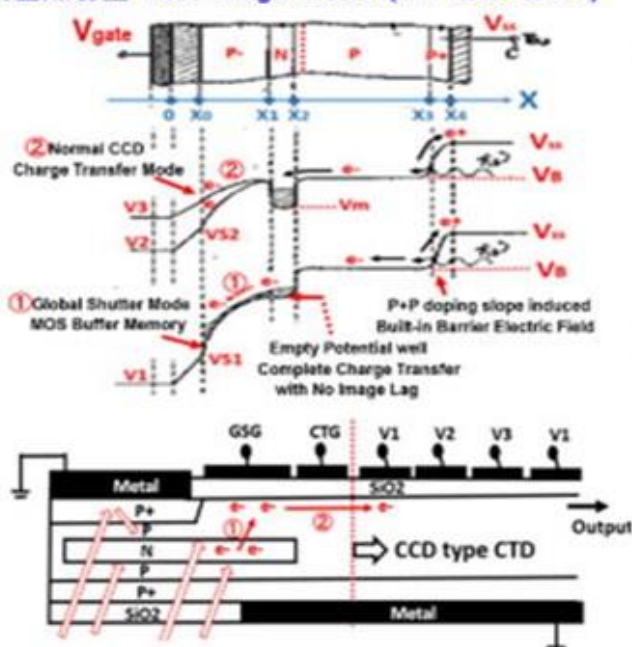


ソニーのイメージセンサーの発明の歴史は、古くはCCDの時代までさかのぼる。中でもPinned Photodiodeは、裏面照射型CMOSセンサーの性能向上にも貢献する技術であり、その発明と製品開発の歴史を紐解く。

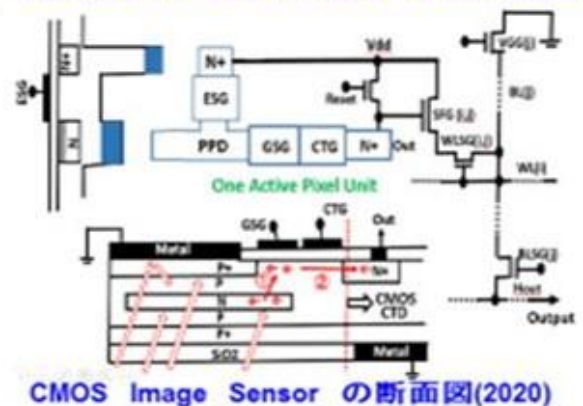
ソニーは1975年、裏面照射型のN+NP+N接合型とN+NP+NP接合型のPinned Photodiode (PPD) を採用したCCDイメージセンサーを発明した（出願特許1975-127646, 1975-127647 萩原 良昭）。同年、その構造をヒントに、VOD（縦型オーバーフローライン）機能を持つ、PNP接合型PPDを発明した（特許第1215101号 萩原 良昭）。ソニーはその後、イオン打ち込み技術により深いP+のチャンネルストップ領域をその受光部近傍に形成したPNP接合型のPPD技術を採用したフレームトランスファー型CCDイメージセンサーの原理試作に世界で初めて成功し、1978年のSSDM1978の学会で論文を発表した（Y. Hagiwara, M. Abe, and C. Okada, "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, Tokyo, (1978)）。1980年にはソニーはこのPNP接合型PPDを採用したワンチップのフレームトランスファーCCDイメージセンサーを使ったカメラ一体型VTRの試作に成功し、東京では当時社長の岩間が、ニューヨークでは会長の盛田が同日記者会見をして世界を驚かせた。1987年にはソニーは、VOD（縦型オーバーフローライン）機能を持つ「イオン打ち込み技術により深いP+のチャンネルストップ領域をその受光部近傍に形成したPPD」をインターライン転送型CCDイメージセンサーに世界で初めて採用した8ミリビデオのカムコーダーの開発に成功しビデオカメラの市場を開拓した。

このような長い歴史を経て育まれてきたPPDの技術が今も裏面照射型CMOSイメージセンサーに採用されている。

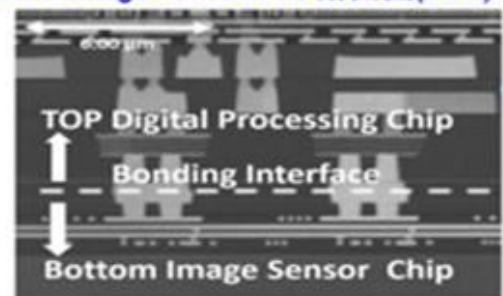
#### P+PNPP+接合型 Buried Pinned Photodiodeを採用した裏面照射型 CCD Image Sensor (JAP 1975-127647)



#### 裏面照射型 CMOS Image Sensor (2020)



#### CMOS Image Sensor の断面図(2020)



## 温故知新の精神

<https://www.sony.com/ja/SonyInfo/News/notice/20200626/>

SONY

事業・製品

ソニーグループについて

テクノロジー

採用情報

サステナビリティ

デザイン

投資家情報

お問い合わせ

Q

日本語 | [English](#)

### 積層型多機能CMOSイメージセンサーを支える代表的なソニー発明について

ソニー株式会社

ソニーセミコンダクタソリューションズ株式会社

#### 裏面照射型CMOSイメージセンサーに採用されたPinned Photodiode

ソニーのイメージセンサーの発明の歴史は、古くはCCDの時代までさかのぼる。中でもPinned Photodiodeは、裏面照射型CMOSセンサーの性能向上にも貢献する技術であり、その発明と製品開発の歴史を紐解く。

ソニーは1975年、裏面照射型のN+NP+N接合型とN+NP+NP接合型のPinned Photodiode (PPD) を採用したCCDイメージセンサーを発明した（出願特許1975-127646, 1975-127647 萩原 良昭）。同年、その構造をヒントに、VOD（縦型オーバーフロードレイン）機能を持つ、PNP接合型PPDを発明した（特許第1215101号 萩原 良昭）。ソニーはその後、イオン打ち込み技術により濃いP+のチャンネルストップ領域をその受光部近傍に形成したPNP接合型のPPD技術を採用したフレームトランスファー型CCDイメージセンサーの原理試作に世界で初めて成功し、1978年のSSDM1978の学会で論文を発表した（Y. Hagiwara, M. Abe, and C. Okada, "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, Tokyo, (1978)）。1980年にはソニーはこのPNP接合型PPD を採用したワンチップのフレームトランスファーCCDイメージセンサーを使ったカメラ一体型VTRの試作に成功し、東京では当時社長の岩間が、ニューヨークでは会長の盛田が同日記者会見をして世界を驚かせた。1987年にはソニーは、VOD（縦型オーバーフロードレイン）機能を持つ「イオン打ち込み技術により濃いP+のチャンネルストップ領域をその受光部近傍に形成したPPD」をインターライン転送型CCDイメージセンサーに世界で初めて採用した8ミリビデオのカムコーダーの開発に成功しビデオカメラの市場を開拓した。

このような長い歴史を経て育まれてきたPPDの技術が今も裏面照射型CMOSイメージセンサーに採用されている。

#### Image Sensor R/D Office in Sony Atsugi Tech Center in early 1980.

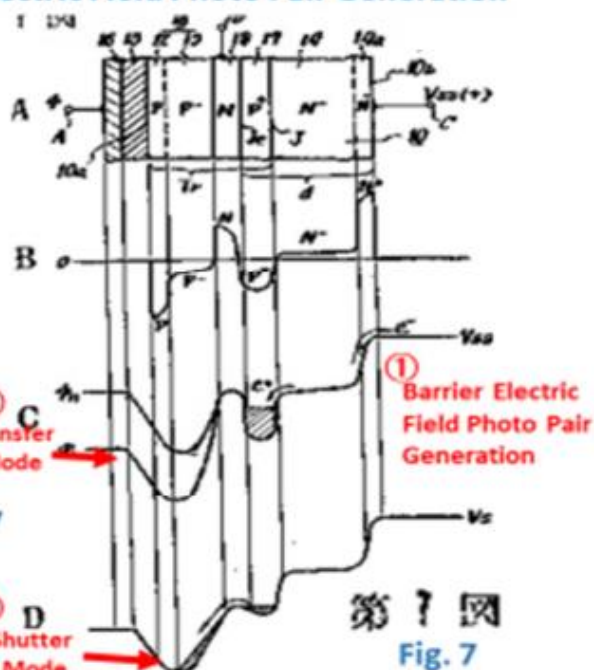
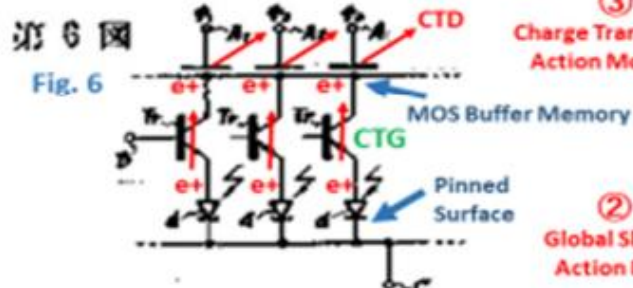
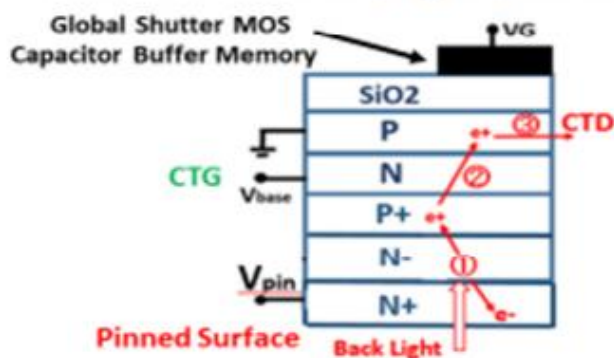




## 温故知新の精神

### Japanese Patent 1975-127646

N+NP+NP junction type Buried Pinned Photodiode  
with Built-in MOS Capacitor Buffer Memory Global Shutter Function  
and the surface N+N doping slope Barrier Electric Field Photo Pair Generation



Sony 製 Image Sensorの最大の特徴は超光感度で残像がなく暗電流雑音が小さい事である。電子shutter 機能を装備した Image Sensor の商品化は1987年にSonyが世界で初めて成功した。しかし世界はその優れた特徴がCCDによるものと誤解した。真実は、萩原良昭が1975年に発明し1978年に開発に成功し、SSDM1978の国際学会でその詳細を報告した、double 接合型のPNP dynamic photo transistor構造のPinned Buried Photodiode、別称 Hole Accumulation Diode (HAD) を受光素子に採用した からその優れた性能を実現した。1987年にはソニーは、1-chip ILT 方式のCCD image sensor (ICX-022)の開発商品化に成功し市場を制覇した。

## 38万画素に達した固体撮像素子

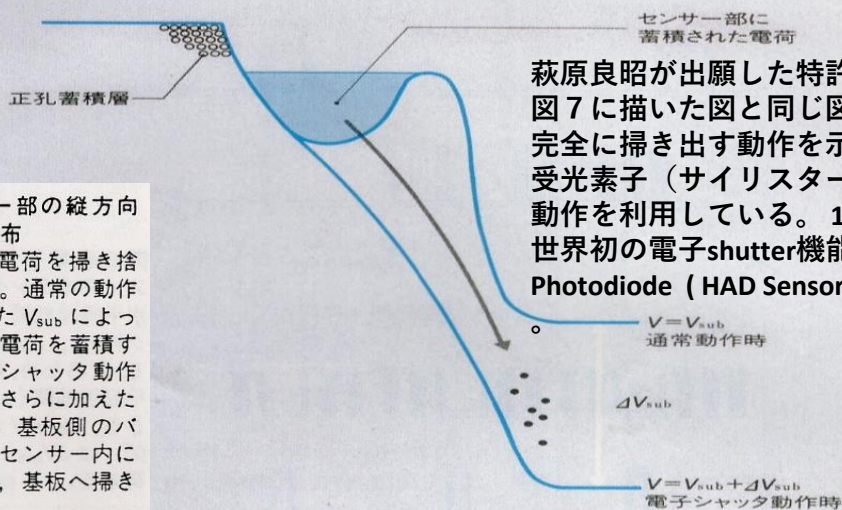


図4 ● センサー部の縦方向ポテンシャル分布  
n型基板に信号電荷を掃き捨てる方式を採用。通常の動作時には、設定した  $V_{sub}$  によってセンサー部に電荷を蓄積する。一方、電子シャッター動作時には、 $V_{sub}$  にさらに加えた  $\Delta V_{sub}$  によって、基板側のバリアーが崩れ、センサー内に蓄積した電荷は、基板へ掃き出される。

萩原良昭が出願した特許 JPA1975-127646 の図7に描いた図と同じ図である。過剰電荷を完全に掃き出す動作を示す。Triple接合型の受光素子（サイリスター構造）の Punch-thru 動作を利用している。1975年萩原良昭による世界初の電子shutter機能付きの Pinned Buried Photodiode (HAD Sensor) の発明である。

基板に余剰電荷を掃き出し、可変電子シャッターを実現

## 温故知新の精神

**JPA 1977-126885**

③公開特許公報 (A) 昭54-51318

②特 願 昭52-126885

②出 願 昭52(1977)9月29日

⑦出願人 ソニー株式会社

⑦発 明 者 萩原良昭

⑫發明者 越智成之

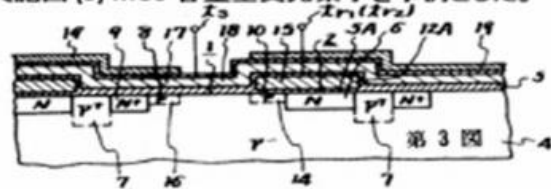
同 橋本武夫

[illegible]

毎時請求の範囲

インターネットラジアンスタア方式による固体電解装置において、各センサー部のセンサー電極と、上記各センサー部に対応して設けられるオーバーアーク制御部の制御電極とが電気的に共通に構成されること、該電極の共通の電極への共通電圧に応じて上記センサー部とオーバーアーク制御部の各々ミューダシタルの値が変化するようになされ、上記各センサー部と、シフトレジスタ部との間のゲート部のゲート電圧と、上記シフトレジスタの1のタックツ能が与えられる電極とが電気的に共通に構成され、上記ゲート部のミューダシタルが定められた状態で、オーバーアーク制御部を行つてシフトレジスタを行うことを特徴とする固体電解装置。

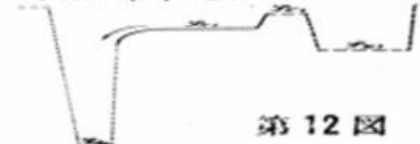
実施図 (3) MOS 容量型受光素子を事例とした。



### 実施図(9) ガンマ補正 Mode



実施図(12) 電子 Shutter Mode



VOD 電極端子の電圧を極端に深くして Punch thru を利用して残像のない状態を実現し、電子 shutter 機能を可能にした。

1975年特許 1975-127646 において、萩原はすでに N+N-P+NP-P 接合型 dynamic photo thyristor の受光素子を発明しており、電荷蓄積部(P+)から主面の電荷転送装置部への電荷転送動作に Thyristor の Punch Thru 動作を利用している。これは電子 shutter 機能を可能にする受光素子の特長を明示したものである。

## The Pinned Photodiode (Sony Original HAD sensor) Structure



( from SONY Product Catalog )

**Electric Shutter Basic Patent Award  
from Sony President Idei to Yoshiaki Hagiwara  
for Japanese Patent 1977-128885 by Hagiwara**





温故知新の精神

SONY- Fairchild Patent War (1991-2000) on Pinned Photo Diode with Vertical OFD

電子機器の基幹部品である撮  
写素子(CCD)の特許侵  
害訴訟を審理していた米ニ  
ューヨーク東部地裁は、ソニー(社)  
とフェアチャイルド(社)の  
間で井仲之氏を訴えていた米  
ローラル・フェアチャイルド社  
の主張を退け、ソニー勝訴の判  
決を下した。同訴訟はソニーが  
特許を侵害しているとの賠償  
請求が二月にわたって、ソニ  
ーが逆転勝訴した。フェアチャ  
イルドは日立製作所、東芝など  
日本の大手電機メーカー二十社  
以上を同様の被告で訴えてお  
り、ソニーの勝訴は他社の連環  
訴訟の連鎖を断ち切った。

CCD特許侵害訴訟  
ソニー、逆転勝訴  
NY東部地裁

From Japanese News Paper, July 16, 1996.

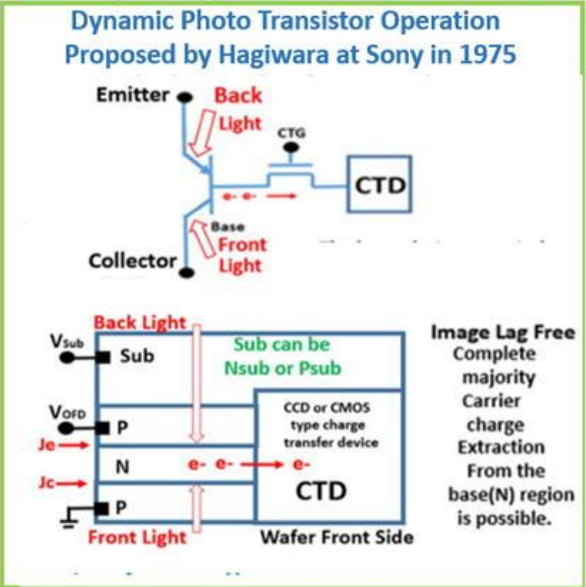
1996年7月 日刊工業新聞記事から  
(2000年1月米国最高裁で最終決着ソニー勝訴)  
In January 2000, the US supreme court made the  
final judgement favoring Sony claims. And the  
long SONY-Fairchild Patent War on the PDD with  
the built-in vertical overflow drain (VOD) ended.

東部地裁は「ソニー製のCCDは  
ローラル・フェアチャイルド  
社の三件の特許を複製しない」  
との判決を下し、陪審員の誤判  
を覆した。フェアチャイルド  
は勝訴するかどうかの態度を更  
に審理してはいない。

CCDはカメラは縦型VTR  
やフロッピーなどの電子機器に  
使われる光學部品で、電子の自  
ら呼ばれる電荷部品。フェア  
チャイルドは自社が保有するCC  
Dの製造プロセスと構造に関す  
る三件の特許を侵害している  
として九月、ソニーのほか  
日立、東芝、沖電気工業、松  
下など日本の大手各社を訴えて  
いた。ソニーは「当社のCCDは  
フェアチャイルドの特許とは異  
なる製造プロセスと構造を採用  
している」と主張して反論。そ  
の正当性が認められたとして  
いる。またフェアチャイルドが  
控訴すれば、裁判が再び長期化  
する可能性も残っている。

Finally the Sony-Fairchild Patent War(1991-2000) ended over the Sony HAD Sensor which is identical to the P+NPNsub junction type Pinned Photodiode with Vertical Overflow Drain, originally invented by Hagiwara at Sony in 1975.

And finally Hagiwara received for his 1975-134985 Japanese Patent officially , the First Patent Award from Mr. Ando, Sony president in April, 2001 after more 26 years of struggles since his invention.

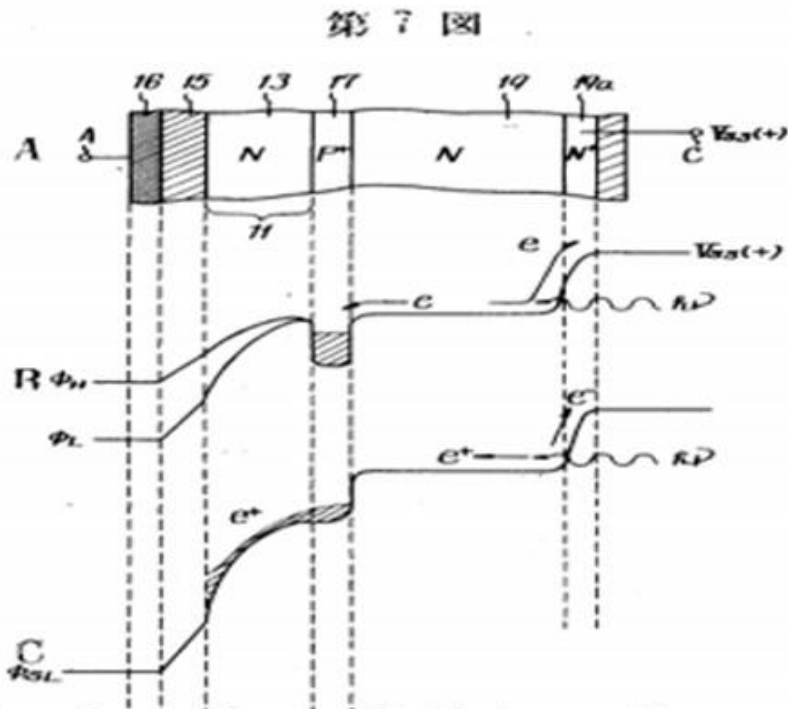


温故知新の精神

Hagiwara invented Pinned Photodiode in 1975

Figure 7 of Japanese Patent Application 1975-127647, applied Oct 23, 1975,

Public April 26, 1977 (Patent No. S52-51816)↵

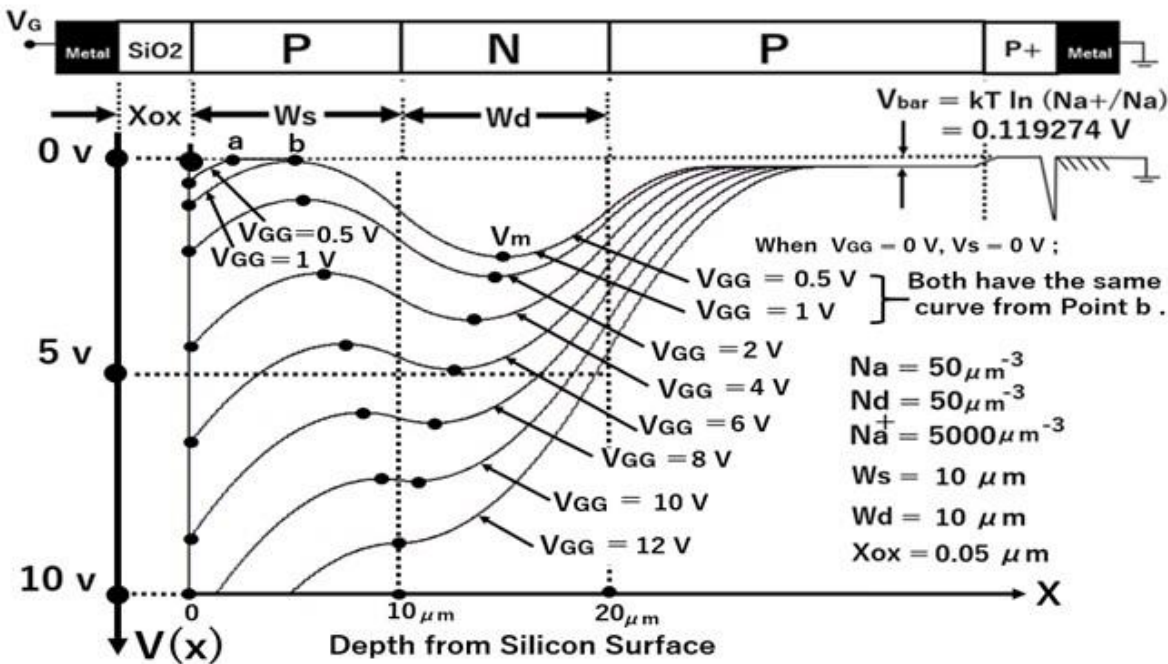


Yoshiaki Hagiwara invented it and applied for Japanese Patent on Oct 23, 1975.↵

PNP Double Junction type Buried Channel Pinned Photodiode

with MOS Capacitor Buffer Memory for Built-in Global Shutter Function

An example of Actual Numerical Calculation↵





## 温故知新の精神

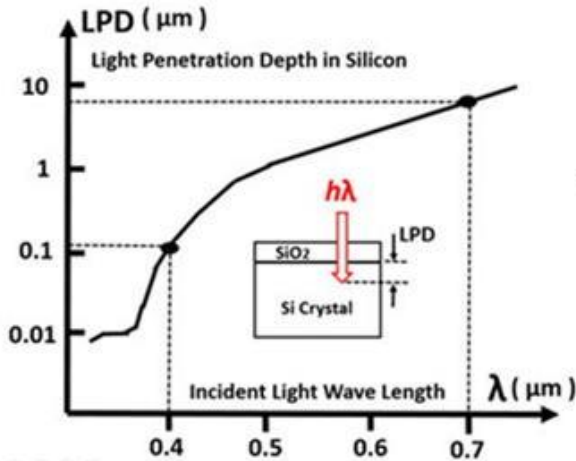


Figure 7 of JAP 1975-127647

## Drift Field Transistor

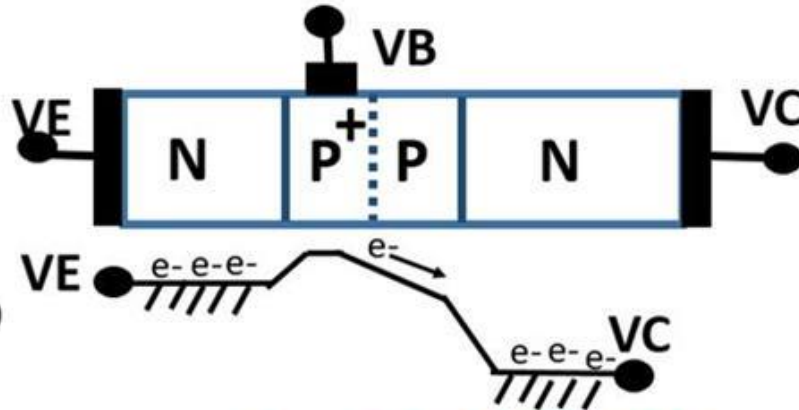
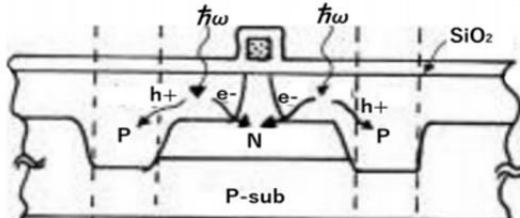


Figure 6 of JAP 1975-134985

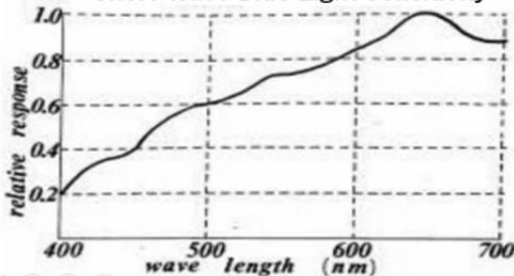


Hagiwara invented PNP junction type PPD in 1975 with (1) blue light 100% QE, (2) No Surface Dark Current and (3) No Image Lag, Complete Charge Transfer features.

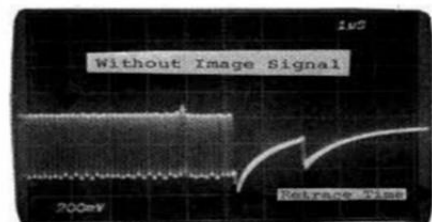
(A) Pinned-Surface and Buried-Storage PNP Photodiode with Adjacent Channel Stops



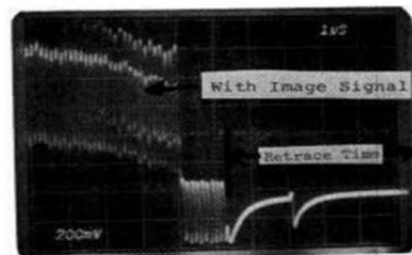
(B) Spectral Response with Very High Short-Wave Blue Light Sensitivity



(C) Signal Output with No Light showing Very Low Dark Current Feature



(D) Signal Output with Input Light showing No Image Lag Feature



Yoshiaki Hagiwara, Motoaki Abe and Chikara Okada, "A 380H x 488V CCD Imager with Narrow Channel Transfer Gates", Proceeding of 10<sup>th</sup> Conference on Solid State Devices, Tokyo 1978, Japanese Journal of Applied Physics, Volume 18 Sup 18-1, pp. 367-369.

## 温故知新の精神

Japan\_Semiconductor\_History\_Museum\_says\_Hagiwara\_proposed\_Pinned\_Phodiode\_in\_1975

<https://www.shmj.or.jp/english/pdf/dis/exhibi1005E.pdf>

1975-85

### Improvement of photodiode for image sensor

(Sony, Hitachi, NEC, Toshiba)

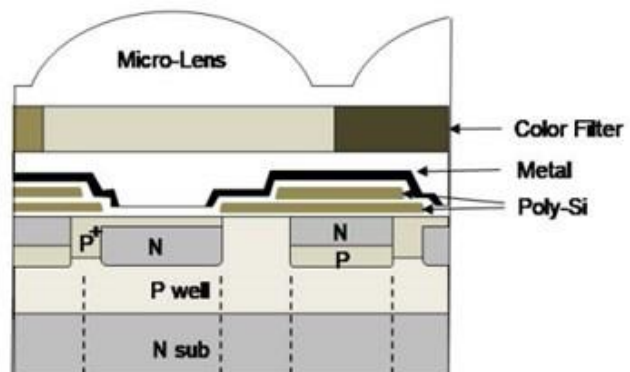
~ Discrete Semiconductor/Others ~

In 1975, Sony proposed using a PNP transistor as the photodetector [3]. By providing a P<sup>+</sup> layer (emitter) for the light incident section, the sensor electrode that covers the entire light receiving surface of the photodiode can be eliminated to improve the light sensitivity greatly. It was a basic proposal for a pinned photodiode with a P<sup>+</sup> layer on the surface of the light receiving part.

Next, proposals were made separately by Hitachi and Sony to use the P<sup>+</sup> layer as the substrate potential. In 1977, Hitachi presented a structure in which the high-concentration surface P<sup>+</sup> layer is connected to a P-type substrate (well) and pinned it to the same potential as the substrate to increase the charge storage capacity and widen the dynamic range of the photodiode [4]. In 1978, Sony announced an FT (Frame Transfer) -CCD image sensor, using the photodiode with the same structure [5]. Sony succeeded for the first time in the world in prototyping a VTR-integrated color movie camera using a 2 / 3-inch 280,000-pixel FT-CCD image sensor that developed this technology, in 1981 [6].

Photodiodes are used for photodetectors of image sensors. In 1987, Sony developed a 2 / 3-inch, 380,000-pixel CCD image sensor using a new type of photodetector, now called a Pinned Photodiode (Sony named it HAD: Hole Accumulation Diode) [1], and installed it in the 8mm VTR integrated video camera "CCD-V90". In the 1990s, the era of passport size video cameras demands compact CCD image sensors with large numbers of pixels (1/2 inch or smaller with 400,000 pixels or more).

Fig-1 Cross-sectional structure of the IT-CCD image sensor (surface irradiation type)



#### References:

- [1] M. Hamasaki, T. Suzuki, Y. Kagawa, K. Ishikawa, K. Miyata and H. Kambe, "An IT-CCD imager with electronically variable shutter speed", Technical Report of The Institute of Image Information and Television Engineers. vol. 12, no. 12, pp. 31-36, (1988)
- [3] Y. Hagiwara, Japanese Patent JP1975—134985
- [4] N. Koike, I. Takemoto. Japanese Patent JP1977—837 ← The Photodiode of JP1977-837 is Not Pinned Photodiode !
- [5] Y. Hagiwara, M. Abe, and C. Okada, "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, Tokyo, (1978): Japanese Journal of Applied Physics, vol. 18, Supplements 18-1, pp. 335-340, (1979)
- [6] I. Kajino, M. Shimada, Y. Nakada, Y. Hirata and Y. Hagiwara, "Single Chip Color Camera Using Narrow channel CCD Imager with Over Flow Drain", Technical Report of The Institute of Image Information and Television Engineers, vol. 5, no. 29, pp. 32-3S, (1981)



1990年5月22日、ソニーの Image Sensorの生産累計は1000万本を達成しました。  
7月11日にはソニー国分単独で1000万本を達成しました。また、7月23日には  
ソニー国分単独で 100万本に達しています。その後ソニー熊本も生産を開始し、  
現在では、世界のシェアの7割近い生産力を、ソニー単独で誇示しています。

## 高橋昌宏半導体本部長の祝辞（温故知新の精神）



Sony 製 Image Sensorの最大の特徴は超光感度で残像がない事である。電子shutter 機能を装備した Image Sensor の商品化に1980年に世界で初めて成功した。CCD /MOS 容量型の受光素子と、CCD 型の電荷転送装置(CTD)を採用した 2-chip ILT CCD image sensor (ICX016)の商品化に成功し、全日空の Jumbo747のコックピットに搭載し、離着陸時の鮮明な超感度で残像のない高速映像を実現した。その後、萩原良昭が1975年に発明し、かつ1978年のその原理試作に成功していた、超光感度で残像がなく、暗電流雑音が小さい受光素子である、triple 接合型の Pinned Buried Photodiode、別称 Hole Accumulation Diode (HAD) を受光素子に採用した 1-chip ILT CCD image sensor (ICX-022)の開発商品化に1987年ソニーは成功した。3年にして、累計1000万本生産となった。

常務取締役 半導体事業本部長  
高橋 昌宏

CCD を手掛けてからの19年間は、技術開発の蓄積期間でした。現在、その結晶が業績に結びつき、マーケットの中でソニー CCD は確固たる地位を得ています。

CCD について語る時、故岩間前社長を抜きにしては語れません。CCD は小型高性能なビデオカメラ実現のキーデバイスとして、岩間前社長のリーダーシップのもと開発されたものなのです。この CCD があって初めて 8 mm カムコーダーができたと言っても過言ではありません。この CCD 開発のパワーを他のデバイスに費やしていれば、どのデバイスでもトップクラスに位置したことでしょう。

私達は、ソニーの先端技術の象徴として CCD の開発に注力致しました。CCD の開発及び生産能力は、全てのデバイスの開発及び生産も可能にします。CCD はウェーハラインのクリーン化ドライバーの役割も担っており、CCD の生産ができることは、他のデバイスの開発生産も可能な基本的な技術力を保持していることになります。

半導体の外販をスタートさせるにあたり、ソニーの半導体技術レベルの裏付けは CCD が示しました。CCD がなかったならば、ソニーの半導体の実力を世界に示すことは難しかったかもしれません。現在ソニーは全半導体産業の30%の分野に参入しています。CCD を基本とした半導体ウェーハプロセスの技術力生産力をもって臨めば、残り70%の市場で成功を収めることも充分可能でしょう。

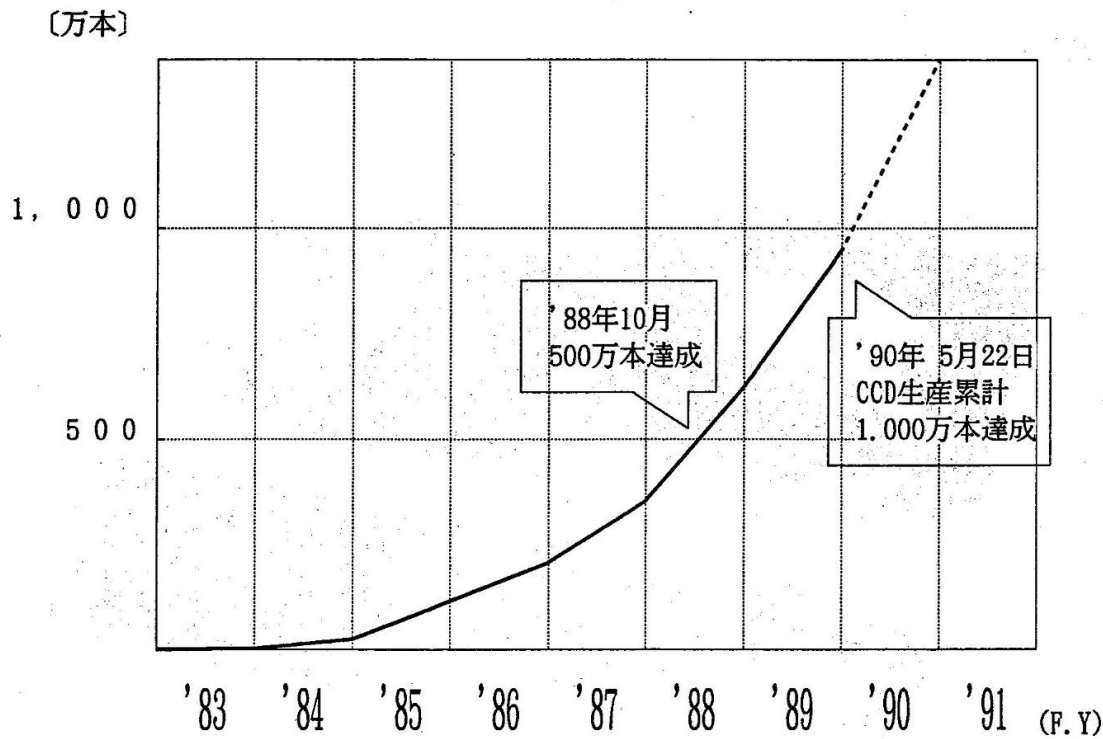
CCD は生産累計500万個を達成するのに1979年から1988年まで9年間を要しましたが、500万個から1000万個はわずか一年半で達成しています。これは、ソニーの技術力の高さと、CCD を取り巻くマーケットが大きく発展していることの表れです。現在、CCD を量産しているメーカーは非常に限られています。他のメーカーもこのマーケットに参入しようと研究開発に相当な力で取り組んでいるのも事実です。私達も商品化のみならず、基本的な研究にも充分力を入れて他社の追随を許さぬよう一層の努力が必要です。

CCD の開発目標は、より画素数を多くして、より小型化、より高感度化を目指しています。それらを具体化実現化するにあたっては既存の技術延長上にあつては成し得ません。半導体の領域には、プロセス技術、設計能力、そして物理的な枠により決まる限界がありますが、過去に想定された限界はこれまで何度となくブレイクスルーすることができました。私達には CCD の限界を探り、目標を設定し、常にブレイクスルーする、といったような柔軟性のある前向きな姿勢がこれから一段と必要となってくるでしょう。

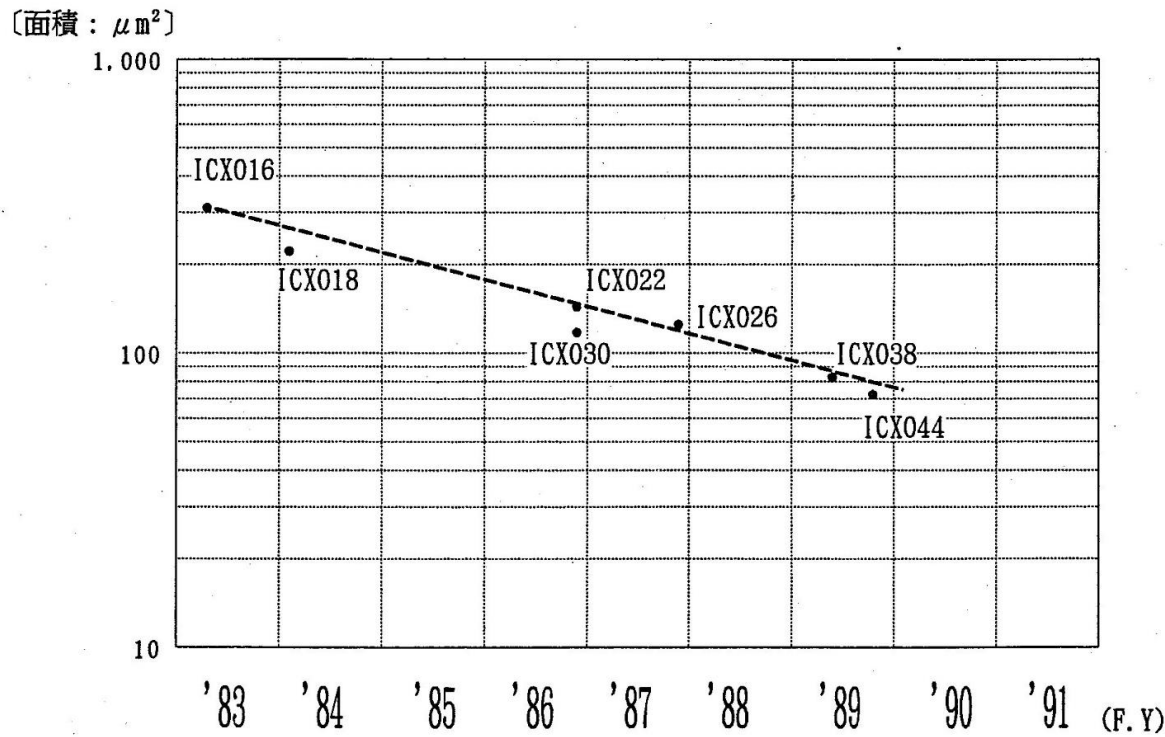
これからは、新しい様々な情報を収集し、そのデータから新技術を創造し、具体的に商品化に結び付けるような実力を培う努力が必要です。同時に、新材料、新加工技術ができたときには、温故知新の精神も忘れてはいけません。

今後の CCD に大いに期待します。

温故知新の精神



ソニーCCD撮像素子生産の歩み (生産累計)



1画素あたりの面積推移 (出荷時期)



## 温故知新の精神

## 論文集リスト (英文)

No. 1

| 時期            | 題 名                                                                                            | 著者名                                                                                    | 出典名                                                                       | 頁  |
|---------------|------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------|---------------------------------------------------------------------------|----|
| 1972 年<br>8月  | An Improvement on Structure of Charge-Coupled Devices                                          | T. Mifune<br>S. Ochi<br>A. Shibata<br>Y. Kanoh                                         | The 4th Conference on Solid State Device                                  | 13 |
| 1973 年        | An Improvement on Structure of Charge-Coupled Devices                                          | T. Mifune<br>S. Ochi<br>A. Shimada<br>Y. Kanoh                                         | Supplement to the Journal of the Japan Society of Applied Physics Vol. 42 | —  |
| 1977 年        | Dislocation Configuration Under Periodic Stress Field Caused by a Poly-Silicon Film on Silicon | Y. Hayafuji<br>T. Shimada<br>S. Kawado                                                 | Semiconductor Silicon the Electronical Society Philadelphia               | 18 |
| 1977 年<br>8月  | Two Phase CCD with Narrow-Channel Transfer Regions                                             | <u>Y. Daimon</u><br><u>-Hagiwara</u>                                                   | The 9th Conference on Solid State Devices                                 | 20 |
| 1977 年<br>10月 | A CCD Imager with SiO <sub>2</sub> Exposed Photosensor Arrays                                  | M. Abe<br>T. Shimada<br>C. Okada<br>T. Ando<br>Y. Kanoh<br>T. Hashimoto<br>H. Yamasaki | IEDM Technical Digest                                                     | 27 |
| 1977 年<br>11月 | A Color Camera Utilizing Zigzag-Transfer CCD'S with Checker-Pattern                            | S. Ochi<br>S. Yamanaka<br>Y. Kanoh                                                     | IEEE Densi Tokyo No. 16                                                   | 31 |
| 1978 年<br>2月  | A Device Structure and Spatial Spectrum for Checker-Pattern CCD Color Camera                   | S. Ochi<br>S. Yamanaka<br>Y. Kanoh<br>T. Nishimura                                     | IEEE Trans. on Electron Devices 1978                                      | 35 |
| 1978 年<br>2月  | A Zigzag-Transfer CCD Imager                                                                   | H. Matsumoto<br>T. Ando<br>Y. Kanoh<br>S. Yamanaka<br>S. Ochi                          | ISSCC Digest of Technical Papers 1978                                     | 41 |
| 1978 年        | Two Phase CCD with Narrow-Channel Transfer Regions                                             | <u>Y. Daimon</u><br><u>-Hagiwara</u>                                                   | Japanese Journal of Applid Physics Vol. 17 Supplement                     | —  |
| 1978 年        | A 380H×488V CCD Imager with Narrow Channel Transfer Gates                                      | <u>Y. Daimon</u><br><u>-Hagiwara</u>                                                   | Japanese Journal of Applied Physics Vol. 18 Supplement                    | 44 |
| 1979 年        | A 380H×488V CCD Imager with Narrow-Channel Transfer Gates                                      | <u>Y. Daimon</u><br><u>-Hagiwara</u><br>M. Abe<br>C. Okada                             | The 10th Conference on Solid State Devices                                | —  |

## 温故知新の精神

## 論文集リスト (英文)

No. 2

| 時期            | 題 名                                                                                    | 著者名                                                                                        | 出典名                                                                                    | 頁   |
|---------------|----------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------|-----|
| 1979 年<br>5月  | Three-Chip CCD Colour Camera<br>using a Spatial Offsetting<br>Technique                | S. Komuro<br>Y. Nakada<br>E. Hayashi<br>S. Yamanaka<br>Y. Kanoh                            | 11TH International<br>Television<br>Symposium Montreux                                 | 50  |
| 1979 年<br>9月  | Advances in CCD Imagers                                                                | <u>Y. Daimon</u><br><u>-Hagiwara</u>                                                       | CCD79                                                                                  | 57  |
| 1980 年        | CCD Digital Color Camera                                                               | F. Nagumo<br>T. Asaida<br>S. Ochi                                                          | CSC80 21ST<br>Annual Chicago<br>Spring Conference<br>on Consumer<br>Electronics (IEEE) | 62  |
| 1980 年<br>5月  | An Analysis of Video Deffects<br>Observed in an Interline<br>Transfer CCD Image Sensor | T. Shimada<br>Y. Kanoh<br>J. Aoyama                                                        | The<br>Electrochemical<br>Society Spring<br>Meeting                                    | 76  |
| 1981 年<br>9月  | A New CCD Digital Color Camera<br>using Direct Encoding Method                         | T. Asaida<br>F. Nagumo                                                                     | Digital Signal<br>Processing                                                           | 79  |
| 1983 年<br>9月  | A Digital CCD Field Memory for<br>Video Signal Processing                              | T. Narabu<br>H. Kanbe<br>M. Nakashio<br>M. Sato<br>T. Hashimoto                            | The Trans.<br>of the IECE of<br>Japan<br>1983                                          | 89  |
| 1984 年<br>2月  | A CMOS CCD Video Delay Line                                                            | M. Sato<br>T. Hashimoto<br>S. Ogasawara<br>K. Suzuki                                       | ISSCC Digest of<br>Technical Papers<br>1984                                            | 96  |
| 1984 年<br>6月  | Signal Processing ICs Employed<br>in Single chip CCD color Camera                      | M. Onga<br>T. Nishimura<br>S. Komuro<br>T. Iizuka<br>M. Tsuruta<br>T. Kondo<br>S. Yamanaka | IEEE<br>Trans. on Consumer<br>Electronics<br>1984                                      | 98  |
| 1985 年<br>10月 | Development of CCD Imaging Block<br>for Single Chip Color Camera                       | Y. Ogawa<br>Y. Nakada<br>H. Yasui<br>S. Ochi                                               | IEEE<br>Trans. on Consumer<br>Electronics<br>1985                                      | 100 |
| 1985 年<br>8月  | High-Resolution CCD Image<br>Sensors with Reduced Smear                                | T. Kumesawa<br>M. Yamamura<br>H. Terakawa<br>H. Murata<br>H. Matsumoto<br>S. Ochi          | IEEE<br>Trans. on<br>Electron<br>Devices<br>1985                                       | 109 |



## 温故知新の精神

## 論文集リスト (英文)

No. 3

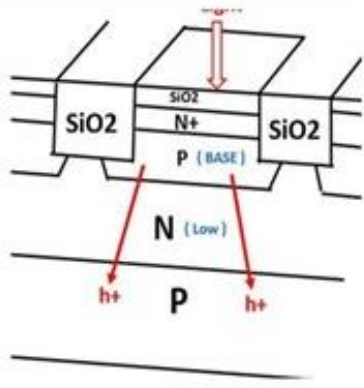
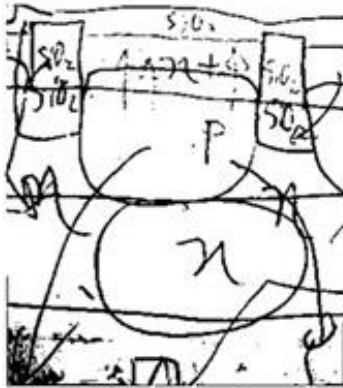
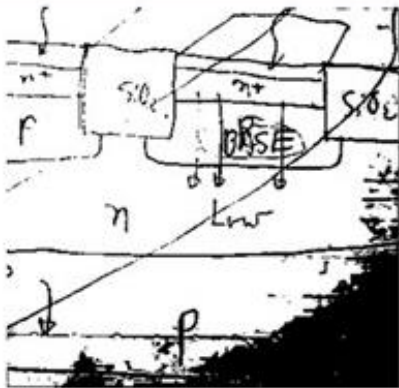
| 時期              | 題 名                                                           | 著者名                                                              | 出典名                                                    | 頁   |
|-----------------|---------------------------------------------------------------|------------------------------------------------------------------|--------------------------------------------------------|-----|
| 1986 年<br>6月    | CCD Delay Line for Video Time<br>Base Correction              | T.Narabu<br>M.Nakashio<br>F.Shimura<br>K.Saito                   | ICCE<br>Digest of<br>Technical Papers<br>1986          | 115 |
| 1986 年<br>8月    | CCD Delay Line For Video TBC                                  | T.Narabu<br>M.Nakashio<br>F.Simura<br>K.Saito                    | IEEE<br>Trans.on<br>Consumer<br>Electronics<br>1986    | 117 |
| 1987 年          | A 1/2-in CCD Imager with<br>510×492 Pixels                    | M.Yamamura<br>J.Hojou<br>I.Hirota<br>Y.Ueda<br>H.Matsumoto       | Proceedings of<br>SPIE Vol.765                         | 125 |
| 1987 年<br>2月    | A CMOS-CCD Signal Processor<br>for Skew Compensation          | H.Miura<br>I.Masuda<br>M.Sato                                    | ISSCC<br>Digest of<br>Technical Papers<br>1987         | 131 |
| 1988 年<br>2月    | A CMOS-CCD Comb Filter with<br>Dropout compensation for a VCR | Y.Maki<br>T.Kondo<br>A.Izumi<br>I.Masuda<br>T.Fukuda<br>T.Narabu | ISSCC<br>Digest of<br>Technical Papers<br>1988         | 133 |
| 1988 年<br>6月    | A New Timing Generator IC<br>for a CCD Imager                 | M.Yamaguchi<br>S.Kunimoto<br>M.Sato                              | ICCE<br>Digest of<br>Technical Papers<br>1988          | 135 |
| 1988 年<br>6月 8日 | New Video Signal-Processing LSIs<br>for 8mm VCRs              | T.Fukuda<br>K.Nishitani<br>F.Yamaguchi<br>K.Abe<br>T.Narabu      | ICCE<br>Digest of<br>Technical Papers<br>1988          | 137 |
| 1988 年<br>6月    | New Video Signal-Processing LSIs<br>for 8mm VCRs              | T.Fukuda<br>K.Nishitani<br>F.Yamaguchi<br>K.Abe<br>T.Narabu      | IEEE<br>Trans.on<br>Consumer<br>Electronics<br>1988    | 139 |
| 1988 年<br>9月    | A CCD Chip for EFP and colour<br>TV Camera Applications       | K.Shinoda<br>M.Hamasaki<br>T.Asaida<br>F.Nagumo                  | International<br>Broadcasting<br>Convension            | 148 |
| 1989 年<br>6月    | A New High-End CCD EFP Camera                                 | S.Hara<br>T.Nagasawa<br>H.Terakawa<br>M.Koyama                   | 16TH International<br>Television<br>Symposium Montreux | 152 |

温故知新の精神

論文集リスト（英文）

No. 4

| 時期           | 題 名                                                                | 著者名                                                                                                                                                                     | 出典名                                              | 頁   |
|--------------|--------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------|-----|
| 1989 年<br>3月 | IT CCD Imaging Sensor with<br>Variable Speed Electronic<br>Shutter | K.Ishikawa<br>M.Hamasaki<br>T.Suzuki<br>H.Kambe<br>Y.Kagawa<br>K.Miyata<br>K.Yonemoto                                                                                   | Proceeding of<br>SPIE<br>Vol.1107                | 173 |
| 1990 年<br>2月 | A 2Million Pixel FIT-CCD Image<br>Sensor for HDTV Camera System    | K.Yonemoto<br>T.Iizuka<br>S.Nakamura<br>K.Harada<br>K.Wada<br>M.Negishi<br>H.Yamada<br>T.Tsunakawa<br>K.Sinohara<br>T.Ishimaru<br>Y.Kamide<br>T.Yamasaki<br>M.Yamagishi | ISSCC<br>Digest of<br>Technical Papers<br>1990   | 184 |
| 1990 年       | A 5000-pixel Linear Image<br>Sensor with On-Chip<br>Clock Drivers  | M.Hirama<br>Y.Watanabe<br>S.Koiike<br>T.Kodake<br>K.Tsuchiya<br>T.Narabu                                                                                                | ICCE<br>Digest of<br>Technical Papers<br>1990    | 187 |
| 1990 年       | A 5000-pixel Linear Image<br>Sensor with On-Chip<br>Clock Drivers  | M.Hirama<br>Y.Watanabe<br>S.Koiike<br>T.Kodake<br>K.Tsuchiya<br>T.Narabu                                                                                                | IEEE<br>Trans.on Consumer<br>Electronics<br>1990 | 193 |



Hagiwara 1975 Lab Note shows Pinned Photodiode Structure.



## 温故知新の精神

## 論文集リスト (和文)

No. 1

| 時期            | 題 名                          | 著者名                                   | 出典名                                         | 頁   |
|---------------|------------------------------|---------------------------------------|---------------------------------------------|-----|
| 1977 年<br>2月  | 窓明きCCDによる空間絵素<br>ずらしカラーカメラ   | 島田、林、山崎<br>橋本、小室、岡沢<br>安井、山中          | TV学会技術報告<br>方式回路研究会<br>TBS36-2              | 195 |
| 1977 年<br>2月  | 市松模様・蛇行CCDカラーカメラ             | 山中、越智、橋本<br>名雲、西村、桑沢<br><u>萩原</u> 、島田 | TV学会技術報告<br>方式回路研究会<br>TBS36-3              | 215 |
| 1977 年<br>3月  | 固体カラーカメラ                     | 橋本、山中、狩野                              | ソニー中研<br>research bulletin<br>No.003 PP5-16 | 234 |
| 1977 年<br>4月  | 窓明きフレーム転送方式CCD撮像素子           | 島田、小谷田、<br>岡田、小糸、二神<br>阿部、安藤、狩野       | 電子通信学会、<br>半導体・トランジスタ研究会<br>SSD77-2         | 247 |
| 1977 年<br>4月  | 市松模様・蛇行CCD撮像素子               | 松本、藤井、鈴木<br>服部、八木、安藤<br>狩野、越智         | 電子通信学会、<br>半導体・トランジスタ研究会<br>SSD77-3         | 257 |
| 1978 年<br>4月  | 高密度構造インターライン転送方式<br>CCD撮像素子  | 岡田、島田、松本<br>安藤、狩野、桑沢<br><u>萩原</u>     | 電子通信学会、<br>半導体・トランジスタ研究会<br>SSD78-5         | 267 |
| 1978 年<br>5月  | 3 CCD カラーカメラの一構成法            | 小室、島田、安井<br>西村、中田                     | TV学会技術報告<br>方式回路研究会<br>TBS46-3              | 277 |
| 1978 年<br>5月  | 時空間スペクトル                     | 越智、 <u>萩原</u> 、古川                     | ソニー中研<br>research bulletin<br>No.10         | 282 |
| 1978 年<br>9月  | 3 CCD カラーカメラ方式               | 山中、山崎、橋本<br>阿部、越智                     | TV学会技術報告<br>電子装置研究会<br>ED395                | 286 |
| 1979 年<br>7月  | 3 CCD カラーカメラの一方式             | 山中、山崎、橋本<br>阿部、越智                     | TV学会誌Vol. 33<br>No.7                        | 292 |
| 1979 年<br>10月 | CCD撮像デバイス (1)                | <u>萩原</u>                             | 電気四学会連合大会                                   | 299 |
| 1980 年<br>1月  | インターライン転送方式CCD撮像素子           | 狩野、安藤、 <u>萩原</u><br>橋本                | TV学会技術報告<br>電子装置研究会<br>ED481                | 303 |
| 1980 年<br>1月  | CCDカラーカメラの線順次<br>撮像方式と信号処理方式 | 名雲、山中、越智                              | TV学会技術報告<br>方式回路研究会<br>TEBS60-1             | 309 |
| 1980 年<br>1月  | 線順次方式 2CCD カラーカメラ            | 村田、名雲、中田<br>安井、西村、小室<br>桑沢            | TV学会技術報告<br>方式回路研究会<br>TEBS60-2             | 316 |
| 1980 年<br>8月  | CCDディジタルカラーカメラ               | 名雲、浅井田<br>越智                          | TV学会技術報告<br>方式回路研究会<br>TEBS64-4             | 322 |

## 温故知新の精神

## 論文集リスト (和文)

No. 2

| 時期            | 題 名                             | 著者名                                       | 出典名                                                           | 頁   |
|---------------|---------------------------------|-------------------------------------------|---------------------------------------------------------------|-----|
| 1981 年<br>2月  | 2/3"狭チャンネルCCD撮像素子               | 平田、大津、阿部<br>萩原                            | TV学会技術報告<br>方式回路研究会<br>TEBS69-3 ED-555                        | 328 |
| 1981 年<br>3月  | 固体カラーカメラの現状と動向                  | 竹村、越智、佐藤<br>藤原、森下                         | TV学会誌<br>Vol. 35                                              | 334 |
| 1981 年<br>3月  | 狭チャンネルF.T型CCDによる<br>単板カラーカメラ    | 島田、梶野、西村<br>小室、中田、南                       | TV学会技術報告<br>方式回路研究会<br>TEBS70-4                               | 342 |
| 1981 年<br>12月 | ナローチャンネルCCD 単板カラーカメラ            | 梶野、島田、中田<br>平田、萩原                         | TV学会技術報告<br>方式回路電子装置<br>研究会<br>TEBS 76-6 ED611                | 348 |
| 1983 年<br>3月  | 高抵抗MCZ基板を用いたMOS型センサー<br>CCD撮像素子 | 松本、島田、阿部<br>安藤、松井、竹下<br>橋本                | TV学会技術報告<br>方式回路電子装置<br>研究会<br>TEBS87-5 ED693                 | 354 |
| 1983 年<br>12月 | ビデオ信号処理用デジタルCCDフィールドメモリ         | 奈良部、神戸、<br>中塩、佐藤、橋本                       | 電子通信学会論文誌<br>Vol. J66-C No.12                                 | 360 |
| 1983 年        | 高抵抗MCZ基板を用いたMOS型センサー<br>CCD撮像素子 | 松本、平田、松井<br>竹下、浜崎                         | TV学会誌<br>Vol. 37 No.10                                        | 368 |
| 1984 年<br>2月  | 水平510画素CCD撮像素子                  | 寺川、神戸、山村<br>桑沢、松本、平田                      | TV学会技術報告<br>方式回路電子装置<br>研究会<br>TEBS94-4 ED-773                | 374 |
| 1984 年<br>2月  | CCD R/B 線順次 カラーカメラのLSI化         | 西村、中田、小室<br>恩賀、飯塚、鶴田<br>近藤、梶野、中塩<br>阿部、佐藤 | TV学会技術報告<br>方式回路電子装置<br>研究会<br>TEBS94-1 ED770                 | 380 |
| 1985 年<br>2月  | カラーカメラ用CCD撮像ブロック                | 小川、中田<br>安井、越智                            | TV学会技術報告<br>方式回路電子装置<br>研究会<br>TEBS101-9 ED844                | 386 |
| 1987 年<br>10月 | 最低照度 5lxの<br>高感度インターライン 型CCD    | 浜崎、鈴木、賀川<br>石川、宮田、神戸                      | 日経マイクロデバイス10月号                                                | 392 |
| 1988 年<br>2月  | 可変速電子シャッター付IT-CCD撮像素子           | 浜崎、鈴木、賀川<br>石川、宮田、神戸                      | TV学会技術報告<br>方式回路電子装置<br>Vol. 12 No.12<br>TEBS' 88-6. ED' 88-9 | 400 |
| 1988 年<br>4月  | CMOS-CCDくし型フィルタ                 | 真城、近藤、泉<br>益田、福田<br>奈良部                   | 電子情報通信学会<br>ICD 88-1                                          | 406 |
| 1989 年        | 撮像デバイス技術の展開<br>高解像度CCD撮像素子      | 浜崎                                        | 平成元年<br>電気・情報関連学会<br>連合大会                                     | 413 |



温故知新の精神

論文集リスト（和文）

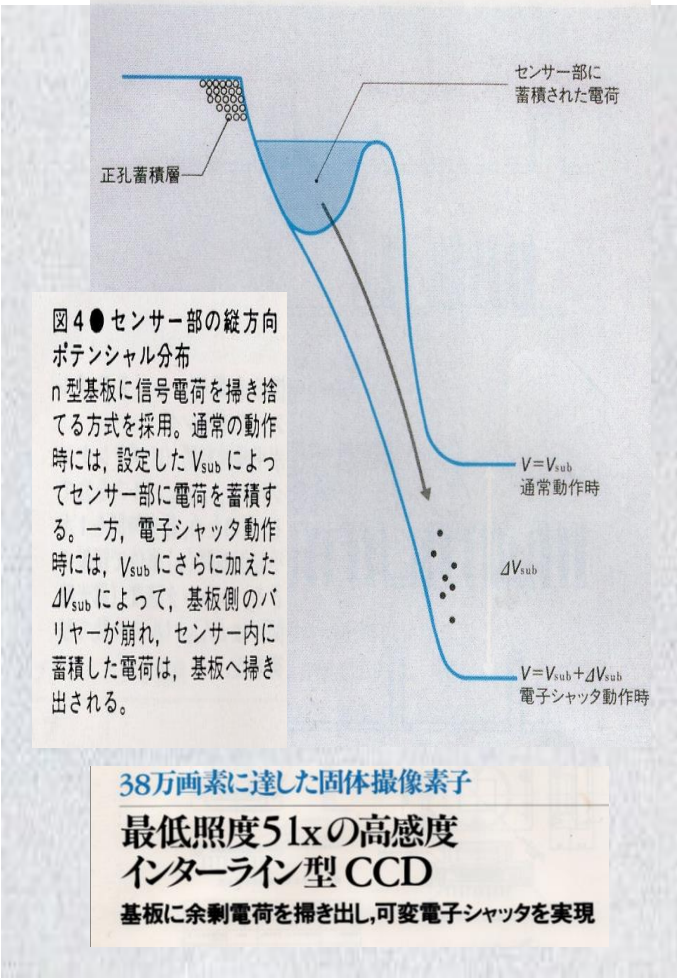
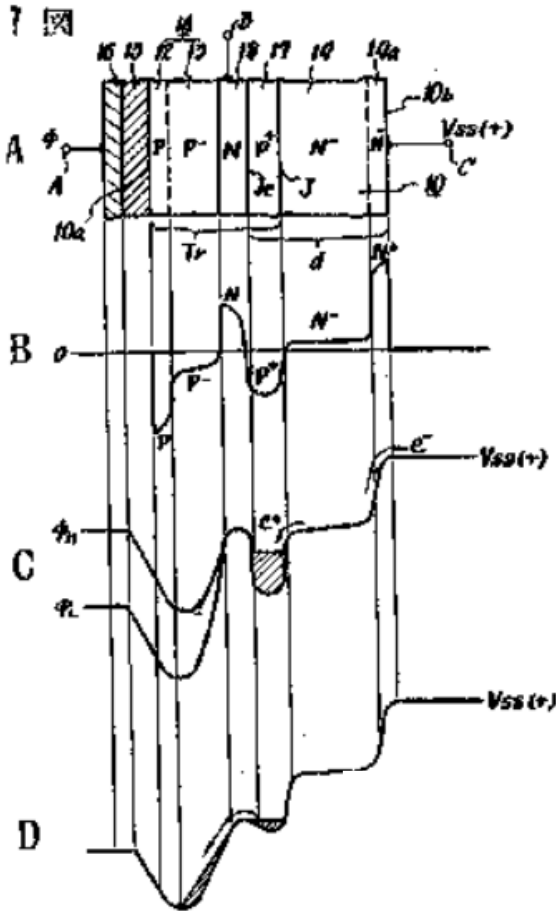
No. 3

| 時期           | 題 名                                    | 著者名                                      | 出典名                           | 頁   |
|--------------|----------------------------------------|------------------------------------------|-------------------------------|-----|
| 1989 年       | 2/3インチ有効 38万画素<br>FIT-CCD撮像素子          | 広田、寺川、小山<br>福所、武藤、井口<br>小川、桑沢            | 1989年<br>TV学会全国大会             | 417 |
| 1989 年       | 1/2インチ有効 38万画素<br>連続可変速シャッタ付IT-CCD撮像素子 | 松井、二島、小林<br>久留巢、江副、<br>山中、町島、志村<br>磯野、鈴木 | 1989年<br>TV学会全国大会             | 419 |
| 1990 年<br>6月 | 感度、解像度とも損なわず<br>1/3インチCCD撮像素子を実現       | 二島、小川、鈴木<br>松井 東宮、鈴木                     | 日経マイクロデバイス 6月号                | 421 |
| 1990 年<br>6月 | HDTV用 200万画素 FIT-CCDイメージング             | 米本、阿部                                    | 電子情報通信学会<br>VLD90-22 ICD90-58 | 429 |

Figure 7 of JPA1975-127646  
by Yoshiaki Hagiwara in 1975

Sony 1987 Image Sensor  
with Electric Shutter Function

第 7 図



## 温故知新の精神

### テクノロジー

固体撮像素子  
CCD  
雑音  
センサー

萩原は 1977 年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

## 38万画素に達した固体撮像素子

# 最低照度5lxの高感度 インターライン型 CCD

## 基板に余剰電荷を掃き出し、可変電子シャッタを実現

最も一般的な固体撮像素子であるインターライン型 CCD で、2/3 インチで 38 万と大規模な画素数を持つ素子をソニーが製品化した。

画素面積が小さくなることで減少する信号量を確保するため、縦型オーバーフロー・ドレインを採用して開口率を上げ、補色フィルタで光の利用効率を上げた。さらに界面準位からの暗電流を抑えている。

この結果、81 dB のダイナミック・レンジが得られた。

また、可変電子シャッタを搭載、余剰電荷を基板に捨てる方式を採用している。

フィルタには 3 色縦ストライプ方式を採用したため水平解像度は 330 TV 本だが、周辺回路を大幅に簡略化できた。

この素子を同社のカメラ一体型 8 mm ビデオ「CCD-V90」に搭載している。 (本誌)

ソニー 半導体事業本部 CCD 事業部

浜崎 正治  
鈴木 智行  
賀川 能明  
石川 貴久枝  
宮田 克郎

ソニー国分セミコンダクタ CCD 製造部

神戸 秀夫

今回、われわれは高画質時代に向けた 2/3 インチ光学系対応のインターライン型カラー CCD 撮像素子を商品化した(図 1)。この素子は以下の特徴を持つ。

- ① 水平 768 画素、垂直 493 画素と従来比 1.5 倍の有効画素数を持ち、高画質化を実現。
- ② インターライン方式で、初めて可変電子シャッタ機能を搭載。
- ③ 縦型 OFD (over flow drain) 構造と補色フィルタを採用、最低被写体照度 5 lx (F1.4) と高感度化。

④ 暗電流を抑え、固定パターン雑音を従来比 1/10 に低減。

⑤ 3 色縦ストライプ色コーディングを採用、これを原色処理することで信号処理回路の簡略化と良好な色再現性を実現。

高画質化と可変電子シャッタ搭載を目指して開発した CCD 撮像素子の商品化によって、固体撮像素子の応用分野がさらに拡大するものと考えている。

### 高画質化のニーズにこたえて開発

これまでカメラに使われている固定撮像素子は、現行のテレビや家庭用 VTR の性能をほぼ満足するレベルにある。しかし、業務用や報道用カメラに要求される解像度としてはまだ不十分である。さらに、家庭用のテレビや VTR さえも、最近の高解像度化が見直され始め、あらゆる分野で固体撮像素子の高画質化が望まれている。



温故知新の精神

38万画素に達した固体撮像素子●最低照度 5 lx の高感度インターライン型 CCD

萩原は 1977 年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

さらに、ビデオ・カメラの小型軽量化のために、信号処理回路の簡略化も同時に実現しなくてはならない。

今回、商品化した CCD 撮像素子はこうしたニーズにこたえて開発したものである。暗い室内や蛍光灯の下など、いろいろな状況で高画質化を実現できる。さらに、簡単な信号処理回路の実現、動きの速いものでもはっきり映せる可変電子シャッタの搭載など、従来の固体撮像素子にはない優れた特徴を持つ。

界面の正孔蓄積で  
暗電流を抑制、  
シャッタはパルス数で制御

今回商品化した素子のチップ面積は 10.0 (水平)×8.2(垂直)mm<sup>2</sup>、有効受光面積が 8.8 (水平)×6.6(垂直)mm<sup>2</sup>、有効画素数 768(水平)×493(垂直)である (表 1)。

有効受光面積と画素数から、11(水平)×13 (垂直)μm<sup>2</sup> の単位画素面積が決まる。センサーの開口面積は 49 μm<sup>2</sup> である。

カラー・フィルタは、イエロー (Ye) /グリーン (G) /シアン (Cy) の縦ストライプ方式を採用した。NTSC カラー方式の場合、フレーム蓄積で水平解像度が 330 TV 本、垂直解像度が 490 TV 本になる。

基板には、MCZ 法で引き上げた n 型 Si を使用。p ウエル層は 2 種類設けた (図 2)。

p ウエル層でブルーミングとスミアを抑制

第 1p ウエルの打ち込み量とアニールの時間および温度は、当社で開発したプロセス・デバイス・シミュレータを使って最適化した。動作時に p ウエルが空乏化する構造である。この第 1p ウエルは、ブルーミングとスミア

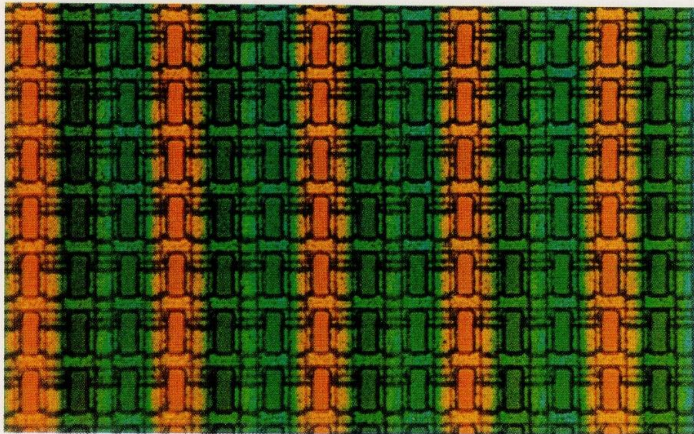


図 1 ● 商品化した 2/3 インチ光学系対応インターライン型カラー CCD 撮像素子

を抑える役割を果たす。次に形成する第 2 p ウエルは、スミアの抑制をさらに強化する構造である。

これらの p ウエル層を形成後、垂直・水平レジスタ、センサーの順に形成する。

| 表 1 ● 商品化した撮像素子の構成と主な性能           |                         | * 相関二重サンプリング前 |
|-----------------------------------|-------------------------|---------------|
| 転送方式                              | インターライン CCD             |               |
| 画面サイズ                             | 2/3 インチ光学系対応            |               |
| 有効画素数[水平×垂直]                      | 768×493                 |               |
| 単位画素サイズ[水平×垂直] (μm <sup>2</sup> ) | 11×13                   |               |
| チップ・サイズ[水平×垂直] (μm <sup>2</sup> ) | 10.0×8.2                |               |
| 開口面積 (μm <sup>2</sup> )           | 49                      |               |
| 垂直解像度[フレーム蓄積] (TV 本)              | 490                     |               |
| 水平解像度[カラー] (TV 本)                 | 330                     |               |
| スミア抑圧 (%)                         | 0.01                    |               |
| 残像                                | 検出限界以下                  |               |
| ダイナミック・レンジ (dB)                   | 81                      |               |
| 最大電荷量 (電子数/画素)                    | 1.1×10 <sup>5</sup>     |               |
| 雑音電子数* (電子数/画素)                   | 10                      |               |
| 最低被写体照度 [F 1.4] (lx)              | 5                       |               |
| ブルーミング対策                          | 縦型 OFD                  |               |
| スミア対策                             | 縦型 OFD                  |               |
| フィルタ                              | Ye/G/Cy 縦ストライプ (オン・チップ) |               |



温故知新の精神

固体撮像素子

萩原は 1977 年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

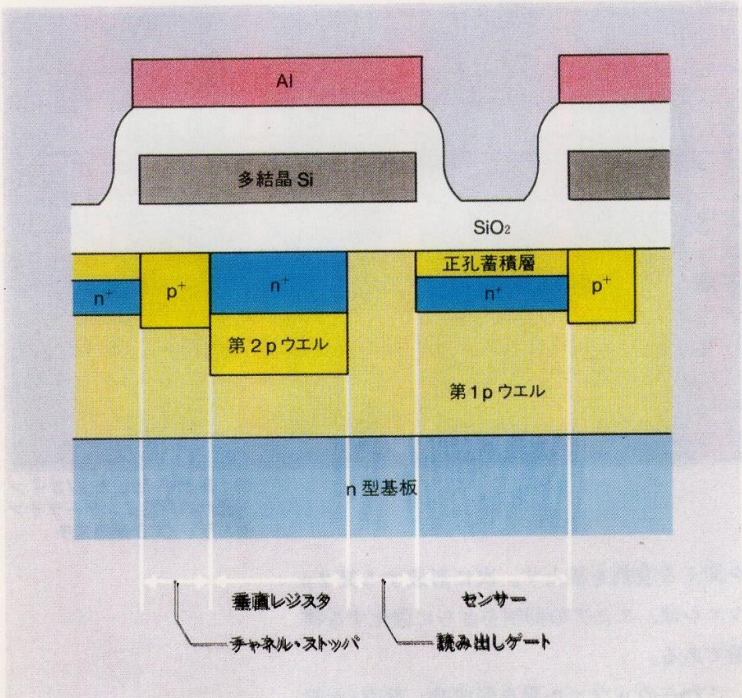


図2 ● p ウエル層、垂直レジスタ、センサーの順に形成  
n 型基板、p ウエル構造を採用。さらに、スミアを抑制するため、垂直レジスタの下に第2 p ウエルを形成する。センサー部は感度の向上と暗電流の低減を図るため、n+p ダイオードに正孔蓄積構造を付加した。

今回、信号出力の確保と暗電流の大幅な低減によって、81 dB のダイナミック・レンジを達成した。最低被写体照度も 5 lx と低い。この結果、今まで十分に満足いく画質が得られなかった暗い室内のような状況でも、透明感のある鮮明な画像が得られた。

高感度化は、シャッタ速度が速く、信号量が少なくなる可変電子シャッタを使ううえでも重要である。

表面に正孔を蓄積、暗電流を抑制

信号出力の大きさは、入射光からどの程度の信号を取り出せるかで決まる。これは、センサーの開口面積を大きくし、またセンサー表面の光透過率を上げる必要があることを意味する。

そこで今回から縦型 OFD 構造を採用、パターンとプロセスを最適化し、34% の開口率を確保した。

さらに光透過率を上げるため、Ye/G/Cy

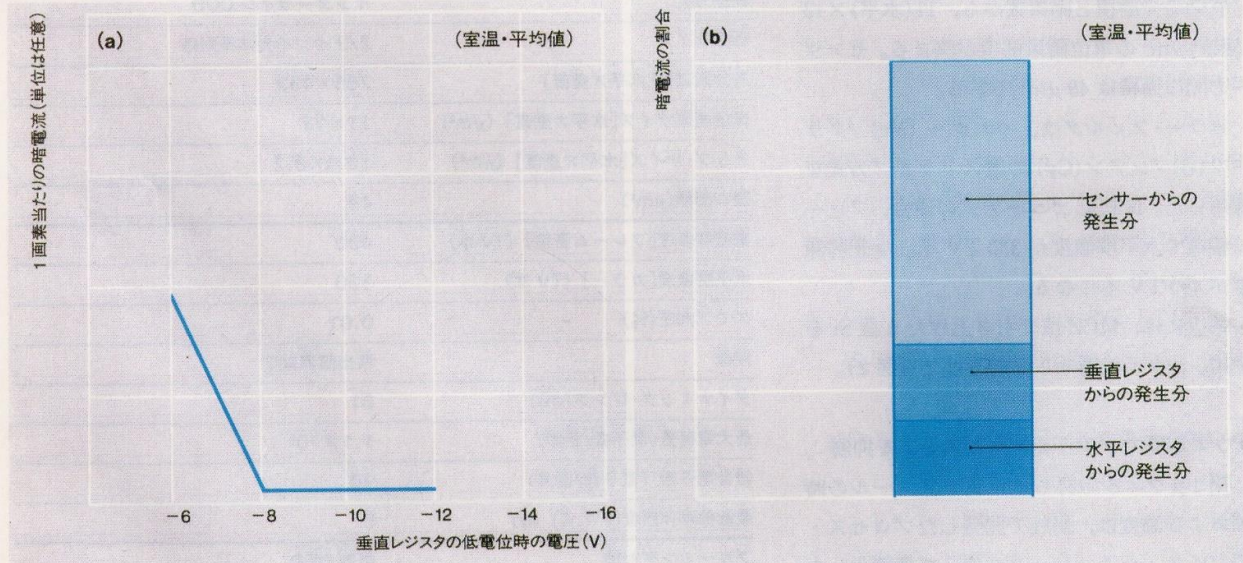


図3 ● 垂直レジスタの暗電流特性  
埋め込みチャネルで転送する垂直レジスタは、表面から発生する暗電流に対して正孔を蓄積状態にし、界面準位から発生する電流を抑えている。垂直レジスタのゲート電圧によって、正孔の蓄積量を制御できるため、電圧値によって、暗電流値が変化している (a)。センサーおよび垂直レジスタ、水平レジスタの各部から発生する 1 画素当たりの暗電流の内訳を示した (b)。単位時間および単位面積で換算していないため、面積の大きいセンサーの暗電流が最も多い。



## 温故知新の精神

38万画素に達した固体撮像素子●最低照度 5lx の高感度インターライン型 CCD

萩原は 1977 年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

の補色フィルタを採用した。特に短波長側の感度を上げるため、従来使っていた薄い多結晶 Si 電極をなくした。

雑音には暗電流や光ショット雑音、出力回路雑音などの成分が考えられる。このうち、出力回路雑音は相関二重サンプリング (CDS: correlated double sampling) などの外部回路で減らすことができる。

実際に感度の良しあしが問題となるのは、低照度で撮像する場合である。そのような状況では、光ショット雑音よりも暗電流による固定パターン雑音が支配的である。このため、感度を上げるには暗電流の絶対値を減らすことが必要である。

暗電流は、基板や中性領域から流れ込む拡散電流やセンサー表面の界面準位からの発生電流、垂直レジスタ表面の界面準位からの発生電流が主な成分である。

基板からの拡散によって流れ込む電流成分 (電子) を減らすため、n 型基板上に p ウエルを形成した。特に、p ウエルが空乏化した状態で動作するようにしているため、中性領域からの拡散成分はほぼ完全に抑えられる。

センサー表面の発生電流に対しては、正孔を蓄積状態にすることによって抑えた。

垂直レジスタ表面から発生する暗電流も同様の原理に基づいて抑えた。ゲート電極に印加する電圧によって、表面に正孔を蓄積する。この結果、垂直レジスタ表面から発生する暗電流の絶対値を小さくできた (図 3)。

動解像度向上などに有効な可変電子シャッター

今回、インターライン方式に、世界で初めて可変電子シャッターを搭載した。

CCD が電荷を蓄積する時間は、初めの読み出しパルスと次のパルスとの間隔で決まる。NTSC 方式の場合、フィールド蓄積のパルス間隔は 1/60 秒、フレーム蓄積は 1/30 秒になる。この蓄積時間を変える手段として現れた

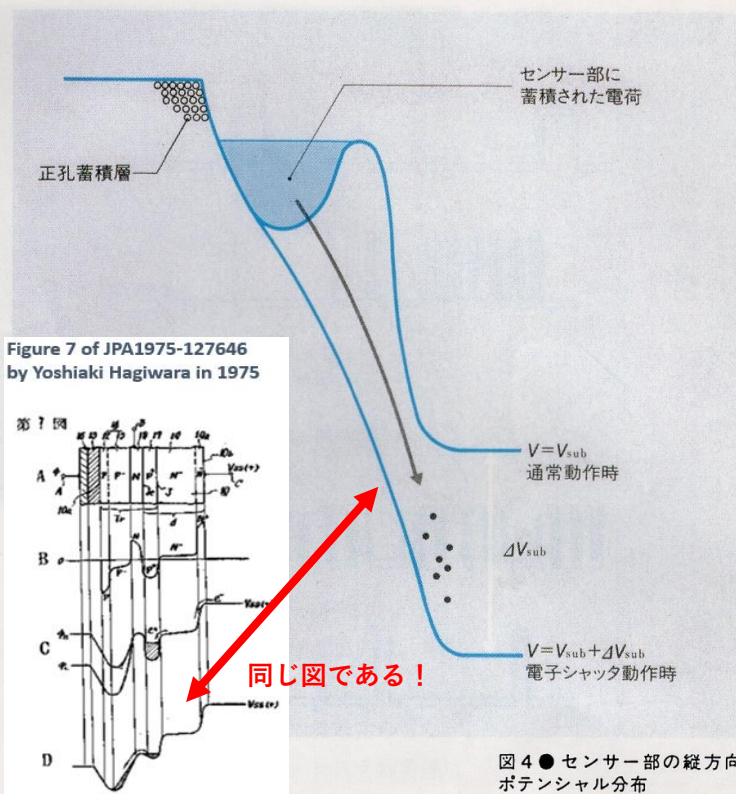


図 4 ● センサー部の縦方向ポテンシャル分布  
n 型基板上に信号電荷を掃き捨てる方式を採用。通常の動作時には、設定した  $V_{sub}$  によってセンサー部に電荷を蓄積する。一方、電子シャッター動作時には、 $V_{sub}$  にさらに加えた  $\Delta V_{sub}$  によって、基板側のバリアーが崩れ、センサー内に蓄積した電荷は、基板へ掃き出される。

のが、電子シャッターである。電子シャッターはさまざまな撮影条件下でも高画質な撮影ができる機能である。シャッター速度を変えられるため、その用途はさらに広がる。

たとえば、50 Hz の電源を使用する地域では、シャッター速度を 1/100 秒に設定すると、蛍光灯照明下で発生するフリッカを抑えられる。また、動きの速さに合わせてシャッター速度を調整すると、動画のぶれを抑えられる。

電子シャッターの原理は、まず、現在蓄積している電荷を掃き出してセンサーを空の状態にし、次に、任意の時間に電荷を蓄積し、読み出しパルスを立て、その信号を読み出すものである。

ここでポイントになる技術は、ドレインの構造とセンサーを空にするタイミングである。

電荷を掃き出すドレインを垂直レジスタにしたうえで、転送方式をフレーム・インター

1987年当時には萩原はもう Image Sensor の開発部隊から離れており、後輩たちは萩原の 1975 年の出願特許の存在を知る余地がなかった。特許出願は直属の上司以外には極秘扱いである。誰がどの特許を出願したか等あまり全体が把握される事はなかった (涙)。萩原の 1975 年の特許と 1978 年の学会での開発の報告が引用されていない事は悲しい事だった (涙)。



温故知新の精神

固体撮像素子

萩原は1977年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

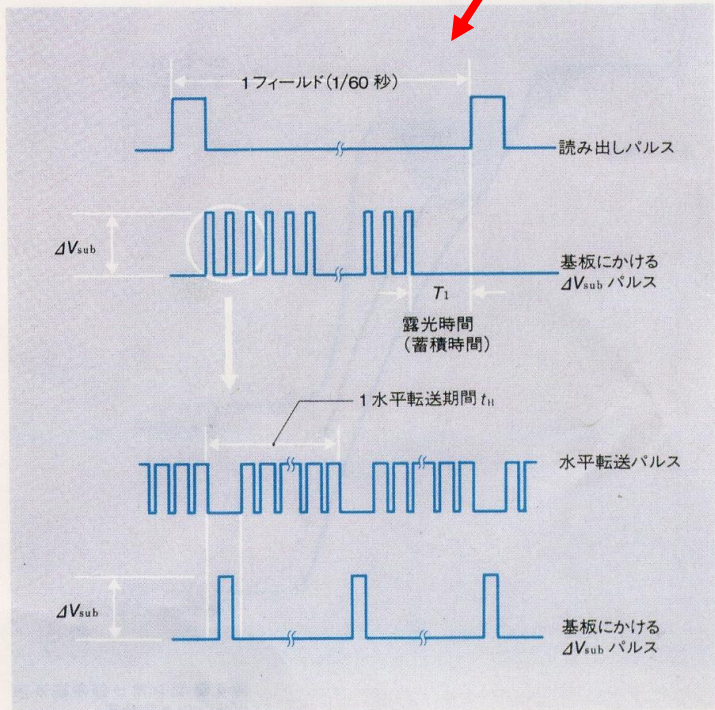


図5 ● 電子シャッタのパルス・タイミング  
水平帰線期間 (H ブランキング) 中に、 $\Delta V_{sub}$  パルスを立てる。このため、露光時間を1水平転送期間 ( $t_H$ ) 単位で調整できる。シャッタ速度 (露光時間) は  $\Delta V_{sub}$  パルスで制御する。

ライン方式にすれば、シャッタを可変にできる。しかし、チップ面積が大きくなるのに加えて、駆動回路系も複雑になる (表2)。  
一方、転送方式をインターライン方式にすると、ドレインを垂直レジスタにする限り、シャッタ速度は限定されてしまう。

n 型基板へ信号を掃き捨てる方式を採用  
そこで今回、n 型基板に信号を掃き捨てる方式を採用した (図4)。これを実現するため、デバイス構造を工夫しタイミングを調整した。この結果、インターライン方式で初めて可変電子シャッタを実現できた。  
インターライン方式で電子シャッタを実現するためには、  
① センサーから n 型基板へ完全に電荷を掃き捨てられること、  
② センサーから垂直レジスタへ完全に読み出しができること、  
③ 蓄積時間が短い場合に十分な S/N を確保できること、  
④ スミアが十分に小さいこと、  
の4点を満足する必要がある。

① が満足できない場合、センサーの蓄積電荷をドレインである基板に完全に捨てきれず、シャッタ機能は作動しない。また、②～④を満足できない場合には、画質の低下を招く。  
電子シャッタのパルス・タイミングは、水平帰線期間 (ブランキング) 中にだけ  $\Delta V_{sub}$  を1パルスだけ立て、1フィールドで見た場合、くしの歯状になるようにした (図5)。  
図6にシャッタ速度を1/500秒、1/2000秒にしたときの撮像例を示す。シャッタ速度を上げることにより、動解像度を高くすることができる。

表2 ● 電子シャッタ方式の比較  
電子シャッタは、まず速度が可変であること、次にチップ・サイズ、駆動のしやすさなどに注目して今回の方式を採用した。

|            | 今回の開発品    | 従来製品      |              |
|------------|-----------|-----------|--------------|
| 転送方式       | インターライン   | インターライン   | フレーム・インターライン |
| シャッタ・ドレイン  | n 型基板     | 垂直レジスタ    | 垂直レジスタ       |
| シャッタ・タイミング | 水平ブランキング中 | 垂直ブランキング中 | 水平ブランキング中    |
| シャッタ方式     | 可変        | 固定        | 可変           |
| チップ・サイズ    | 小         | 小         | 大            |
| 駆動回路系      | 簡単        | 簡単        | 複雑           |



温故知新の精神

38万画素に達した固体撮像素子●最低照度 5 lx の高感度インターライン型 CCD

萩原は 1977 年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

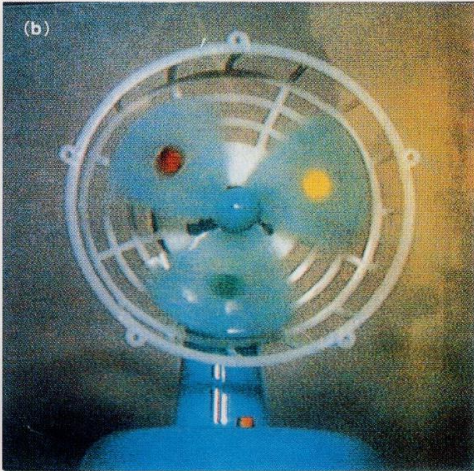
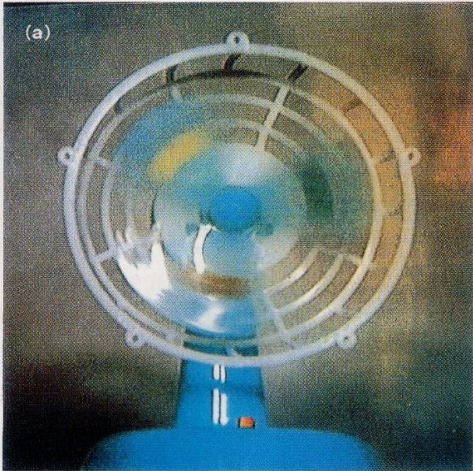


図 6 ● 電子シャッターの撮像例  
シャッター速度は、(a)1/500 秒、(b) 1/2000 秒。

1987年当時には萩原はもう Image Sensor の開発部隊から離れており、後輩たちは萩原の 1975 年の出願特許の存在を知る余地がなかった。特許出願は直属の上司以外には極秘扱いである。誰がどの特許を出願したか等あまり全体が把握される事はなかった（涙）。萩原の 1975 年の特許と 1978 年の学会での開発の報告が引用されていない事は悲しい事だった（涙）。

補色縦縞フィルタの採用が  
周辺回路簡略化のキメ手に

カラー・ビデオ・カメラに要求されるのは高画質化だけではない。カメラ・システムの小型軽量化や低消費電力化のために、信号処理システムの簡略化も重要である。

今回開発した素子の色コーディング（フィルタの色配列）に補色縦ストライプを採用、従来品と同等の水平解像度（330 TV 本）を満したうえ、高画質化と信号処理システムの簡略化を実現できた（表 3）。

補色フィルタからの色信号を原色分離

高感度化と輝度にせ信号減少のために、Ye /G/Cy を使う補色フィルタを採用した。このフィルタで得られる補色色信号を原色色信号に分解・処理することによって、原色フィルタに劣る色再現性を実現した。

さらに、縦ストライプ構造を採用した結果、1 H 遅延線（1 ライン周期分の遅延線）が不要

になり、信号処理システムが簡単になった<sup>1)</sup>。

これらの結果、解像度と感度の向上、動解像度の向上などの高画質化を実現すると同時に、部品点数や調整箇所、消費電力の少ない、小型軽量化に適したカメラ・システムを達成できた。

感度を向上、輝度にせ信号を減少させるために、光利用効率の高い Ye/G/Cy 補色フィ

表 3 ● 色コーディングに Ye/G/Cy の補色縦ストライプ・フィルタを採用

|         |                                                                                                                                                                                     |    |   |    |    |   |    |    |   |    |    |   |    |
|---------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|---|----|----|---|----|----|---|----|----|---|----|
| 色コーディング | Ye/G/Cy 縦ストライプ                                                                                                                                                                      |    |   |    |    |   |    |    |   |    |    |   |    |
|         | <table><tr><td>Ye</td><td>G</td><td>Cy</td></tr><tr><td>Ye</td><td>G</td><td>Cy</td></tr><tr><td>Ye</td><td>G</td><td>Cy</td></tr><tr><td>Ye</td><td>G</td><td>Cy</td></tr></table> | Ye | G | Cy | Ye | G | Cy | Ye | G | Cy | Ye | G | Cy |
| Ye      | G                                                                                                                                                                                   | Cy |   |    |    |   |    |    |   |    |    |   |    |
| Ye      | G                                                                                                                                                                                   | Cy |   |    |    |   |    |    |   |    |    |   |    |
| Ye      | G                                                                                                                                                                                   | Cy |   |    |    |   |    |    |   |    |    |   |    |
| Ye      | G                                                                                                                                                                                   | Cy |   |    |    |   |    |    |   |    |    |   |    |
| 有効画素数   | 768(水平)×493(垂直)                                                                                                                                                                     |    |   |    |    |   |    |    |   |    |    |   |    |
| 水平解像度   | 330 TV 本                                                                                                                                                                            |    |   |    |    |   |    |    |   |    |    |   |    |
| 最低被写体照度 | 5 lx/F 1.4                                                                                                                                                                          |    |   |    |    |   |    |    |   |    |    |   |    |
| 色再現性    | 良好                                                                                                                                                                                  |    |   |    |    |   |    |    |   |    |    |   |    |
| 輝度にせ信号  | 少ない                                                                                                                                                                                 |    |   |    |    |   |    |    |   |    |    |   |    |
| 斜め解像度   | 高い                                                                                                                                                                                  |    |   |    |    |   |    |    |   |    |    |   |    |
| 蓄積方式    | フレーム/フィールド, 電子シャッター                                                                                                                                                                 |    |   |    |    |   |    |    |   |    |    |   |    |
| 信号処理 IC | 3 個                                                                                                                                                                                 |    |   |    |    |   |    |    |   |    |    |   |    |



# 温故知新の精神

## 固体撮像素子

萩原は 1977 年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

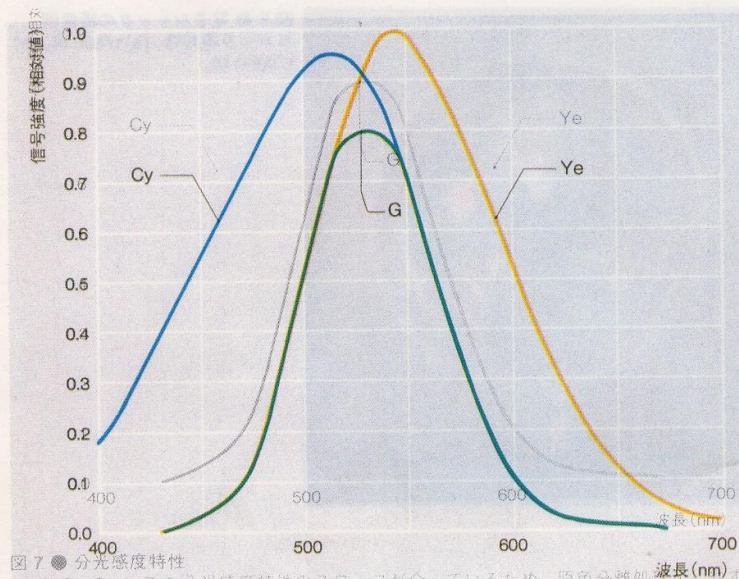


図7 ● 分光感度特性  
Ye と G, Cy と G の分光感度特性のスロープが合っているため、原色分離処理がしやすい。

図7 ● 分光感度特性  
Ye と G, Cy と G の分光感度特性のスロープが合っているため、原色分離処理がしやすい。

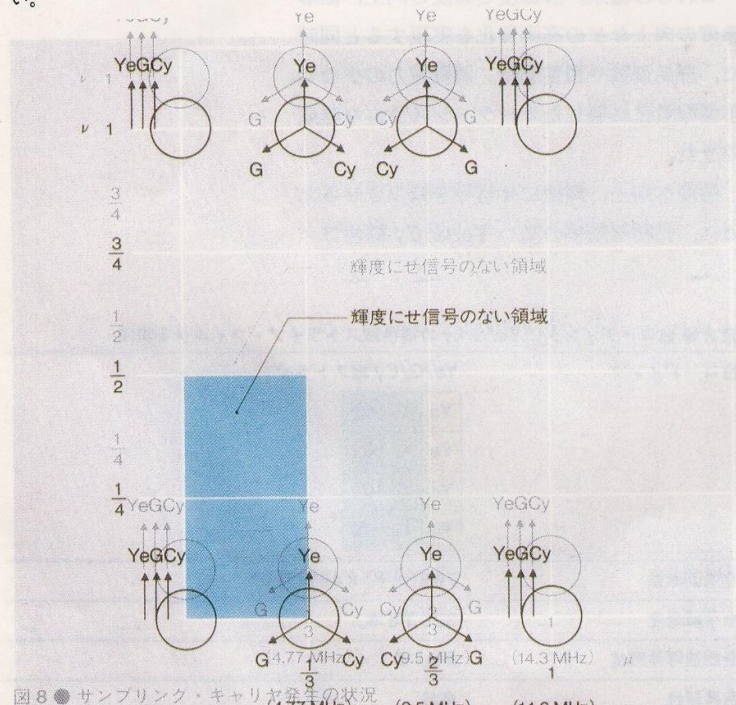


図8 ● サンプル・キャリア発生状況  
固体撮像素子は規則正しく並んだ画素で入力画像をサンプリングするため、サンプリング・キャリアが発生する。サンプリング・キャリアがベース・バンドに折り返してくると輝度信号となるため、光学的ロー・パス・フィルタを使って入力信号の帯域制限をしている。斜線部分が入力信号周波数の通過領域を示し、 $\mu$  軸方向に長いと水平解像度、 $\nu$  軸方向に長いと垂直解像度が向上する。この通過領域より、従来品と同等の水平解像度を保ちながら垂直解像度が向上していることがわかる。

図8 ● サンプル・キャリア発生状況  
固体撮像素子は規則正しく並んだ画素で入力画像をサンプリングするため、サンプリング・キャリアが発生する。サンプリング・キャリアがベース・バンドに折り返してくると輝度信号となるため、光学的ロー・パス・フィルタを使って入力信号の帯域制限をしている。斜線部分が入力信号周波数の通過領域を示し、 $\mu$  軸方向に長いと水平解像度、 $\nu$  軸方向に長いと垂直解像度が向上する。この通過領域より、従来品と同等の水平解像度を保ちながら垂直解像度が向上していることがわかる。

ルタを採用した。このフィルタを選択した理由を以下に示す。

- ① ダイナミック・レンジを有効に利用するため、ホワイト (W) とグリーン (G) の共存を避けた。
- ② G は Ye と Cy を重ねて作るため、2 色だけで染色でき、フィルタが作りやすい。
- ③ Ye と G, Cy と G の分光感度特性のスロープが合っているため、原色分離処理がしやすい (図 7)。

今回開発した素子の性能を最大限に引き出すため、光学フィルタ (光学水晶ロー・パス・フィルタと近赤外線カット・フィルタ) を一体化した CCD 撮像ブロックを形成している。

### キャリアを減らす輝度信号処理方式を採用

さらに、画質の向上として、垂直方向に発生するにせ信号を減らし、垂直方向の色付きをなくしたため、カラー画像でも垂直解像度が良くなった。

空間サンプリングによって発生する今回の素子のサンプリング・キャリアを図 8 に示す。斜線の部分が輝度にせ信号が出ない入力信号の通過領域である。

横軸は水平空間周波数  $\mu$  を示し、水平画素ピッチで正規化した。一方、縦軸は垂直空間周波数  $\nu$  を示し、垂直画素ピッチで正規化している。

光学水晶ロー・パス・フィルタのレスポンスは、 $\mu=1/3, 2/3, 1$  にゼロ点を持ち、 $\nu$  方向にはフラットとしている。

垂直方向のにせ信号は  $\nu=1$  から折り返してくるため、 $\nu=1/2$  にゼロ点を持つ必要がある。しかし、フィールド蓄積を採用すれば、垂直方向の 2 画素を混合して読み出す効果により、 $\nu=1/2$  にゼロ点を持つことと同等の効果がある。

水平方向には  $\mu=1/3, 2/3, 1$  にサンプリング



## 温故知新の精神

38万画素に達した固体撮像素子●最低照度5lxの高感度インターライン型CCD

萩原は1977年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

グ・キャリアがあるが、光学水晶ロー・パス・フィルタと輝度信号の合成比によって低減している。

輝度信号は、 $Y = (Ye + G + Cy) / 3$  で合成する。 $Ye = G = Cy$  が成り立つと、 $\mu = 1/3$ ,  $2/3$  におけるサンプリング・キャリアは消える。このため、無彩色画像の場合、 $Ye = G = Cy$  が成り立つようにレベル・バランスをとって、サンプリング・キャリアを完全に消している。

一方、有彩色画像の場合、サンプリング・キャリアは完全には消えない。しかし、採用した色フィルタがすべてG成分を含むため、 $\mu = 1/3$ ,  $2/3$  におけるGキャリア成分が減っていることと、自然界における被写体が低彩度であることから実用上、十分に抑えられている。

### 信号処理ICを三つで構成

今回開発した素子の信号処理ICは、サンプル・ホールド用IC、プロセス用IC、エンコーダ用ICの三つで構成する<sup>1)</sup>。

出力信号がサンプル・ホールドICに入ると、相関二重サンプリング(CDS)で低域ノイズを除去し、AGC(automatic gain control: 自動利得制御)回路で適切な信号レベルに増幅した後、 $Ye$ ,  $G$ ,  $Cy$  の3色に色分離し出力する。サンプル・ホールドICには、過大入力光を絞りによって制御するAIC(automatic iris control: 自動絞り制御)機能も含んでいる。

プロセスICに入った色分離信号は、 $Ye/G/Cy$  信号から直接作る輝度信号と、 $R = Ye - G$ ,  $B = Cy - G$  の演算から色分解したRGB信号によって作る色差信号とに分かれる。

輝度信号は、レベル・バランスを行った  $Ye/G/Cy$  信号を切り替えて合成した後、 $\gamma$  処理を施すことによって形成する。

一方、色差信号は、ホワイト・バランスを

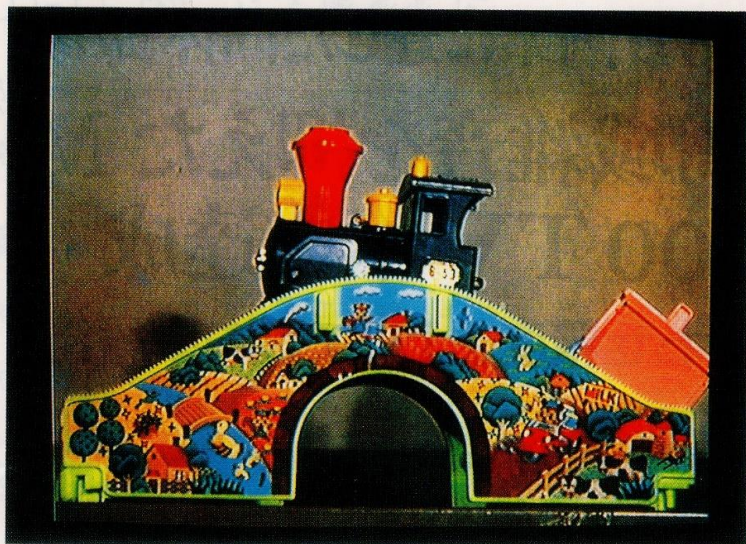


図9 ● トータル・システムとしてのカラー撮像例

行った  $R/G/B$  信号に  $\gamma$  処理を施し、マトリクスを組むことによって合成する。

プロセスICの出力信号は、 $R - Y$ ,  $B - Y$ ,  $Y$  になる。レベル・バランス調整は、新たな調整が必要なく、IC内部でホワイト・バランス調整電圧を制御し、調整個所を減らしている。

エンコーダICは、輝度信号の輪郭を強調し、クロマ変調された色差信号とビデオ信号を加えて出力する。

エンコーダICは、このほかにもスーパーインポーズ、フェード、ネガポジ反転などビデオ・カメラに使われる多彩な機能を持つ。

図9に今回開発した素子を使った撮像例を示す。トータル・システムとして、感度が高く、色再現性の良い絵を撮ることができる。

### 参考文献

- 1) 飯塚, 恩賀, 鶴田, 黒田, 仙田, 五十川, 佐瀬, 近藤, 佐藤, 新村, 「CCD-V90 カメラ信号処理システム」, 『テレビジョン学会技術報告』, TEBS 87-11, vol. 11, no. 10, pp. 19-24, 1987年7月.



# 温故知新の精神

萩原は 1977 年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

ITEJ Technical Report Vol.12, No.12, PP.31~36, TEBS '88-6, ED '88-9 (Feb.1988)

昭和63年2月25日(木)発表

テレビジョン学会技術報告

## 可変速電子シャッタ付 IT-CCD 撮像素子

An IT-CCD imager with electronically variable shutter speed.

N型基板へ電荷を捨てる電子シャッタ方式

The n-type substrate works as the shutter-drain.

浜崎正治, 鈴木智行, 賀川能明, 石川貴久枝, 宮田克郎, \*神戸秀夫

M. Hamasaki, T. Suzuki, Y. Kagawa, K. Ishikawa, K. Miyata, \*H. Kambe

ソニ-(株)厚木工場, \*ソニー国分セミコンダクタ(株)

SONY Corp. Atsugi-plant, \*SONY Kokubu Semiconductor Corp.

### 1. 序

CCDカメラは家庭用のみならず、産業用や放送用ビデオ・カメラとして大量に普及しつつあり、徐々に撮像素子カメラに取って代わりつつある。これらCCDカメラの普及の原動力は、従来の撮像素子カメラに比べ、

- ①小型軽量
- ②機動性に富む(一体型)
- ③低消費電力
- ④長寿命
- ⑤無調整
- ⑥焼き付き無し
- ⑦低価格

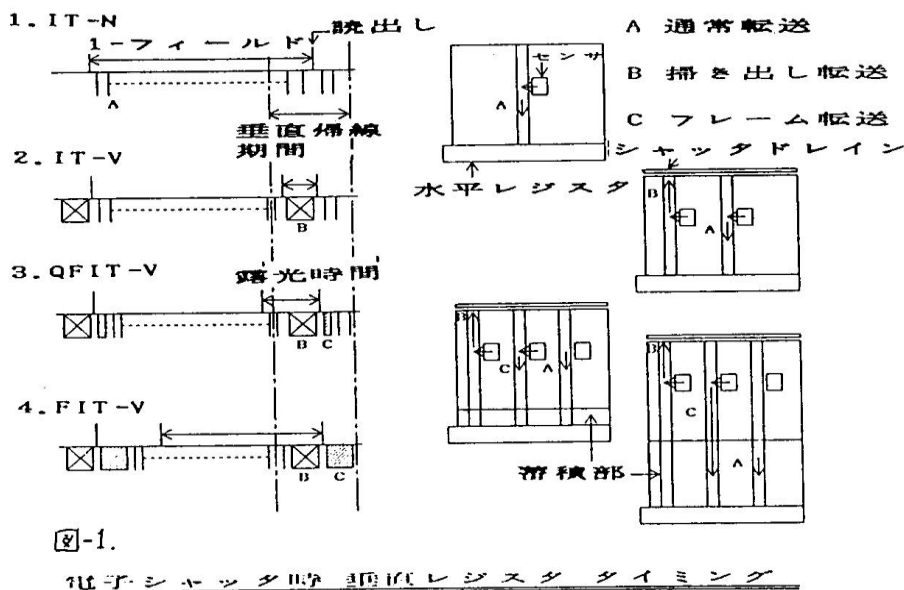
等の気軽に使用できる事

及び

- ⑧高感度
  - ⑨低残像
  - ⑩画像歪が無い
- 等の性能が良い事の両方である。

現在CCD撮像素子の主流は1/2インチであり、低価格化のためには当然の流れである。しかし一方には高画質化及び多機能化への要望も強くある。今回、我々

は家庭用の高級機種及び産業用と放送用の一部もカバーし得るものとして、2/3インチで768H×493V(有効)(総画素数は約42万画素)の可変速電子シャッタ付IT-CCD撮像素子を開発した。本素子はこれ他に感度、スミア、暗電流、ブルーミング抑圧能力及び色再現性等の諸特性の改善もなされている。





## 温故知新の精神

萩原は1977年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

### テレビジョン学会技術報告

#### 2. 電子シャッター方式と問題点

##### 2.1 電子シャッター方式固比較

電子シャッターを実現するに当たり、数通りの方式が考えられる。ここでは以下の4通りの方式を比較する。

- ① ITでN型基板(OFD)に電荷を捨てる方式、(IT-N)
- ② ITで垂直レジスタに電荷を捨てる方式 (IT-V)
- ③ QFITで垂直レジスタに電荷を捨てる方式 (QFIT-V)
- ④ FITで垂直レジスタに電荷を捨てる方式 (FIT-V)

| 転送方式        | IT-N    | IT-V    | QFIT-V             | FIT-V   |
|-------------|---------|---------|--------------------|---------|
| シャッター・ドレイン  | OFD     | 垂直レジスタ  | 垂直レジスタ             | 垂直レジスタ  |
| シャッター・タイミング | Hブランキング | Vブランキング | Vブランキング<br>Hブランキング | Hブランキング |
| 低速シャッター     | ~1/60S  | ○       | 1/187S             | ×       |
| 高速シャッター     | 無制限     | ○       | 数千分の1秒             | △       |
| スミア         | 大       | △       | 大                  | △       |
| 素子面積        | 小       | ○       | 小                  | ○       |
| 高速転送        | 無       | ○       | 有                  | ×       |
| ○の数         | 4       | 1       | 0                  | 2       |

表-1. 電子シャッター方式比較

各シャッター方式のシャッター機能の自由度について、これら4方式の比較をして見よう。IT-N以外は垂直レジスタに電荷を捨てる為、垂直レジスタの動作タイミングを調べると方式間の差が良く分かる。図-1にそれらを示す。

まずシャッター速度の低速(長時間)側について比較する。IT-NとFIT-Vは水平帰線期間にシャッター動作を行なうため、露光時間としては1/60秒から数千分の一秒まで63.5μ秒のステップで可変できる(図-1の1と4)。IT-Vは、垂直帰線期間内にシャッター動作を行なうため、1/187秒より短時間の露光時間のみ可能である(図-1の2)。QFIT-Vは1/250秒より短時間側に露光時間も設定するのが現実的であり、1/100秒の蛍光灯フリッカ防止モードを実現したくない(図-1の3)。つまりシャッター速度の低速側の自由度は、IT-N = FIT-V > QFIT-V > IT-V の順に優れている。

次に電子シャッターの高速側を比較する。垂直レジスタに電荷を捨てる方式(IT-V, QFIT-V及びFIT-V)では、掃き出し転送中にもセンサは露光されているため、露光時間の短時間側の制限は掃き出し転送時間であり、1/1000秒から1/4000秒程度が限界である(図-1の2から4)。IT-N

は、シャッター・ドレインと垂直レジスタが独立であるため、この様な制限は全く無い(図-1の1)。つまり高速側の自由度はIT-N > IT-V = QFIT-V = FIT-V の順に優れている。

スミアについて比較すると、FIT-V以外は高速シャッター時にスミア成分が減少しなくて、信号のみ減少するため、スミアによりS/Nが劣化する。この時、IT-VとQFIT-VはFIT-Vと同様に高速転送を行なうが、本質的に構造が異なるため、スミアの大きい所と小さい所が生じてしまい、不自然なスミアの出方をする。IT-NのスミアはIT-V及びQFIT-Vのスミアの大きい所と同等であるが、上から下まで同じ大きさであるため、むしろ自然であろう。

製造面から考えると、素子面積の小さいIT-VとIT-Nが最も有利であり、FIT-Vは最も面積が大きく不利で、QFIT-Vは中間に位置する。

垂直レジスタの転送面から見ると、IT-Nのみ高速転送が無く最も有利である。

以上の事を一覧表にしたのが表-1である。我々は、今回、最も利便の多いIT-N方式を選択した。

##### 2.2 電子シャッターの問題点と解決法

電子シャッター機能を採用すると、動解像度の向上が副産物として50Hz地域での蛍光灯照明時のフリッカを無くする等の利点がある。

## 温故知新の精神

萩原は1977年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

### テレビジョン学会技術報告

また欠点としては、高速シャッター時感度減少及びスミア成分が減少しない事によるS/N劣化等が挙げられる。これらの問題を解決するために、我々は今回の素子開発に於ける目標を、感度向上、スミア低減及びノイズ低減に設定した。ノイズにはランダム・ノイズと暗電流があるが、ランダム・ノイズはCDS（相関二重サンプリング）により低減し、暗電流低減と感度向上はHADS（Hole Accumulated Diode Sensor）/詳細は素子構造の節で述べる）により実現した。スミア低減はN基板Pウェルの採用により達成された。以上の流れ図を図-2に示す。

電子シャッターを実現するための必要条件は低スミア、高感度及び高S/Nの他に、

- (1) 無残像
- (2) N型基板への電荷の捨て残しのない事が挙げられる。残像や捨て残しがあると、動解像度の向上が困難となったり、画質劣下を生じる場合がある。

これらの必要条件を満たす為には、素子内部の電位分布が「どうなっていれば良いか」を図-3に示す。同図(1)の断面図では不純物分布は省略して、機能のみに注目する。

同図(1)のAからBへの表面に平行な方向の電位分布及びBからCへの深さ方向の電位分布を図(2)に示している。

実線の電位分布はセンサに電荷が蓄積されている状態（電荷の抜き捨て前又は読み出し前）である。この状態では基板へのオーバー・フローのみ生じ、垂直レジスタ側へオーバー・フローしてはいけな

### IT-CCDに於ける電子シャッター

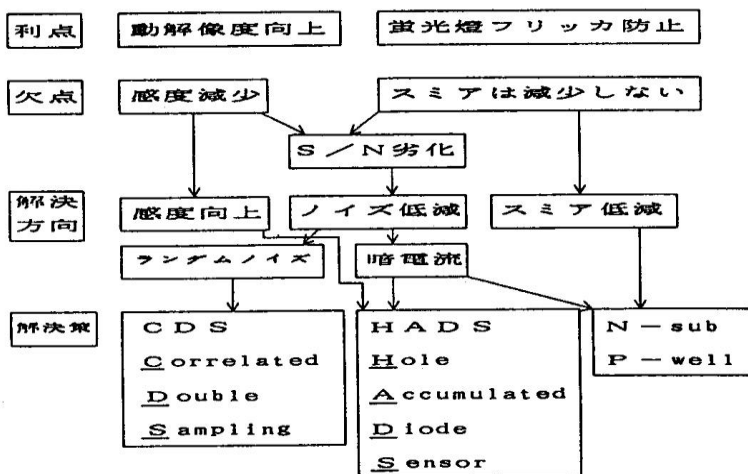


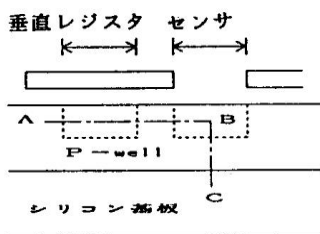
図-2 電子シャッター問題と解決流れ図

破線は基板への電荷抜き捨て時を示し、図の様にセンサ内の全電荷を抜き捨てる事ができれば良い。ニズ鎖線の垂直レジスタへ引き出す時も同様に完全転送できれば良い。

### 3. 素子構造及び性能

前述の必要条件を満たす素子構造を図-4に示す。センサ部表面に正孔蓄積層を持つ構造なので、HADS（Hole Accumulated Diode Sensor）と名付けた。このHADSにより、

#### (1) 断面図



#### (2) 電位分布

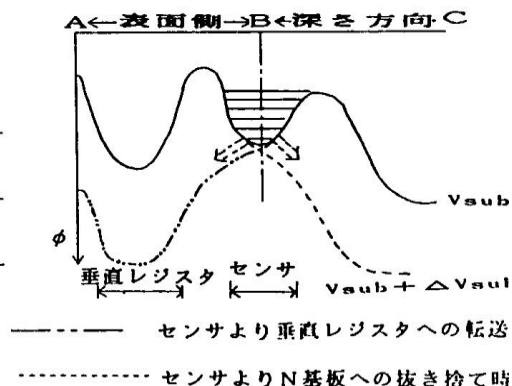


図-3 N基板使用電子シャッター機能図



温故知新の精神

萩原は 1977 年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

テレビジョン学会技術報告

- ①従来の MOS 型センサのほらシリコンを取り除く事による感度向上,
  - ②シリコンと酸化膜の界面より発生する暗電流の低減,
  - ③従来の P 型基板よりセンサに拡散してくる暗電流の抑止,
- かつ従来同様に,
- ④無残像,
  - ⑤高いブルーミング抑圧能力,
- 等の数々の利点を持つセンサが実現できた。

また縦型オーバー・フローの採用による開口率向上も感度向上に寄与している。

今回開発した素子の構成と主な性能を表-2に示す。CCD 撮像素子の各部の性能,

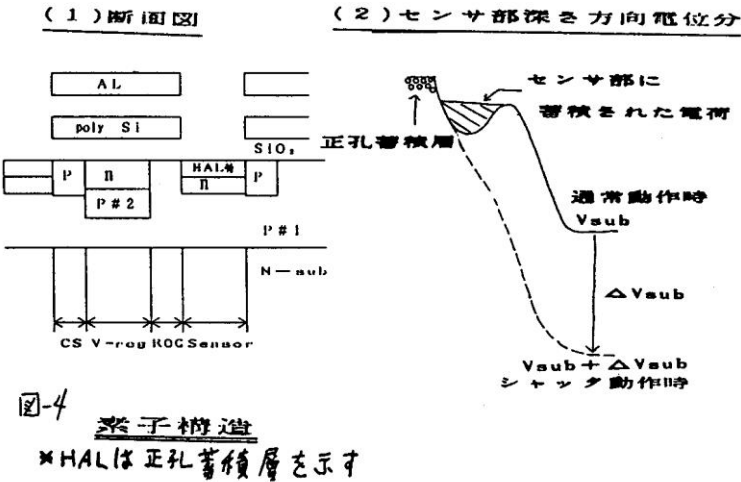
- ①転送電圧,
- ②ダイナミック・レンジ,
- ③ブルーミング抑圧能力,
- ④完全読み出し,
- ⑤完全抜き捨て, 写

に関して我々は当社で開発したシミュレータ SPADES (Sony Process And Device Simulator) を利用

して高精度な予測を行なった。さらに量産時のばらつきをも予測して各部の最適化を行なった。

従来の縦型オーバー・フローを利用した IT-CCD 撮像素子の平均的性能 (5 社平均) は, 1986 年 10 月号の日経マイクロデバイス誌によると,

- ①スミア 0.03%
- ②ブルーミング 200 倍
- ③残像 (オフフィールド)



2.4% であり, 今回開発した素子のこれらの性能は桁違いに改善されている。

従来の横型オーバー・フローを利用した IT-CCD 撮像素子と比較しても, ブルーミング抑圧能力と残像は同等であるが, それ以外の項目はすべて改善されている。

電子シャッター動作のタイミングを図-5に示す。垂直方向の有効期間には, 水平帰線期間にシッター動作を行なうため, 露光時間の調節の最小ステップは 63.5 μs である。しかし, 垂直帰線期間であれば, 水平帰線期間

| 転送方式                  | インターライン CCD |
|-----------------------|-------------|
| 画面サイズ                 | 2/3 インチ光学系  |
| 有効画素数 (V × H)         | 768 × 493   |
| 総画素数 (個)              | 419,634     |
| 単位画素サイズ (V × H)       | 11 × 13     |
| 開口面積 (μm²)            | 49          |
| 開口率 (%)               | 34          |
| 垂直解像度 [フレーム蓄積] (TV 本) | 490         |
| 水平解像度 [カラー] (TV 本)    | 330         |
| スミア抑圧 [V / 10] (%)    | 0.002       |
| ブルーミング抑圧 (倍) *        | 10,000      |
| 残像                    | 検出限界以下      |
| ダイナミックレンジ (dB)        | 81          |
| 最大電荷量 (電子数 / 画素)      | 1.1 × 10⁵   |
| 雑音電子数 ( ~ )           | 10          |

表-2 撮像素子の構成と主な性能

\*飽和光量を基準としている。光源はスポット光を使用

## 温故知新の精神

萩原は1977年には電子 shutter の clocking 駆動方法の特許も出願している。  
See JPA1977-136885 with JPA1975-127646, JPA1975-127647 and JPA1975-134985.

### テレビジョン学会技術報告

以外にシャッター動作を行なっても画像に悪影響を与えないため、完全に任意に設定できる。このため

1/787秒より短い露光時間は連続可変であり、原理的には100万分の1秒度まで調節可能である。

MOS型撮像素子の電子シャッターの応用例として、露光時間の

電子調節を利用した「電子しぼり」という概念が発表されている。MOS型撮像素子では露光時間調節の最小ステップは63.5μ秒であり、最小露光時間から次のステップへは、いきなり2倍の露光時間になる。この時画面の明るさが急激に変わるため異和感を覚える。本方式によると、63.5μ秒の露光時間と2倍（&#2264;3倍）の露光時間の間を連続的に調節できるため異和感がなくなる。つまり、本方式によれば、将来、スミア、感度、S/N等が改善されれば「電子しぼり」の実現の可能性が有る。

現実的には、感度&#2264;スミアとのトレード・オフの状態であり、高速シャッターの上限は1/2000秒から1/10000秒程度が妥当な値である。現在、1/4000秒より高速電子シャッター動作が可能なのは、本方式以外のCCD撮像素子ではなく、唯一MOS型撮像素子が、

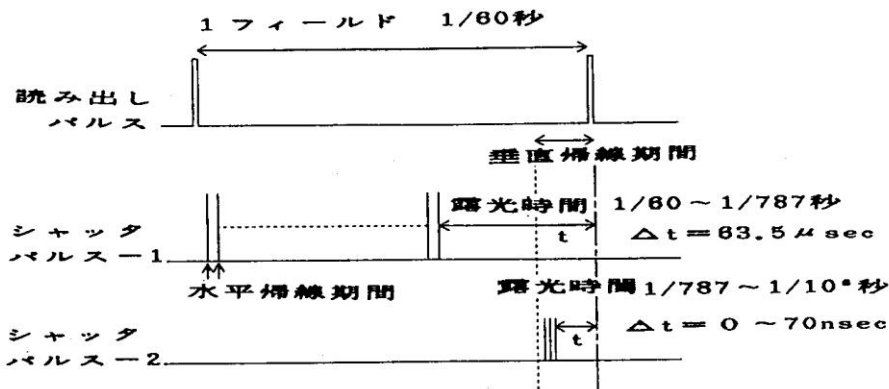


図.5 電子シャッター タイミング

1/15750秒まで可能なだけである。

電子シャッター撮像例を図-6に示す。

被写体の扇風機の回転速度は60Hz（3600rpm）で、1フィールドに1回転している。このため1/60秒の露光では扇風機の羽は完全につながってしまう。露光時間が1/1000秒になると、露光中に一つの羽は約2度動き、1/2000秒では約1度、

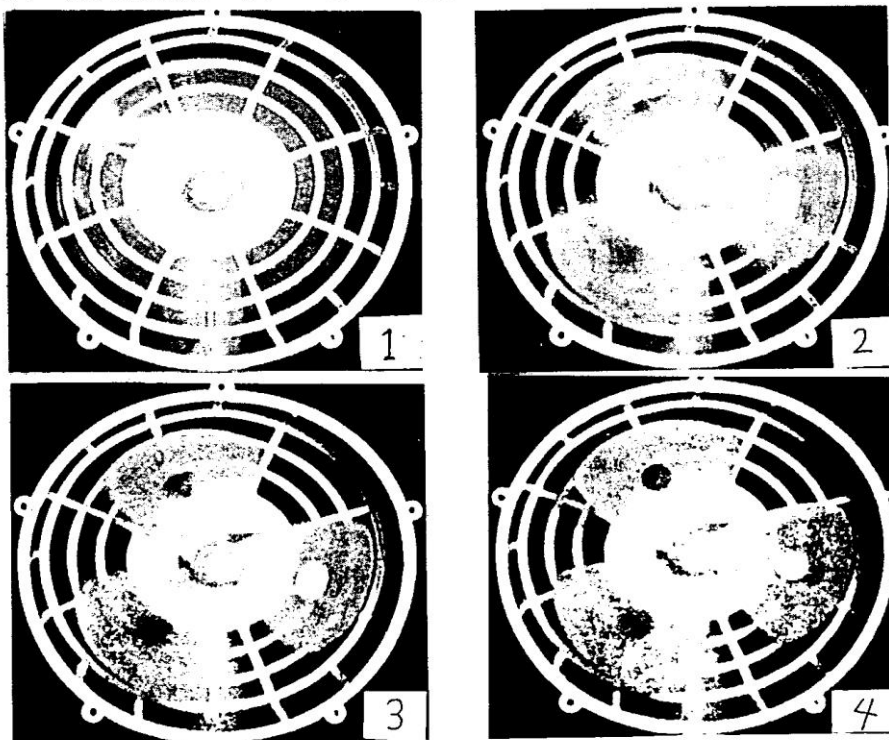


図-6 電子シャッター撮像例 1. 1/60秒 2. 1/1000秒 3. 1/2000秒 4. 1/10000秒



## 温故知新の精神

川名喜之さんからいただきたい貴重なお言葉をご報告します。

1/3



2021.8.15 萩原良昭

川名喜之さんは萩原が1975年Sony入社時から大変お世話になった恩人です。2021年6月21日に死去されました。ご冥福をお祈りします。

川名喜之さんは1932年3月1日生まれで、東京大学を卒業後ソニーに入社し、1950年後半にはソニーの新卒現役若手技術者として、Bipolar Transistorのデバイスプロセス技術の開発に従事されました。その時にシリコンチップの裏面を薄くして、Bipolar TransistorのON-抵抗を減らし大幅にBipolar Transistorの電流特性を大幅に改善し、世界一の特性を持つBipolar Transistorを開発生産商品化が実現しました。米国Texas Instrument社がそのSONYのBipolar Transistorの開発生産技術に注目し、SONYとの技術提携が成立し、米国Texas Instrument社が51%出資でSONYが49%出資のTI Japan社が、日本ではじめての国際合弁会社として設立しました。萩原が1975年に入社した当時、川名喜之さんは故岩間和夫社長が陣頭指揮をとるSONYのTOP極秘開発プロジェクトのCCDプロセス開発部の統括部長として勤務されていました。

萩原が1975年入社してすぐに考案し3件の特許出願した、Pinned Buried Photodiode(PBD)に関する構造特許は、このSONYのBipolar Transistorプロセスデバイスの知識をヒントに考案・発明したものです。PBDはDouble接合型のDynamic Photo Bipolar Transistor構造型の光感知素子、Photo Detecting Device(PDD)です。また1971年当時にはSONYではトリニオンTV用の信号処理用Bipolar Transistorの集積回路CX080～CX089シリーズをSONY厚木工場が開発設計し生産していました。すでにPNP接合型とNPN接合型の2つのBipolar Transistorを同じwaferに形成するTwin Well Bipolar Transistorプロセスを持っていました。その信頼性、特にそのプロセスで生まれる寄生PNPN接合型のサイリスタのPunch-thruによる過大電流破壊によるchipの信頼性問題が深刻でした。1971年の夏休みを利用し一時帰国した萩原は知人の紹介でSONY厚木工場に実習生としてお世話になる機会を得ました。その時に半導体事業部の品質保証部の宇野義道主任が萩原の指導官となり、高橋昌宏課長がBipolar Transistorの集積回路CX080～CX089シリーズの設計課長として同じ旧1号館の1階の同室の仕事場に勤務してお二人から指導を受けました。1973年の夏休みを利用し一時帰国した萩原は再びSONY厚木工場に実習生としてお世話になる機会を得ました。宇野義道主任と高橋昌宏課長と同じ部屋でSONYの誇りある世界一のBipolar Transistorプロセスを学び、その集積回路の学習をする機会をいただきました。母校CaltechでのPhDの最終口頭試験に合格してすぐに1975年2月にSONYに入社し、すぐに発案したのが、このPBDです。Double接合型のDynamic Photo Bipolar Transistor構造型の光感知素子、Photo Detecting Device(PDD)です。Triple接合型のDynamic Photo Thyristor Transistor構造型の光感知素子、Photo Detecting Device(PDD)も同時に考案しています。その3件の特許の中で、詳細にこのPBDには縦型overflow drain(VOD)機能が構造上組み込まれていることを明記しています。また3値clock方式を同時に考案して、一時Buffer Memoryとして表面のMOS TransistorをGlobal Shutter用に活用できる事も明示しました。その1975年のJPA1975-127647が今2020年になって45年後にSONYの若手技術者により裏面照射型のCMOS Image Sensorの光感知素子(PPD)として実用商品化されています。

現在の市販の、超光感度の裏面照射型のCMOS Image Sensorは、2つの基本部品で構成されます。ひとつは、デジタルCMOS回路技術を駆使した、デジタルCMOS回路型電荷転送装置(CTD)です。もうひとつは、萩原が1975年に考案した裏面照射型のPinned Buried Photodiodeを光感知素子(PDD)です。また、1975年に同時に考案した表面照射型のPinned Buried Photodiode(PBD)を光感知素子(PPD)は、萩原の1975年から1980年までの発明と開発努力を、その後継承した若手技術者により1987年に開発商品化に成功してSONYでは世界発のパスポートサイズの電子シャッター付のメカフリーの高速アクション映像が可能なビデオカメラを発売しています。運動会で子供が走る姿を残像のないはっきりとした映像を提供することが可能となりました。ここまでの技術がSONYで実現できたのは、故岩間和夫社長や故川名喜之さん(ソニー中央研究所副所長)や加藤俊夫さんをはじめ多くのSONYの先輩OBが1950年代からSONYの誇りある、世界一のBipolar Transistorプロセスを実現していたことが基礎にあります。それがCCD Image Sensor技術を育て、その基礎があったからSonyのCMOS Image Sensorの技術が育ち、さらに若い世代の、梅林さんたちの地道な努力と工夫・発明により今の裏面照射型の超光感度のSonyのCMOS Image Sensorが実現できたと思っております。これからはさらに人工知能搭載チップを3次元集積回路の形で構成して新しいいろいろな用途を開拓して日本の世界の半導体産業の発展に貢献して行きたいと思っております。

## 温故知新の精神

川名喜之さんからいただきたい貴重なお言葉をご報告します。 2/3

2021.8.15 萩原良昭

現在、IEEE や日本の発明協会では「NEC（寺西）が Pinned Photodiode の発明である」とされていますが、これは事実誤認です。また半導体産業人協会の日本歴史館の見解や日本の発明協会の公式HPには「東芝（山田）が縦型 OFD の発明者である」とされるがこれも事実誤認です。縦型の OFD（VOD）の発明者はすでに 1975 年 7 月に Fairchild 社（J. M. Early）が USP3896485 を出願しています。4 か月遅れで SONY（萩原）は OFD 機能付き Pinned Buried Photodiode を JPA1975-134985 として出願しました。しかしこの 4 か月の差の為 SONY は Fairchild 社（J. M. Early）から特許裁判の攻撃を受けて 1990 年から 2000 年の 10 年間苦労する事になりましたが米国最高裁でやっと Sony は勝利しました。

●以下に川名喜之さんがまだお元気な時に萩原に送られた e-mail での証言を列記したものです。NEC の寺西さんは Pinned Photodiode を発明も開発もしていません。NEC の寺西さんは残像のある Buried Photodiode を開発して IEDM1982 の学会で報告しました。発明をしていません。KODAK は残像のない Pinned Photodiode を開発して IEDM1984 の学会で報告しました。発明をしていません。当時 SONY は生産に専念しており沈黙を守っていました。それがすべての誤解を招きました。萩原も自分の 1975 年に発明の事を重要とは思わず、当時は忘れておりました（涙）。

(1) From: Kawana Yoshiyuki <kawana@asahi-net.email.ne.jp>  
Sent: Saturday, March 27, 2021 7:16 PM  
To: hagiwara.yoshiaki@aiplab.com; 'seiichi-watanabe' <seiichi-watanabe@hinets.jp>  
Cc: hagiwara@ssis.or.jp; hagiwara.yoshiaki@aiplab.com; hagiwara-yoshiaki@aiplab.com  
Subject: RE: IEEE Life Fellow 講演会の件 萩原 2020\_02\_11

萩原さん、

太田さんの情報は残念でした。思うようにならないことが起きますね。

1978 年当時 NEC 寺西さんの論文では始め N+P ダイオードでフォトダイオードを構成していたことが分かります。次に寺西さんは P+NP 接合のフォトダイオードを採用し、残像が減ったと報告しています。この P+NP ダイオードは論文を見る限り、pinned photodiode ではありません。N+P ダイオードは pinned に出来ません。その延長で P+NP ダイオードもこの論文では pinned になっていないのではと思います。

一方ソニーは 1975 年当時から MOS トランジスタを photo-sensor として使っていましたので初めから pinned でした。こういう違いもあるのかなと思いました。川名喜之

(2) From: Kawana Yoshiyuki <kawana@asahi-net.email.ne.jp>  
Sent: Sunday, March 28, 2021 3:43 PM  
To: hagiwara.yoshiaki@aiplab.com; 'seiichi-watanabe' <seiichi-watanabe@hinets.jp>; 'Naohisa Ohta' <naohisa@kmd.keio.ac.jp>; narabu@gakushikai.jp; '鈴木俊治' <tsuahirusuzuki11@gmail.com>; 'Tsugio Makimoto' <makimoto@tsugio.jp>; mukai@ssis.or.jp  
Cc: hagiwara-yoshiaki@aiplab.com; hagiwara.yoshiaki@aiplab.com  
Subject: RE: IEEE Life Fellow 講演会の件 萩原 2020\_02\_11

萩原さん、

コメントありがとうございます。1982 年は 1975 年よりも 7 年経っています。振り返ってみるべきだと思います。川名喜之

(3) From: Kawana Yoshiyuki <kawana@asahi-net.email.ne.jp>  
Sent: Wednesday, March 31, 2021 12:03 PM  
To: seiichi-watanabe <seiichi-watanabe@hinets.jp>; hagiwara-yoshiaki@aiplab.com  
Cc: seiichi-watanabe@hinets.jp  
Subject: RE: 公益社団法人発明協会イノベーション 100 記事修正検討要請（追加資料）

渡辺さん、

Overflow drain に関する特許紛争の提示ありがとうございます。ここでは発明協会の記事にある山田哲生さんの発明より早い 1975 年の萩原良昭の特許が有効であったと証明されました。ご参考になさってください、という意味ですね。当然、1979 年発明とされる寺西信一さんの埋め込みフォトダイオードより早い 1975 年出願の萩原特許を見直してください、というのは変わらずお願いします、ということですね。川名喜之



## 温故知新の精神

川名喜之さんからいただいたい貴重なお言葉をご報告します。

3/3

2021.8.15

萩原良昭

(4) From: Kawana Yoshiyuki <kawana@asahi-net.email.ne.jp>

Sent: Sunday, April 4, 2021 8:14 PM

To: seiichi-watanabe <seiichi-watanabe@hinets.jp>; hagiwara-yoshiaki@aiplab.com

Cc: seiichi-watanabe@hinets.jp

Subject: RE: 公益社団法人発明協会イノベーション 100 記事修正検討要請(追加資料確認依頼)

渡辺さん、

発明協会への資料送付ありがとうございます。

発明協会からの返事が待たれますが、no response のこともあるかもしれません。しかし、明らかに発明協会の見落としと思います。その場合には再度対応を検討することになるでしょうね。川名喜之

(5) From: Kawana Yoshiyuki <kawana@asahi-net.email.ne.jp>

Sent: Saturday, April 17, 2021 7:38 AM

To: seiichi-watanabe <seiichi-watanabe@hinets.jp>; hagiwara-yoshiaki@aiplab.com

Cc: seiichi-watanabe@hinets.jp

Subject: RE: FW: 公益社団法人発明協会イノベーション 100 記事修正検討要請(追加資料確認依頼)

渡辺さん、萩原さん、

発明協会から意外な返事をいただきました。萩原さんの言われる通り、発明の優先の判断は学会によるべきものではないと思います。特許庁は自ら判断する能力がないと言ったことになりますね。特許を認可するかどうかは先願調査を含めて特許庁の判断によっているではありませんか。特許庁は自らの役割を否定していると思います。

もう一度特許庁の役割に準じて学会ではなく自らの判断を示してほしいです。それを要求したらどうでしょうか。それでも不満足な返事ならまた対応を考えましょう。川名喜之

(6) From: Kawana Yoshiyuki <kawana@asahi-net.email.ne.jp>

Sent: Thursday, April 22, 2021 11:37 AM

To: hagiwara-yoshiaki@aiplab.com; 'seiichi-watanabe' <seiichi-watanabe@hinets.jp>

Subject: RE: 従来の single 接合型 Solar Cell の問題点をまとめてみました。

萩原さん、

ご存知の通り、1982 年の IEEE の寺西さんの論文は埋め込み photodiode を述べていますが、PPD ではありませんね。先に述べた通り、そのために残像が取り切れないのではと考えます。川名喜之

(7) From: Kawana Yoshiyuki <kawana@asahi-net.email.ne.jp>

Sent: Wednesday, April 28, 2021 8:07 PM

To: hagiwara-yoshiaki@aiplab.com; 'seiichi-watanabe' <seiichi-watanabe@hinets.jp>; narabu@gakushikai.jp; 'Naohisa Ohta' <naohisa@kmd.keio.ac.jp>;

tkst@ca2.so-net.ne.jp; hiromichi.matsui@restargp.com

Cc: hagiwara@ssis.or.jp; hagiwara-yoshiaki@aiplab.com

Subject: RE: ご無沙汰しております。萩原の近況報告とおねがいです。萩原 2021\_04\_28

萩原さん、

お休み中でも研究に熱中するのは素晴らしいです。

ご説明理解いたしましたが、寺西さんの功績についてまだ理解できていません。埋め込みフォトダイオードでは電荷蓄積層が空乏化される状況ならば残像はなくなるとされますが、実験結果はそうなっていません。電荷蓄積層に蓄積された電子はフォトダイオードが pin されていなければ、瞬時にはなくなりません。そこが大切だと思いますがどうですか。川名喜之

以上です。萩原良昭 2021年8月15日

## 温故知新の精神



### Difference between Buried Photodiode and Pinned Photodiode

What is the difference between Buried Photodiode and Pinned Photodiode? I understand that the P+/N/P structure where the P+ and P layers have the same potential is the Pinned Photodiode. So what is the buried Photodiode?

This is a commonly misunderstood misused set of terminologies.

First off these are not PIN Photodiodes - which stands for P - Intrinsic- N. These have large depletion regions for higher internal QE (Quantum Efficiency) and faster response. You can't make an array with this design though.

Pinning, refers to fermi-level pinning or pinning to a certain voltage level. Or also the forcing or prevention of the fermi-level/voltage from moving in energy space.

You can get surface state pinning from the dangling Si/SiO<sub>2</sub> bonds providing trapping centers. A buried PD (Photodiode) has a shallow implant that forces the charge carriers away from these surface traps. The Si/SiO<sub>2</sub> surface contributes to increased leakage (dark current) and noise (particularly 1/f noise from trapping/de-trapping). So confusingly a buried PD avoids pinning of the fermi-level at the surface.

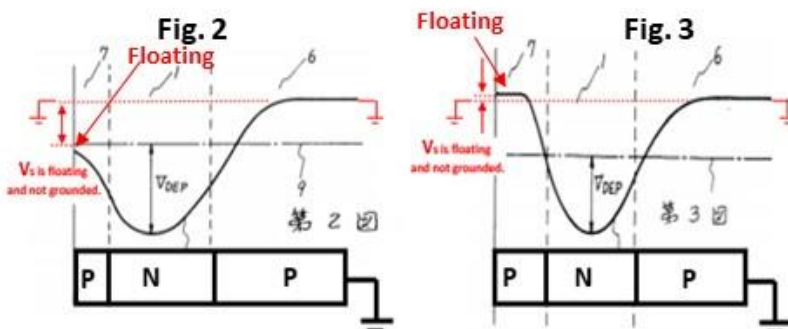
A pinned PD is by necessity a buried PD, but not all buried PD's are pinned. The first Pinned PD was invented by Hagiwara at Sony and is used in ILT CCD PD's, these same PD's and the principles behind this complete transfer of charge are used in most CMOS imagers built today.

A pinned PD is designed to have the collection region deplete out when reset. AS the PD depletes it becomes disconnected from the readout circuit and if designed properly will drain all charge out of the collection region (accomplishing complete charge transfer). An interesting side effect is that the capacitance of the PD drops to effectively zero and therefore the KTC noise  $q_n = \sqrt{KTC}$  also goes to zero. When you design the depletion of the PD to deplete at a certain voltage you are pinning that PD to that voltage. That is where the term comes from.

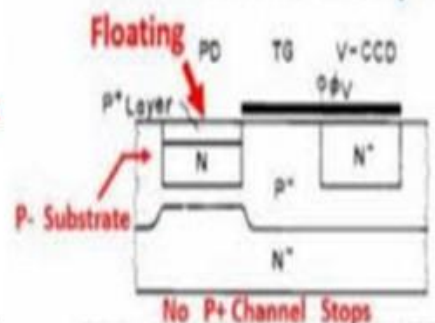
I've edited this Answer to acknowledge Hagiwara-san's contribution. It has long been incorrectly attributed to Teranishi and to Fossum (in CMOS image sensors)

**“The first Pinned Photodiode was invented by Hagiwara at Sony.”**  
**“It has long been incorrectly attributed to Teranish and to Fossum.”**

Teranishi at NEC Patent filed Japanese Patent Application JPA 1980-138026 on Buried Photodiode with Fig. 2 and Fig.3 shown below. Observe that the surface potential in Fig.2 is not pinned. It has an undesired surface electric field which induces the serious surface dark current noise problem. Observe also that the surface potential in Fig.2 is not pinned to the substrate ground potential. This is NOT Pinned Photodiode.



The surface P region is NOT pinned. See Fig.2 of JPA1980-138026



The Buried Photodiode reported in NEC IEDM1982 Paper

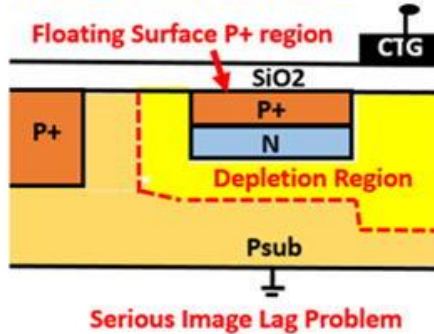


## 温故知新の精神

### Difference of Buried Photodiode and Pinned Photodiode

Figure 5 does not have the P+ channel stop nearby.

#### Buried Photodiode



#### NEC IEDM1982 Paper

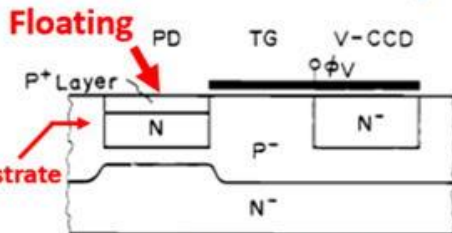


Fig.5. P+NP- structure photodiode  
(a) Unit cell cross sectional view

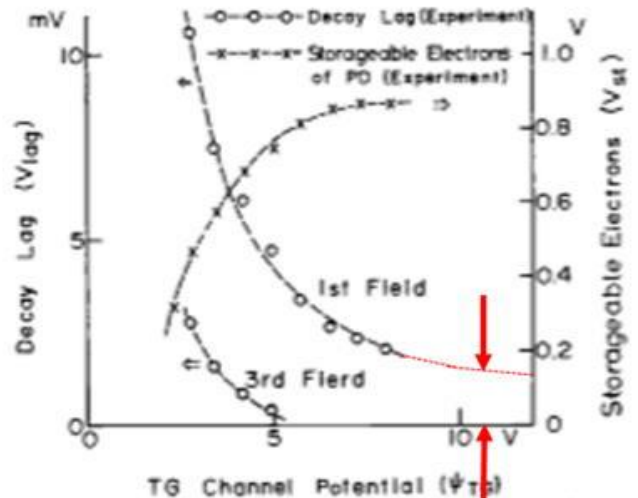


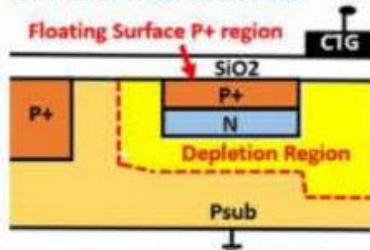
Fig.6. Storageable electrons vs. transfer gate channel potential, and decay lag vs. transfer gate channel potential in the P+NP- structure photodiode

### NEC IEDM1982 Paper reported Image Lag

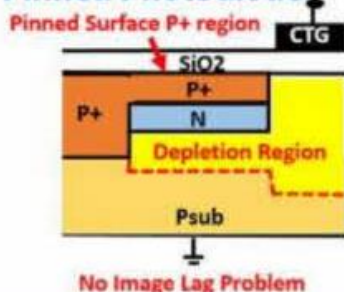
Figure 6 shows that there is still image lag at the CTG gate voltage of > 10 volt.

### Pinned Photodiode Must Have the Grounded P+ Channel Stops Nearby.

#### Buried Photodiode



#### Pinned Photodiode



The resistivity  $\rho$  of the P+ hole accumulation layer is given by

$$\rho = R \cdot W \cdot d / L$$

In the 2/3 inch optical lens system, we have the optical image size of 8.8 mm (H) x 6.6 mm (V) which was a common size in 1980s. Hence, we then have  $L = 6.6 \text{ mm} = 6600 \mu\text{m}$

The short wave blue light cannot penetrate more than  $d = 0.2 \mu\text{m}$  into the silicon crystal in depth. Hagiwara reported in SSDM1978 paper  $Q_d = 2 \times 10^{13} \text{ cm}^{-2}$  which gives  $N_d = Q_d / d = 1 \times 10^{18} \text{ cm}^{-3}$

For  $N_d = 1 \times 10^{18} \text{ cm}^{-3}$ , we have  $\rho = 0.04 \text{ ohm cm} = 400 \text{ ohm } \mu\text{m}$

$$RC = \{ L \rho / (W \cdot d) \} \{ \epsilon W \cdot L / X_o \} = \epsilon \rho L^2 / (d X_o)$$

We have  $\epsilon = 216 \text{ e/volt } \mu\text{m}$  for silicon oxide and  $e = 1.6 \times 10^{-19} \text{ Coulomb}$

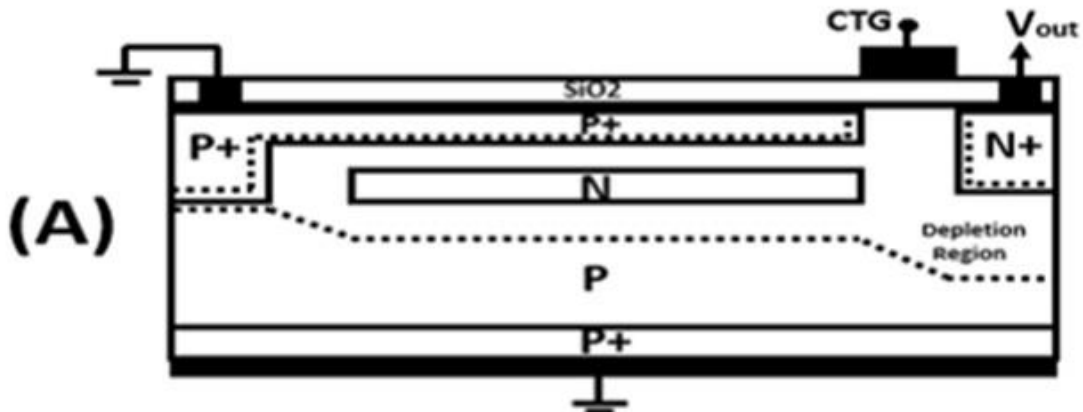
$$RC = (216) (1.6 \times 10^{-19}) (400) (6600) (6600) / (0.2) / (0.1) \text{ sec}$$

$RC = 30.1 \mu\text{sec}$  while one frame is  $1/60 \text{ sec} = 16.7 \text{ msec}$  and the Vertical CCD register clock period is  $16.7/500 = 33.4 \mu\text{sec}$

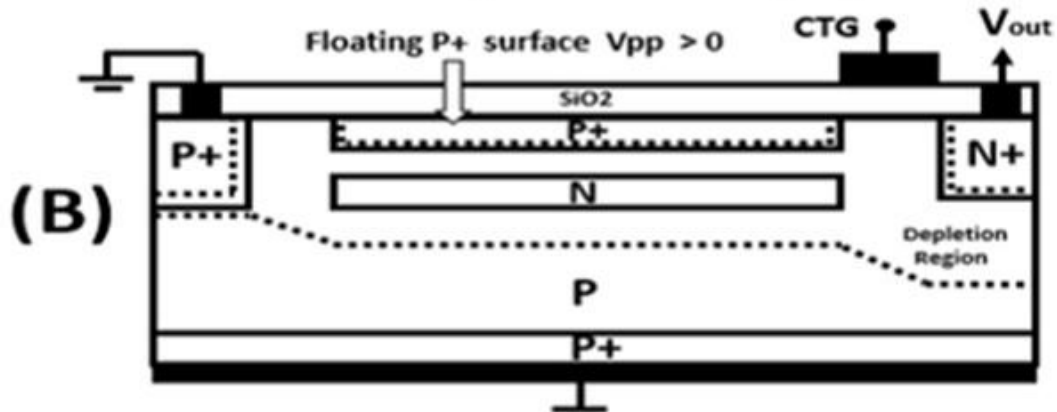
Hence RC delay time may not be ignored and surface P+ may be floating ?

## 温故知新の精神

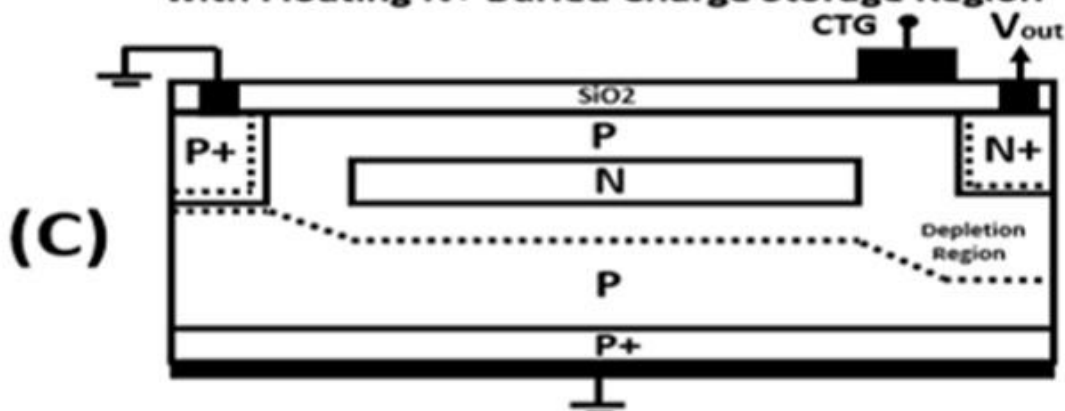
### Difference of Buried Photodiode and Pinned Photodiode



(A) Pinned Surface Hole Accumulation Region, directly connected with the adjacent P+ heavily doped channel stops



(B) Floating Surface P+ Hole Accumulation (  $V_{pp} > 0$  ) with Floating N+ Buried Charge Storage Region



(C) Floating Surface Buried Photodiode with Floating N+ Buried Charge Storage Region

All of (A), (B) and (C) types are Buried Photodiode Diodes.  
But the (B) and (C) type are not Pinned Photodiode.  
Only (A) type is Pinned Photodiode.



## 温故知新の精神

[http://www.aiplab.com/P1978\\_SSDM1978\\_Paper\\_quoted\\_in\\_2006\\_paper.jpg](http://www.aiplab.com/P1978_SSDM1978_Paper_quoted_in_2006_paper.jpg)

**Hagiwara reported the Pinned Windows and Pinning Surface Potential in 1978 based on his 1975 invention of the P+NPNsub junction type Pinned Photo diode.**

IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 53, NO. 12, DECEMBER 2006

### The Hole Role in Solid-State Imagers

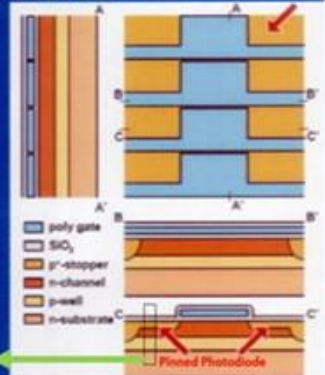
Albert J. P. Theuwissen, Fellow, IEEE

Despite these advantages, notice that parts of the depleted n-type CCD channels are not covered by gate material. In this way, their electrostatic potential is not defined! Such a structure will suffer from serious charge transport issues during its operation, because charge can and will be trapped in local potential pockets. The effect can simply be solved by defining the potential in the open areas through an extension of the p<sup>+</sup>-channel stopper. A simple self-aligned p-implant of  $2 \cdot 10^{13}/\text{cm}^2$  B-ions after the gate construction is sufficient to extend the channel stop area to the gate edge and, consequently, fix the potential in the open areas. The result after this self-aligned implant is shown in Fig. 4. The presence of enough holes plays a crucial role in fixing the potential for the regions normally "beyond control" of the gates. [Is this structure the mother of the PPD or buried diode or hole-accumulation device (HAD)?]

### CCD with Pinned Windows

Pinning surface potential by:

- self-aligned, shallow B implant,
- e.g.  $2 \cdot 10^{13}/\text{cm}^2$ ,
- 1978 : Hagiwara (Sony),
- 1982 : Beck (Philips).



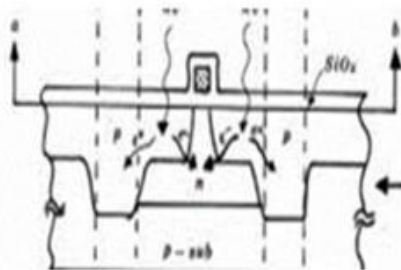
Albert Theuwissen quoted Hagiwara 1978 paper and explained the importance of hole role in image sensors @ Workshop on CMOS Imaging, Duisburg May 16, 2006

### Direct Quotation

The presence of enough holes plays a crucial role in fixing the potential for the regions normally "beyond control" of the gates. [Is this structure the mother of the PPD or buried diode or hole-accumulation device (HAD)?]

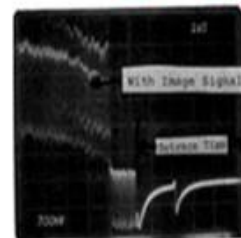
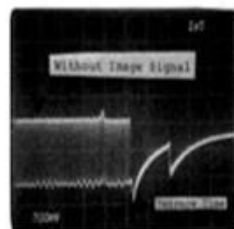
Quoted directly from IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.53, No.12, DEC 2006

### Hagiwara SSDM1978 Conference paper

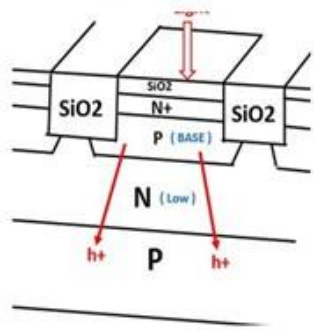
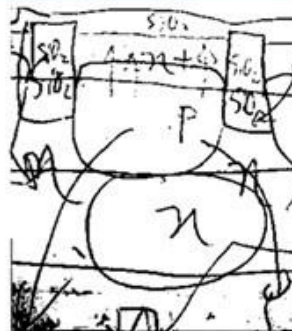
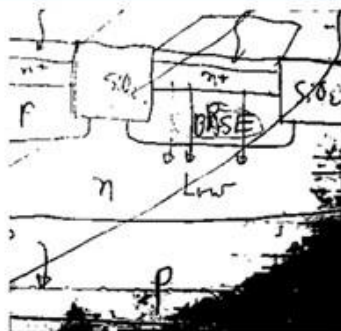


Low Dark Current

Complete Charge Transfer  
No Image Lag



Proceeding of the 10<sup>th</sup> Conference on Solid State Devices, Tokyo, 1978:



Hagiwara 1975 Lab Note shows Pinned Photodiode Structure.



## 温故知新の精神

●Prof. Albert Theuwissen は IEDM2005 の招待論文 “The Hole Role” で、萩原の SSDM1978 の論文を初めて引用した。萩原が 1975 年に発明し、萩原自身が開発し、SSDM1978 の学会で論文発表した P+NPNsub 接合型受光素子が NEC の埋込み Photodiode と KODAK の Pinned Photodiode と SONY の Hole Accumulation Device の生みの親(Mother)ではないかと賞賛した。Mother とは「生みの親」を意味し、発明者に対する最高の賞賛の言葉である。開発者を賞賛する「育ての親」を意味する父(Father) に対応する言葉が母(Mother)である。

Albert J.P. Theuwissen, Jan T.J. Bosiers, Edwin Roks, “The Hole Role”,  
an invited paper at IEDM2005, Washington DC, Techn. Dig., 2005.

But in the case that parts of the depleted n-type CCD channels are not covered by gate material, their surface potential is undefined! Such a structure will suffer from charge transport issues during operation, because charge can be trapped in local potential pockets. The effect can be solved by defining the potential in the open areas through an extension of the p<sup>+</sup> channel stopper. A simple self-aligned implant of  $2 \times 10^{13} / \text{cm}^2$  boron ions is sufficient to extend the channel stop areas to the gate edge and consequently fix the potential in the open areas [2]. The result after this self-aligned implant is shown in Figure 3. The presence of enough holes plays a crucial role in fixing the potential for the regions “beyond control” of the gates. (Is this structure the mother of the pinned-photodiode or buried diode or hole-accumulation device?)

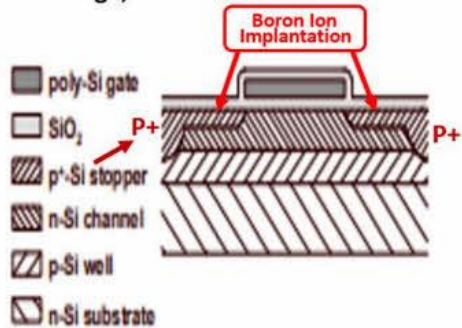


Figure 3. Cross section of a buried-channel CCD on n-Si substrate including light windows and pinned interface potential in the non-covered CCD channels (the cross section is made perpendicular to the CCD channel).

[2] Y. Daimon-Hagiwara et al., Proc. 10<sup>th</sup> Conf. on Solid-State Devices, Tokyo, 1978, pp.335-340,

●Eric R. Fossum, Donald D. Hondongwa, “A Review of the Pinned Photodiode for CCD and CMOS Image Sensors,” IEEE Journal of the Electron Devices Society, Vol. 2, No. 3, 2014.

この 2014 年の Fossum の論文の中で、不正確の理解から、萩原の 1975 年の特許と 1978 年の論文には「残像の関する記述がない」と、攻撃しているが、事実無根である。論文に示されている図が間違っている。PPD の発明は寺西であると結論づけているが、攻撃とその結論は間違った理解からなされていると判断される。

**Fossum insulted in his 2014 paper Sony and Hagiwara 1975 PPD invention.**

**Indeed, Hagiwara invented PPD with VOD and the virtual charge transfer in 1975 !!**

IEEE JOURNAL OF THE ELECTRON DEVICES SOCIETY, VOL. 2, NO. 3, MAY 2014

**Sony HAD (PPD+VOD) does not use LOCOS !!!**

**A Review of the Pinned Photodiode for CCD and CMOS Image Sensors**

Eric R. Fossum, Fellow, IEEE, and Donald D. Hondongwa, Student Member, IEEE

**Many people now said this is a fake paper !**

C. Other Contributions to the PPD Invention

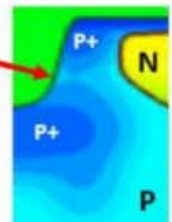
The PPD structure, while invented for low lag ILT CCD application, shares a strong resemblance to the Hynesek virtual-phase CCD structure, with the exception of the VOD. The two inventions were solving different problems with essentially the same device structure and operating principles.

In 1975, Hagiwara at Sony filed a patent application on bipolar structures for CCDs in which a pnp vertical structure was disclosed, among several structures [24]. The top p layer was connected by metal to a bias used to control full-well capacity and the n-type base layer was proposed for carrier storage. In an unusual paper, Hagiwara, in 1996, revisited the 1975 invention and claimed it was essentially the invention of both the virtual phase CCD and the NEC low-lag structures, as well as the basis of the Sony so-called “Hole Accumulation Diode,” or HAD structure [25]. However, the 1975 application

did not address complete charge transfer, lag or anti-blooming properties found in the NEC low-lag device, and does not seem to contain the built-in potential step and charge transfer device aspects of the virtual-phase CCD. Hagiwara repeats these claims in a 2001 paper [26] and shows a VOD structure that is not found in the 1975 patent application. Sony did not seem to pursue the HAD structure until well after the NEC paper was published. However, the “narrow-gate” CCD with an open p-type surface region for improved QE also disclosed in the 1975 application was reported in more detail by Hagiwara et al. at Sony in 1978 [27]. A similar structure was used extensively by Philips [28].

The PPD, as it is most commonly used today, bears the strongest resemblance to the Teramichi et al. ILT CCD device. Thus, these days Teramichi is considered as the primary inventor of the modern PPD [29].

The surface P+ layer is NOT connected to the LOCOS P+ layer. The surface P+ layer may be floating and this photodiode may have serious image lag.



**Serious Image Lag ?**

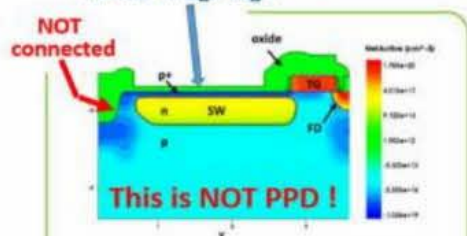


Fig. 4. Example of a pinned photodiode implemented in a CMOS image sensor showing doping concentrations. (Dimensional units are micrometers).

**Hagiwara in 1975 invented PPD with VOD and the virtual charge transfer. Study the Japanese Patents 1975-127646, 1975-127647 and 1975-134985.**

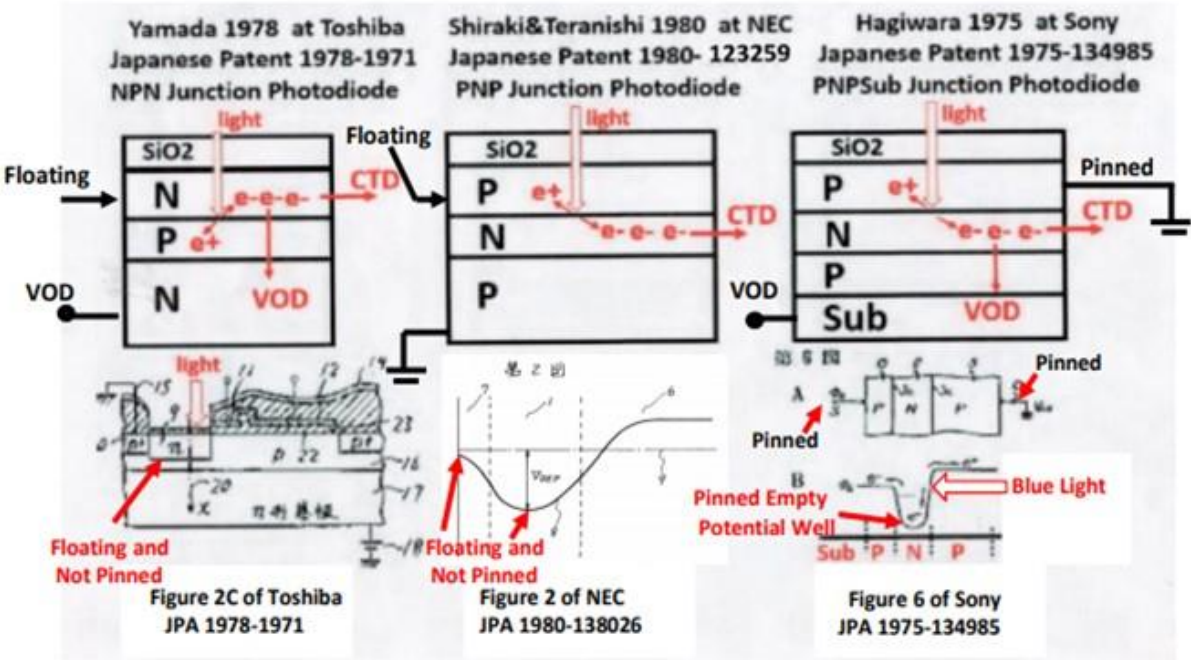


温故知新の精神

Invention and Historical Development Efforts of Pinned Buried Photodiode.

JPA1975-127646, JPA1975-127647 and JPA1975-134986 are the evidence that Yoshiaki Hagiwara at Sony is the inventor of Pinned Buried Photodiode and the SSDM1978 paper by Hagiwara team in Sony is the evidence that Hagiwara developed the first Pinned Buried Photodiode with the no-image-lag feature, the low surface dark current and the excellent short-wave blue-light sensitivity.

| Three types of Photo Sensing Devices |                              | 1                                                       | 2                                                    | 3                                                                      |
|--------------------------------------|------------------------------|---------------------------------------------------------|------------------------------------------------------|------------------------------------------------------------------------|
| Three important Features             |                              | N+P Single Junction Photodiode with Floating N+ Surface | Charge Couple Device CCD/MOS Dynamic Photo Capacitor | P+NP Double Junction Dynamic Photo Transistor Pinned Buried Photodiode |
| 1                                    | Image Lag Problem            | Serious Image Lag Problem                               | No Image Lag Problem                                 | No Image Lag Problem                                                   |
| 2                                    | Surface Dark Current Noise   | No Surface Dark Current Noise                           | Serious Surface Dark Current Noise                   | No Surface Dark Current Noise                                          |
| 3                                    | Short-Wave Light Sensitivity | Poor Short-Wave Light Sensitivity                       | Very Poor Short-Wave Light Sensitivity               | Excellent Short-Wave Light Sensitivity                                 |



Floating Surface N Charge Storage Region has the Serious Image Lag Problem

Floating Surface P Region and Floating N Charge Storage Region with Floating Empty Potential Well and the Serious Image Lag Problem

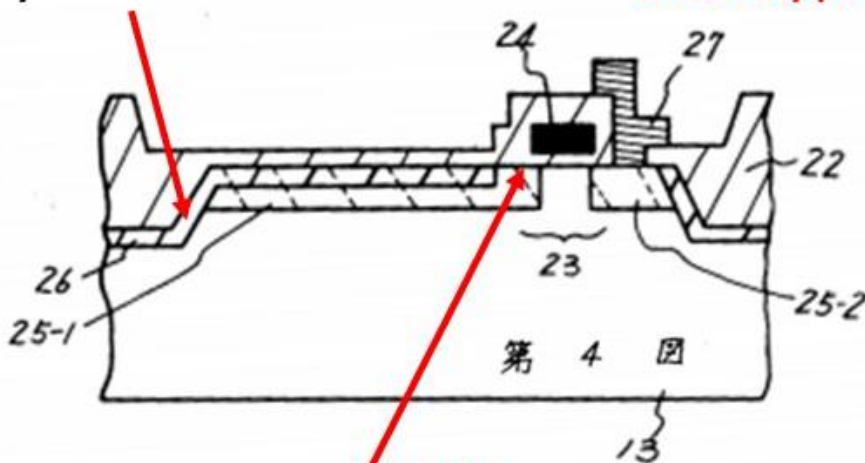
Pinned Surface N Region and the Pinned Empty Potential Well with Complete Charge Transfer and No Serious Image Lag Problem

## 温故知新の精神

### Koike Photodiode is **Not** Pinned Photodiode but with a **partially** Pinned Surface.

【4】N. Koike, I. Takemoto. Japanese Patent JP1977—837

LOCOS process may have a large oxide stress and the surface dark current problem. Besides the LOCOS oxide side wall may have a low P+ concentration with a **RC delay problem**.



This photodiode is **NOT** Buried Photodiode. This is also **NOT** Pinned Photodiode because the buried N storage region is exposed to the semiconductor surface and becomes **floating**. The buried N storage region is not completely buried. The floating N region causes the serious **Image Lag problem**.

This photodiode was used for MOS image sensor with the overflow drain (OFD) function capability draining the excess charge to the output readout column data line by controlling the gate voltage of the charge transfer gate (CTG)



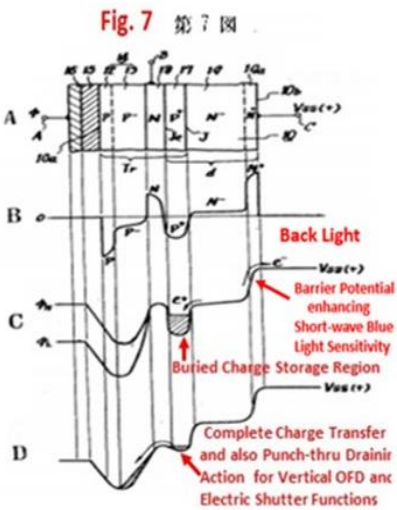
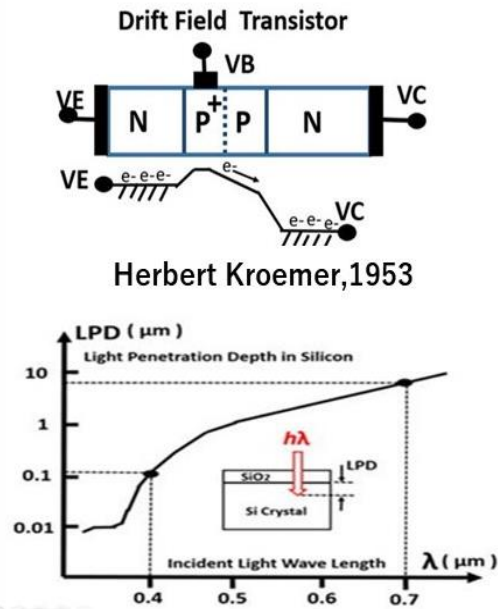
## N+P junction type Solar Cell



温故知新の精神

Invention and Historical Development Efforts of Pinned Buried Photodiode.

JPA1975-127646, JPA1975-127647 and JPA1975-134986 are the evidence that Yoshiaki Hagiwara at Sony is the inventor of Pinned Buried Photodiode and the SSDM1978 paper by Hagiwara team in Sony is the evidence that Hagiwara developed the first Pinned Buried Photodiode with the no-image-lag feature, the low surface dark current and the excellent short-wave blue-light sensitivity.



JPA1975-127646 with Global Shutter Function

JPA1975-127646

N+N-P+NP-P Triple Junction  
Dynamic Photo Thyristor  
type Pinned Surface  
Buried Storage Photodiode

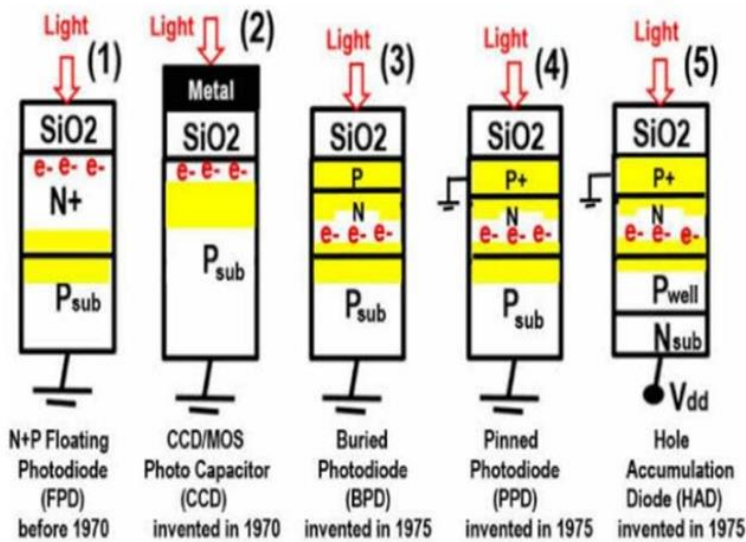
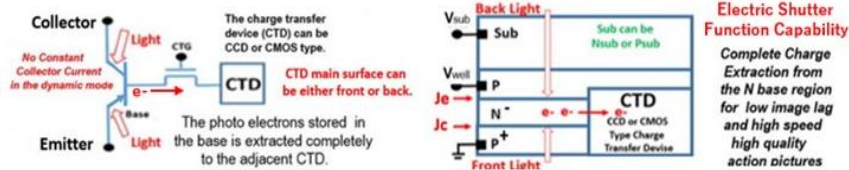
No Image Lag Problem

No Surface Dark  
Current Noise

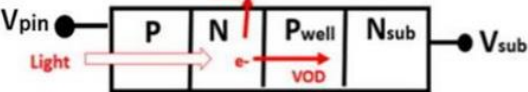
Excellent Short-Wave  
Light Sensitivity

Invention and Historical Development Efforts of Pinned Buried Photodiode.

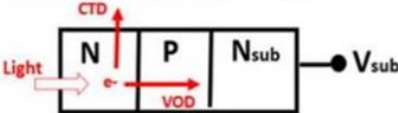
P+NP Double Junction  
Dynamic Photo Transistor type  
Pinned Buried Photodiode



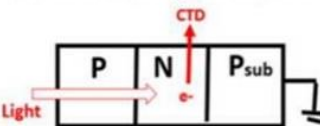
(5) Triple Junction Pinned Photodiode on Substrate  
JPA1975-134985 by Hagiwara at Sony



(5a) Floating Surface Double Junction Photodiode  
JPA1978-1971 by Yamada at Toshiba



(5b) Floating Surface Double Junction Photodiode  
JPA1978-1971 by Teranishi et al at NEC





P+NP Double Junction  
Dynamic Photo Transistor  
Pinned Buried Photodiode

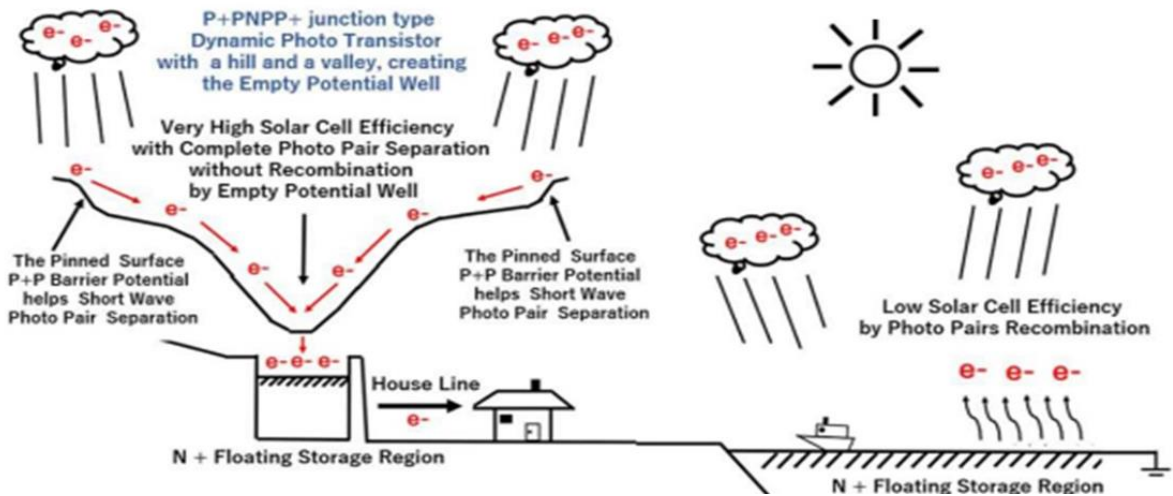
No Image Lag Problem

No Surface Dark  
Current Noise

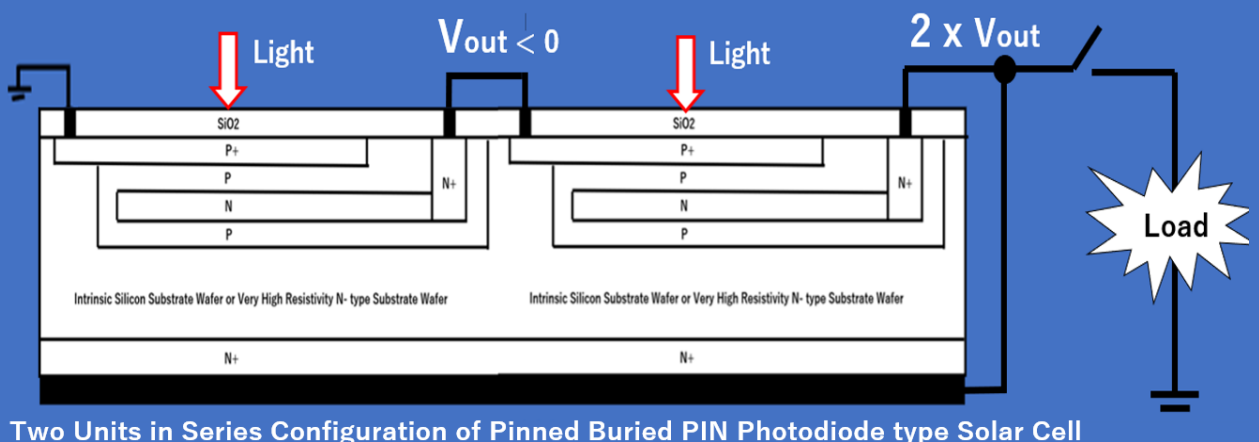
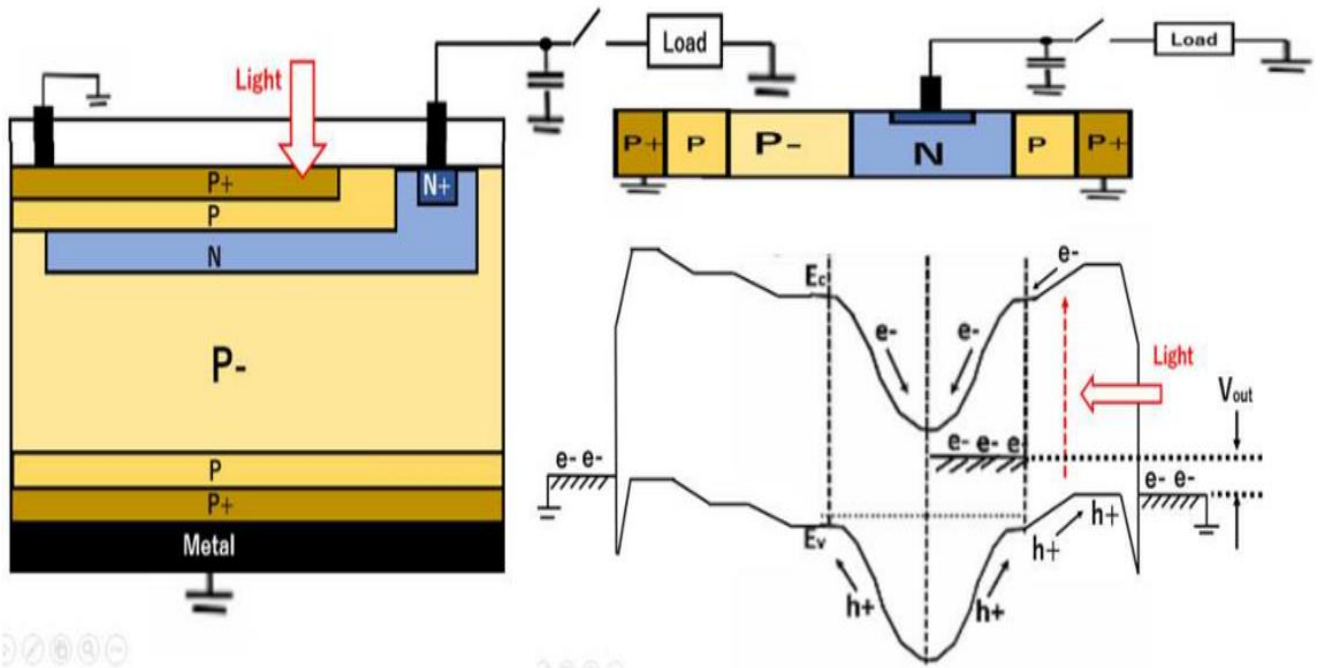
Excellent Short-Wave  
Light Sensitivity

(2) Pinned Surface P+PNPP+ Double Junction Solar Cell

(1) Floating Surface N+P Single Junction Solar Cell



JPA2020-131313 invented by Hagiwara

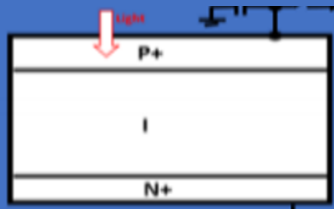


Two Units in Series Configuration of Pinned Buried PIN Photodiode type Solar Cell

# Pinned Buried P+PNIP+ Photodiode Structure type Solar Cell JPA2020-131313 invented by Hagiwara

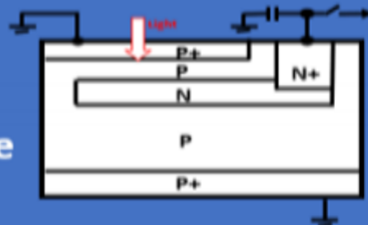
Exact Numerical Computation of  
Pinned Surface P+P Barrier Potential

## (1) PIN Diode



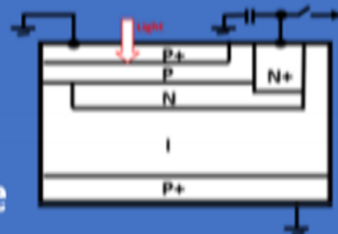
Jun-Ichi Nishizawa , 1950

## (2) Pinned Buried Photodiode

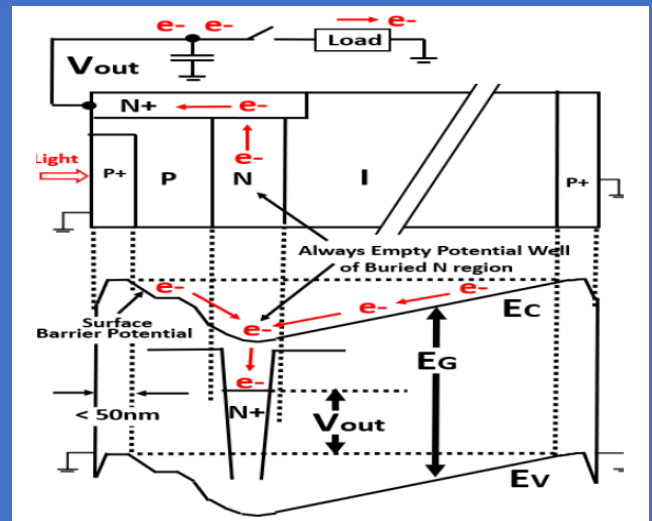
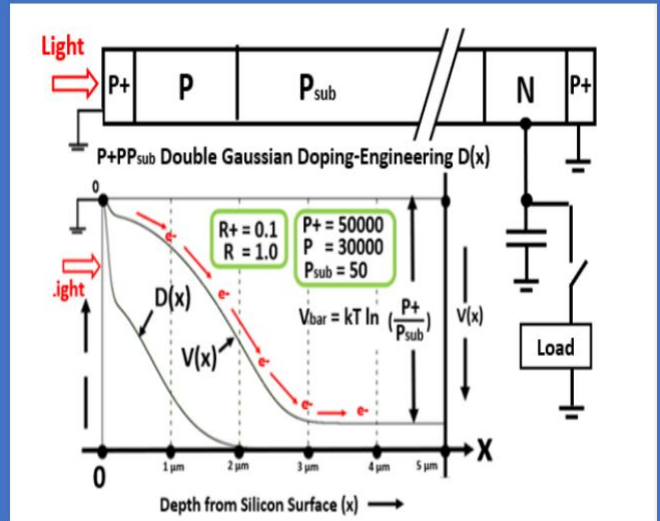


JPA2020-131313 by Hagiwara

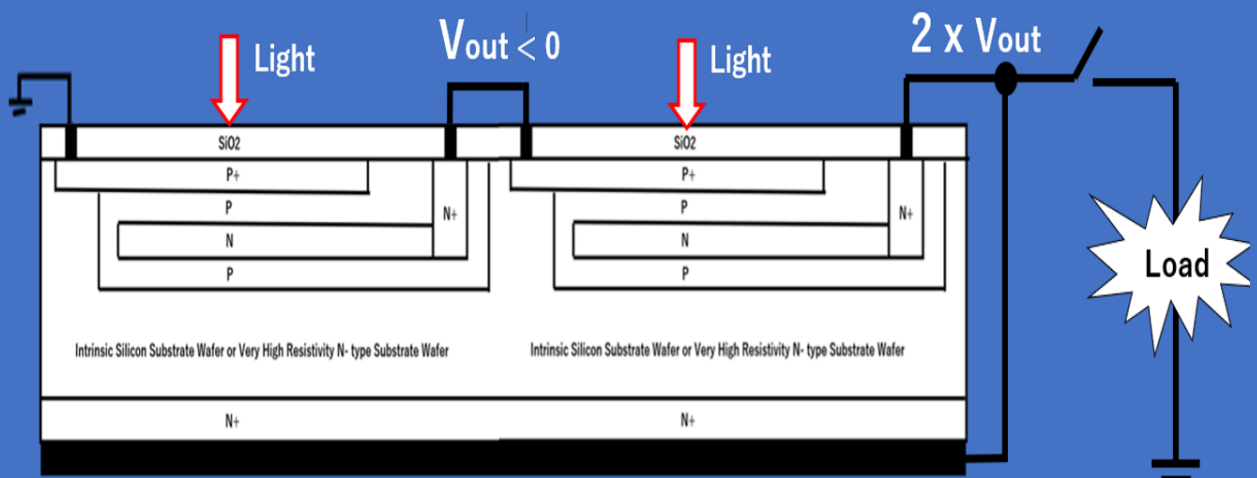
## (3) Pinned Buried PIN Photodiode



Yoshiaki Hagiwara, 2021

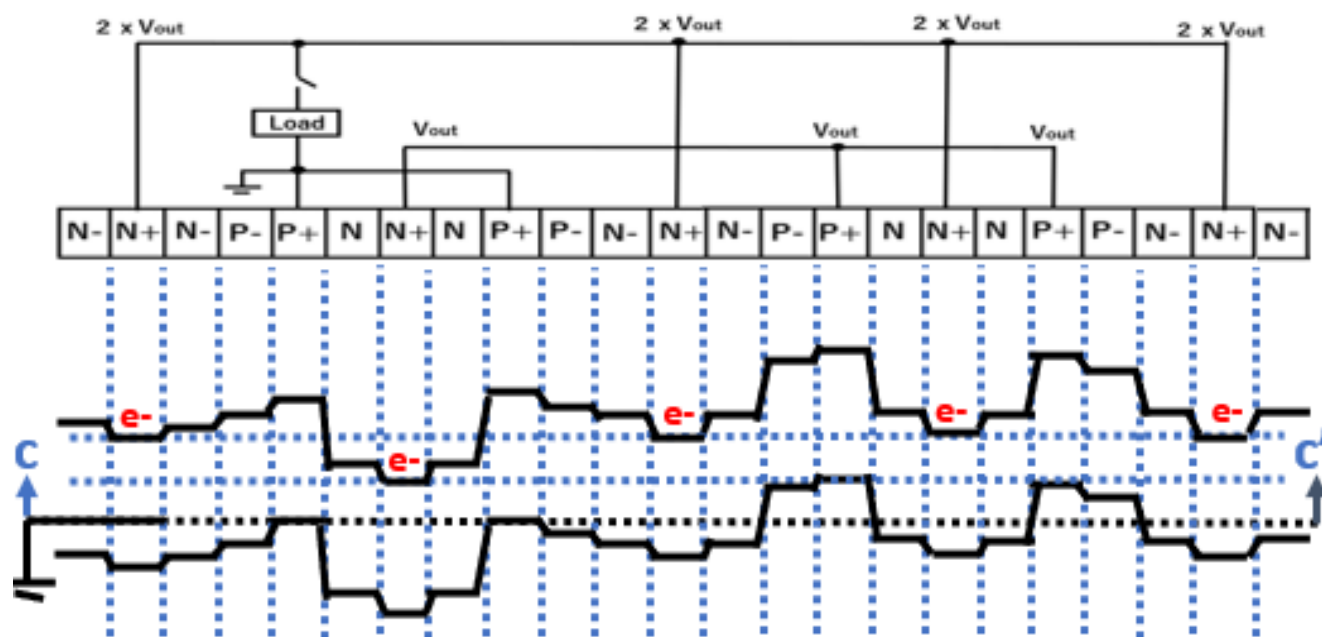
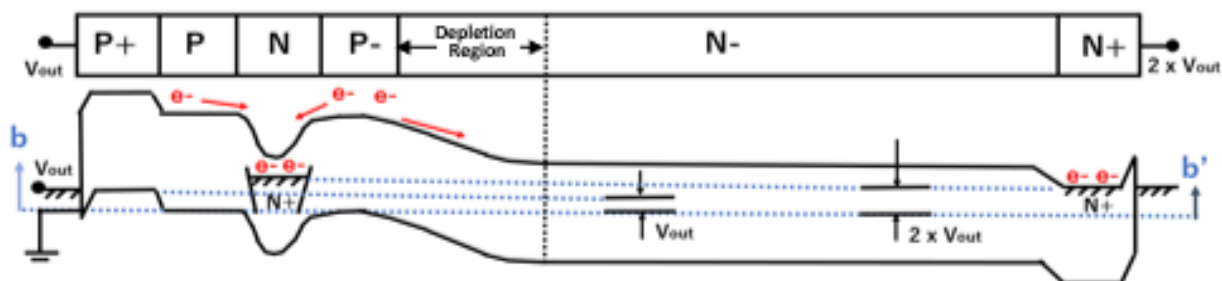
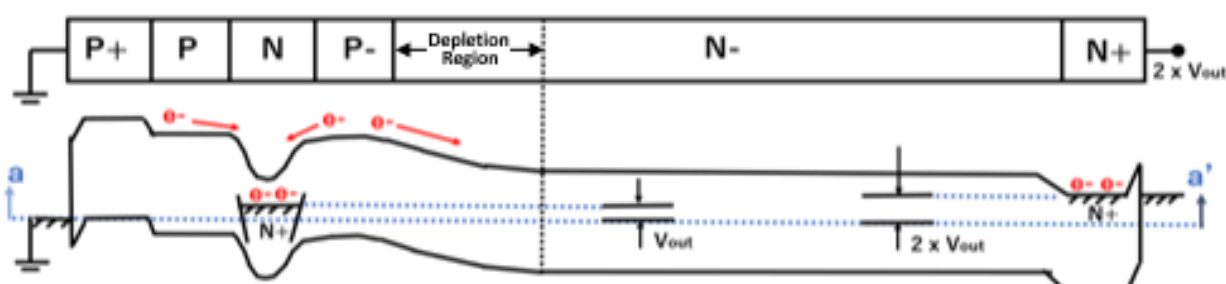
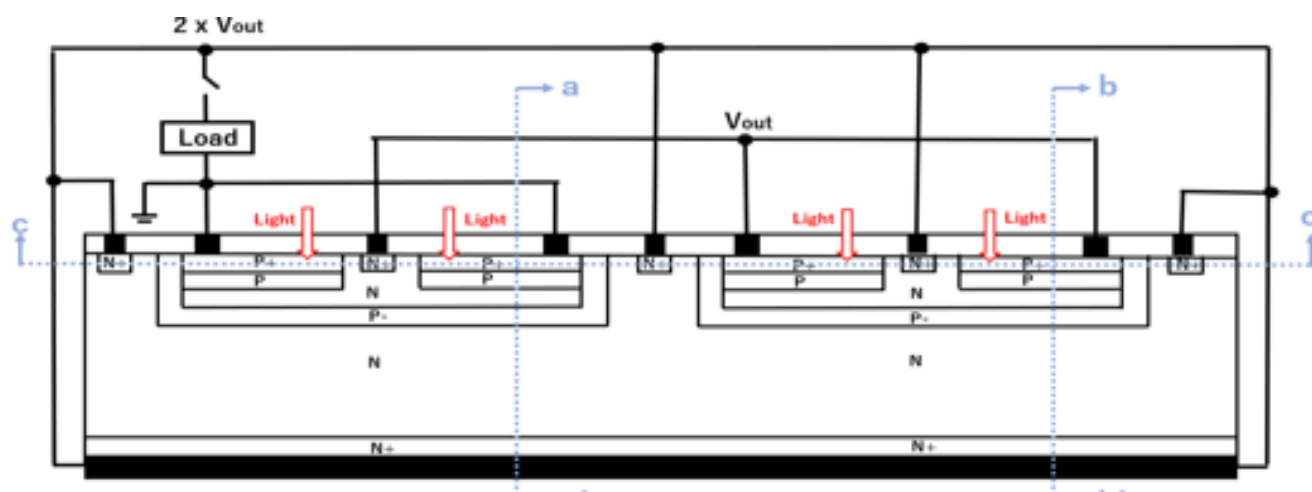


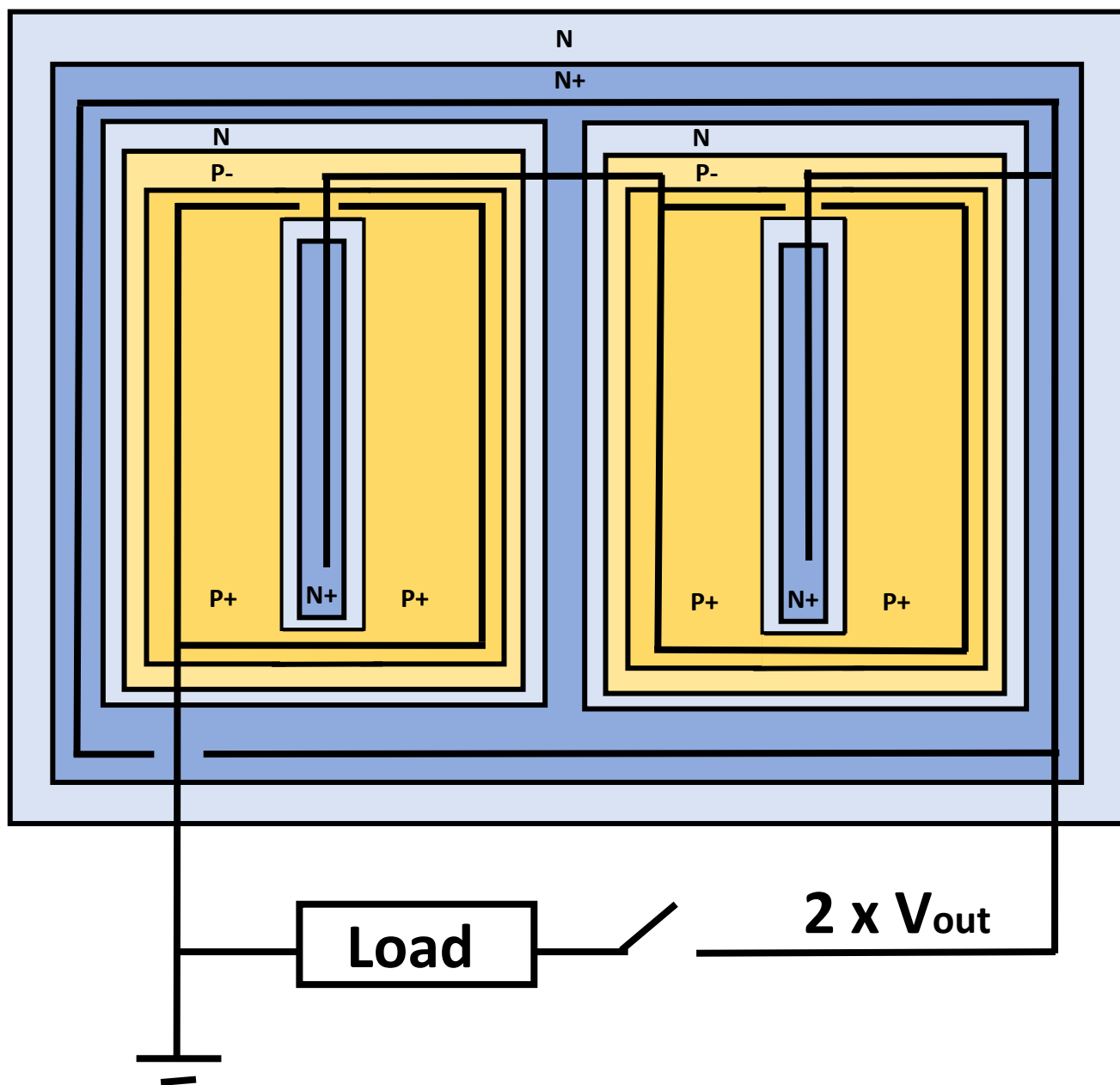
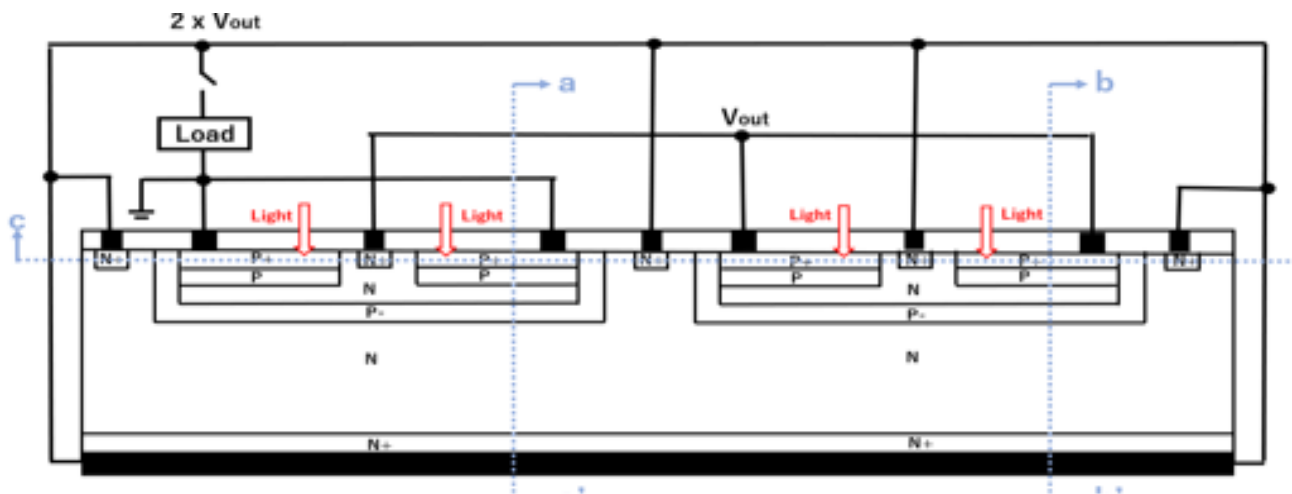
Band Diagram of Pinned Buried PIN Photodiode type Solar Cell



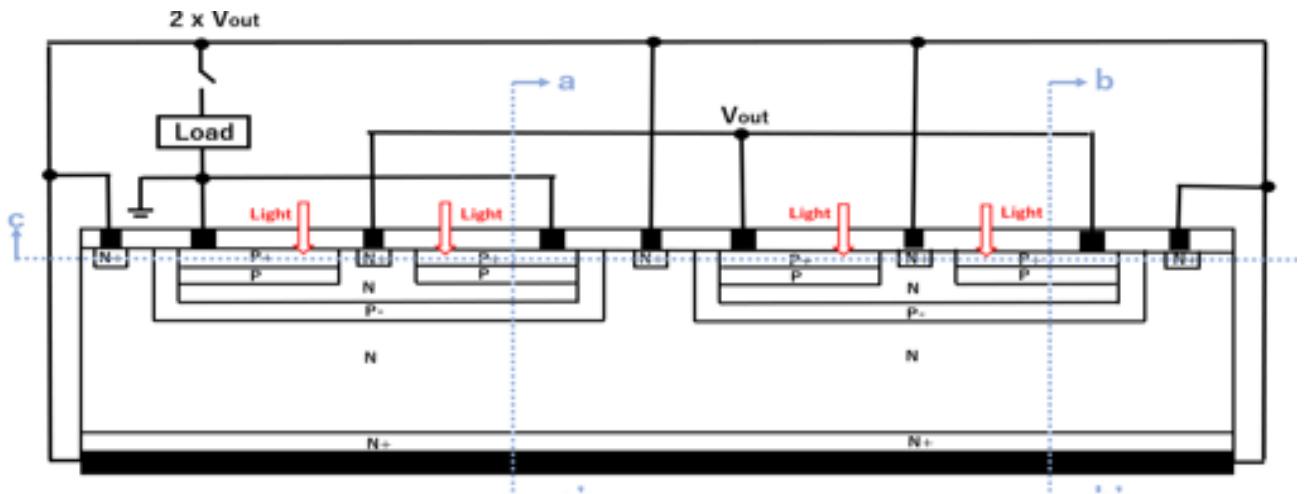
Two Units in Series Configuration of Pinned Buried PIN Photodiode type Solar Cell



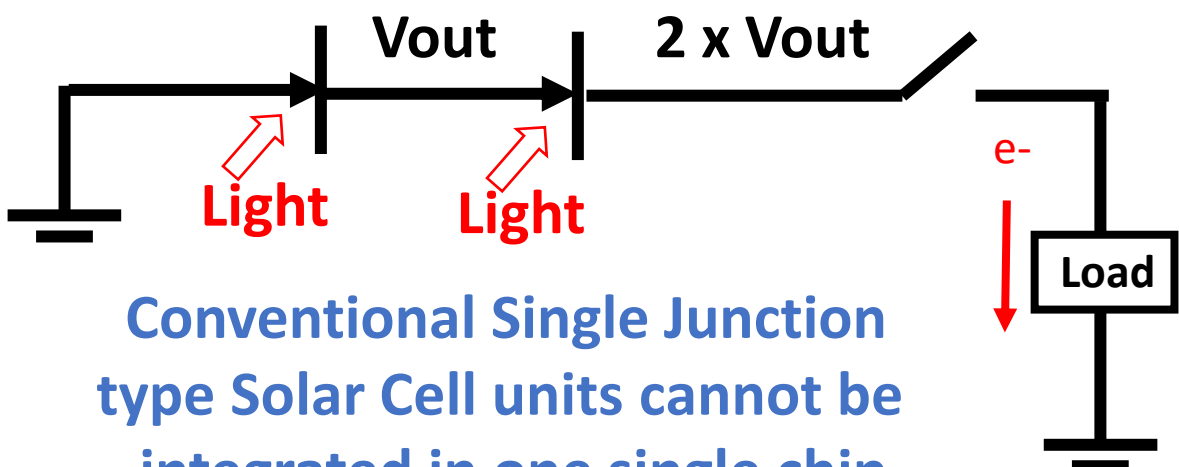
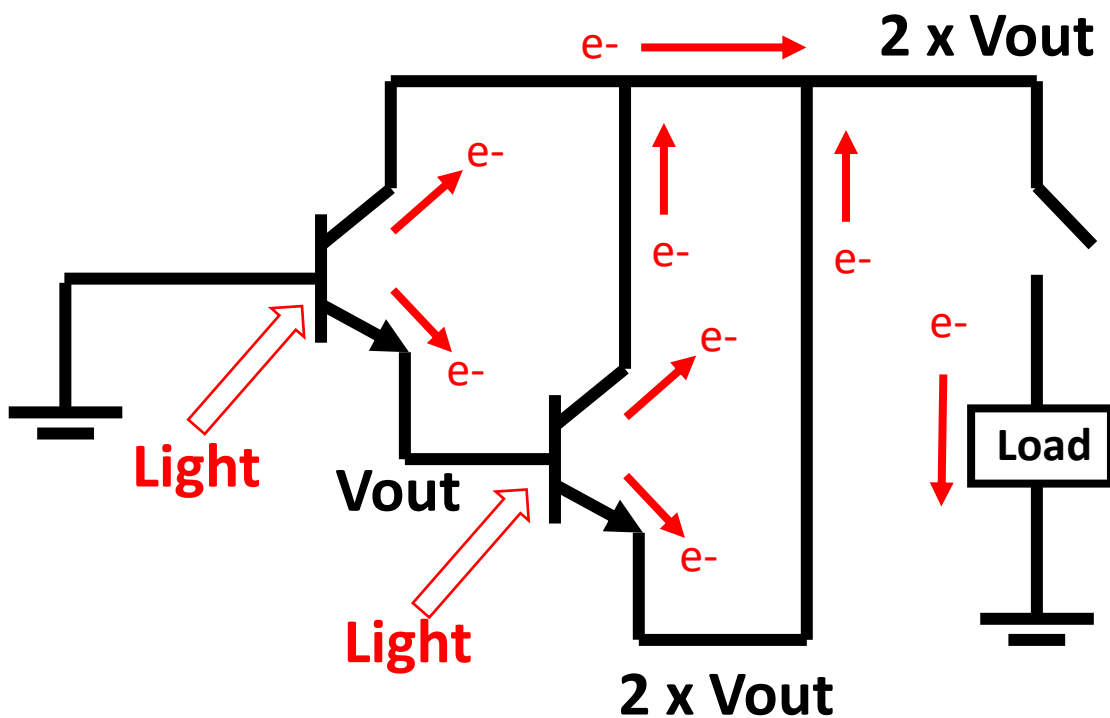




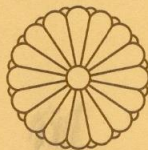




Double Junction type Solar Cell units can be integrated in series in one single chip.



Conventional Single Junction type Solar Cell units cannot be integrated in one single chip.



# 特許証

(CERTIFICATE OF PATENT)

特許第6818208号

(PATENT NUMBER)

発明の名称

(TITLE OF THE INVENTION)

光電変換半導体装置

特許権者

(PATENTEE)

神奈川県厚木市上荻野4313-1

萩原 良昭

発明者

(INVENTOR)

萩原 良昭

出願番号

(APPLICATION NUMBER)

特願2020-131313

出願日

(FILING DATE)

令和 2年 8月 1日(August 1, 2020)

登録日

(REGISTRATION DATE)

令和 3年 1月 5日(January 5, 2021)

この発明は、特許するものと確定し、特許原簿に登録されたことを証する。

(THIS IS TO CERTIFY THAT THE PATENT IS REGISTERED ON THE REGISTER OF THE JAPAN PATENT OFFICE.)

令和 3年 1月 5日(January 5, 2021)

特許庁長官

(COMMISSIONER, JAPAN PATENT OFFICE)

糟谷敏秀





温故知新の精神

Sony 製 Image Sensorの最大の特徴は超光感度で残像がなく暗電流雑音が小さい事である。電子shutter 機能を装備した Image Sensor の商品化は1987年にSonyが世界で初めて成功した。しかし世界はその優れた特徴がCCDによるものと誤解した。真実は、萩原良昭が1975年に発明し1978年に開発に成功し、SSDM1978の国際学会でその詳細を報告した、double 接合型のPNP dynamic photo transistor構造ののPinned Buried Photodiode、別称 Hole Accumulation Diode (HAD) を受光素子に採用した からその優れた性能を実現した。1987年にはソニーは、1-chip ILT 方式のCCD image sensor (ICX-022)の開発商品化に成功し市場を制覇した。

38万画素に達した固体撮像素子

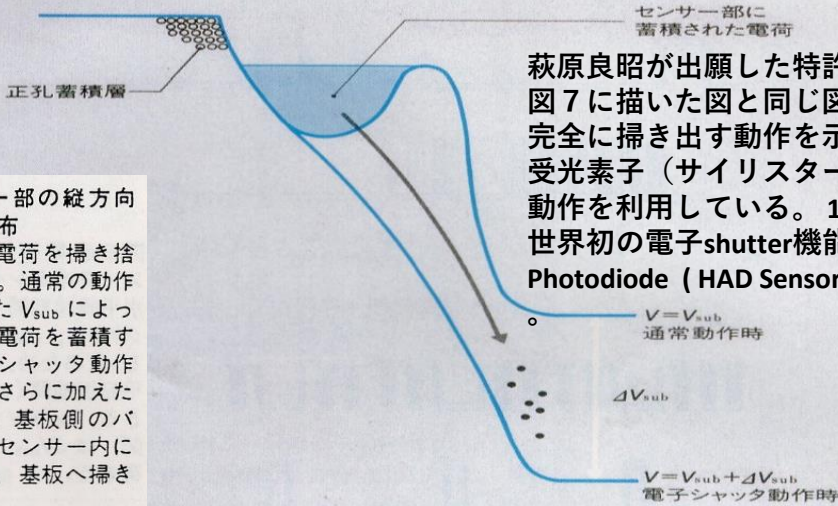


図4 ● センサー部の縦方向ポテンシャル分布  
n 型基板に信号電荷を掃き捨てる方式を採用。通常の動作時には、設定した  $V_{sub}$  によってセンサー部に電荷を蓄積する。一方、電子シャッター動作時には、 $V_{sub}$  にさらに加えた  $\Delta V_{sub}$  によって、基板側のバリアーが崩れ、センサー内に蓄積した電荷は、基板へ掃き出される。

萩原良昭が出願した特許 JPA1975-127646 の図7に描いた図と同じ図である。過剰電荷を完全に掃き出す動作を示す。Triple接合型の受光素子（サイリスター構造）の Punch-thru 動作を利用している。1975年萩原良昭による世界初の電子shutter機能付きの Pinned Buried Photodiode (HAD Sensor) の発明である。

基板に余剰電荷を掃き出し,可変電子シャッターを実現

Japanese Patent 1975-127646

N+NP+NP junction type Buried Pinned Photodiode  
with Built-in MOS Capacitor Buffer Memory Global Shutter Function  
and the surface N+N doping slope Barrier Electric Field Photo Pair Generation

