

静電気学会誌

ISSN 0386-2550

proceedings of the institute of electrostatics japan

特集：セミコン・インダストリー

127

1998

VOL. 22

NO. 6

Bimonthly

VOL. 22

NO. 6

Bimonthly

127

1998



静電気学会

Proceedings of the Institute of Electrostatics Japan

Vol. 22 No. 6 November 1998

CONTENTS

Special Issue on "Semiconductor Industry"

Preface

Electrostatic Control on Semiconductors and Liquid Crystal Display ManufacturingTadahiro OHMI 275

Reviews

DRAM/SRAM Technology and ProblemsYoshiaki HAGIWARA 277
Flash MemoryFujio MASUOKA 282
PZT Thin Film Ferroelectric Memory (FRAM)Hidemi TAKASU 286
Single-Electron MemoriesKazuo YANO 290
Ultra Clean Technology/Anti-Electrostatic TechnologyHitoshi INABA 295
Ultrapure Water System and TechnologyMakoto NOMURA 300
Xero-WORDS—Explanation of the Words Used on This Special Issue— 305

Papers

Decomposition of Volatile Organic Compounds by Non-Thermal Plasma Processing
—Effect of Humidity on Decomposition—
.....Ryuichi YAMASHITA and Tetsuji ODA 306
Direct Problem Approach for Decision of Fictitious Charge Arrangement in Charge
Simulation Method by Using Genetic Algorithms
.....Ryo NISHIMURA, Katsumi NISHIMORI and Naganori ISHIHARA 310

Visiting Laboratory

Laboratories for Study on Electrostatics in Chiba University
.....Yoshiaki YAMANO, Takashi KITAMURA and Katsuyoshi HOSHINO 316

Saloon

Report on the 22th Annual Meetings of the Institute of Electrostatics Japan
.....Yoshiyuki MATSUBARA 318

Announcements 319

Contents of Proceedings of the Institute of Electrostatics Japan, Vol. 22 (1998) Appendix

Published Bimonthly by

The Institute of Electrostatics Japan

c/o Sharum '80 4F, 1-3, Hongo 4-chome, Bunkyo-ku,
Tokyo, 113-0033 Japan

Notice about photocopying : In the U.S.A., In order to photocopy any work from this publication, you or your organization must obtain permission from the following organization which has been delegated for copyright for clearance by the copyright owner of this publication. Copyright Clearance Center, Inc. 222 Rosewood Drive, Danvers, MA 01923 ; Phone (508)750-8400, Fax (508)750-4744.

特集解説

DRAM/SRAM 技術と静電気

萩原良昭^{*、1}

(1998年7月29日受理)

DRAM/SRAM Technology and Problems

Yoshiaki HAGIWARA^{*、1}

(Received July 29, 1998)

1. はじめに

DRAM および SRAM の基本技術の紹介と同時に静電気学との関わりについて解説する。まず、最初に DRAM の歴史的背景の説明を行い、現在に至る DRAM の最先端技術の紹介を行う。次に、SRAM についても同様に、まずその技術変遷から説明を始め、現在の最先端の SRAM 技術を紹介する。そして、DRAM や SRAM だけでなく一般 MOS LSI の信頼性上の共通の問題の一つである、LSI チップの回路の静電荷に対する許容度について触れる。特にチップの試験、組み立て、出荷などの取り扱い中に発生する静電気によるゲート酸化膜破壊の信頼性問題に触れ静電気学との関わりについて認識を深める。

2. DRAM の技術変遷

世界で最初に開発された DRAM は 1970 年の米国インテル社からのもので、そのビット容量は 1k であった。そのセル構造を図 1 に示す。3 トランジスタ (3T) ・ゲインセルタイプで、当時のデータ保持時間は 2ms と短く、電源は $V_{ss}=16V$, $V_{bb}=20V$, $V_{dd}=0V$ としていた。サイクルタイムは 580ns と長く、PMOS プロセスであった¹⁾。翌年には 1 トランジスタ (1T) タイプのものが開発された²⁾。プロセスは NMOS で容量は 4k bit の DRAM であった。図 2 にその構造を示す。メモリセル構造としてはもっとも単純で現在に至っている。電源は $V_{dd}=12V$, $V_{cc}=5V$, $V_{bb}=-3V/-5V$, ($V_{ss}=0V$) であった。

図 3 に示すようにデータは拡散領域と基板間の空乏層容量 Cd およびポリシリコンと基板との間の容量 Co に貯え

られていた。書き込みと読み出しに使う MOS トランジスタ T1、と容量 Co 確保のためのポリシリコン・プレート電極はおなじ層のポリシリコン層で形成されている。その後、DRAM の高集積化の努力の結果、セルの微細化に拍車がかかり、DRAM セルのデータ保持容量値 (50 pF から 20 pF) の確保のため、セル構造の 3 次元化が進んだ。図 4 に示すトレンチ型のセル構造が考案された。この構造ではトレンチ(溝)にうめられた第 1 ポリシリコン電極と基板との間の酸化膜の容量にデータを保持するようになっていた。リーク電流の少ないトレンチの加工がかなりむずかしかった。その後、図 5 に示すスタック型のセルが登場し、その多層変形改良されたものが、現在実用化製品化されている。現在では DRAM の主要生産拠点が米国から日本、さらに韓国、台湾に移って来たことは周知のことであるが、現在ではデザインルール 0.15 μm で 4G bit の汎用 DRAM が試作されている³⁾。

外部電源も現在では 2.2V の単一電源を実現している。1971 年には外部電源最大 20V が必要であったことは現在ではあまり知られていない。図 6 に電源値と DRAM のビット容量変遷の関係を示す。電圧 (V_{dd}) と微細化の基本パラメータであるゲート電極長 L (μm) との間には $V_{dd} < 5L^{1/2}$ の関係が経験的にほぼなりたっていたがその傾向は実際の生産出荷タイミングや製品の寿命が予想以上に長くなったりして、かなりぼやけたものになっている。

微細化とともに、この低電圧化は MOS プロセスのためまぬ努力により実現されたものである。また MOS のゲート酸化膜の薄膜化も図 6 に示すように現在では 5nm と薄く、ゲート酸化膜の破壊防止のためにも電源の低電圧化は必須となっている。しかし、DRAM にかかわらず LSI チップの実装外部環境は厳しく、LSI パッケージ状態での静電破壊 (ESD) 防止対策などさらに配慮が必要となる。

現汎用 DRAM ではその主流である 64Mbit のシンクロナス DRAM のつぎの製品として 128Mbit DRAM、チッ

キーワード: SRAM, DRAM, ESD, Zenor-Diode

* ソニー株式会社セミコンダクタ・カンパニー経営戦略室技術企画担当 (243-0014 厚木市旭町 4-14-1)

Sony Corporation Semiconductor Company, Business Strategy and Development Department, 4-14-1 Asahi-cho, Atsugi-shi 243-0014, Japan

¹⁾ yoshi@hq.semicon.sony.co.jp

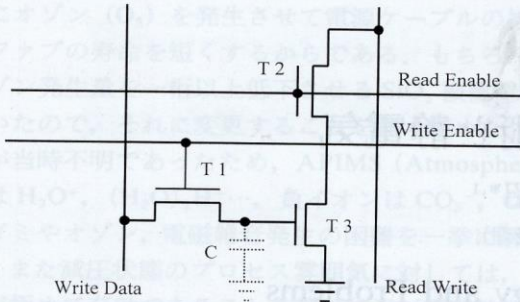


図1 Intel 1103 3T型 DRAM セル回路

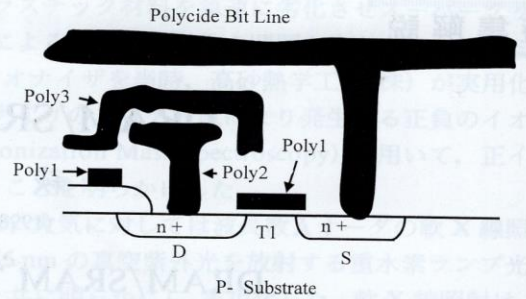


図5 スタック型 DRAM セル断面図

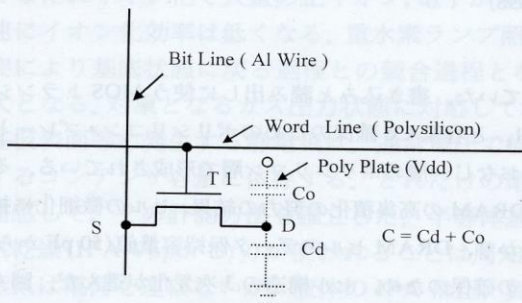


図2 1T型 DRAM セル回路

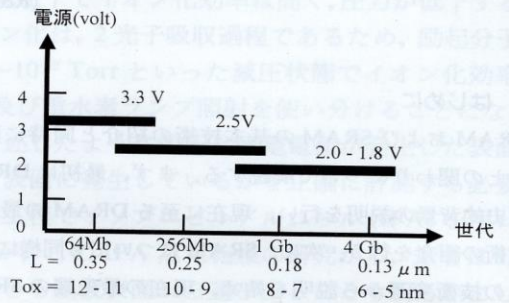


図6 微細化にともなうゲート膜厚と電源の関係

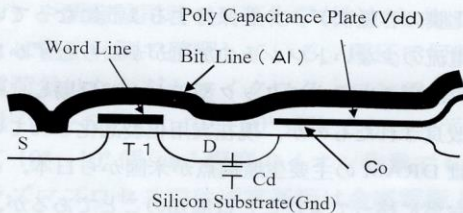


図3 1T型 DRAM セル断面図

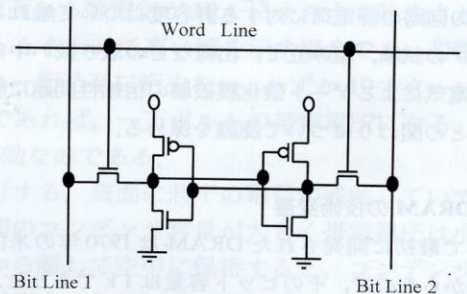


図7 CMOS型 6T型 SRAM セル回路

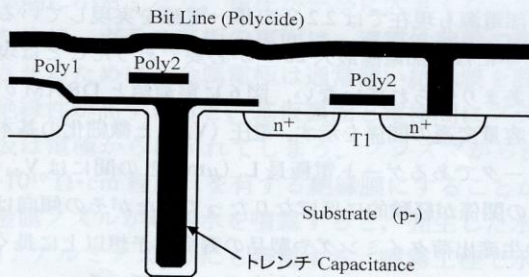


図4 トレンチ型 DRAM セル断面図

サイズは約 140 mm² のものを 1998 年から 1999 年にかけて商品化しようとしているメーカーが目立つ。第一世代の 256 Mbit DRAM のチップサイズは 0.22 μm CMOS プロセスで 250 mm² と一般に大変大きくなるよう歩留まりが見込まれないからである。

ここに来てやっと今まで忠実に従っていた Moore's Law, すなわち、「半導体の集積度(チップサイズ, ゲート

容量, 最少プロセスパターンの加工サイズの逆数など) が 3 年で 4 倍になる」という法則からはずれるきざしが見えてきたのである。歩留まりに影響するのは単にチップサイズだけでなく, 集積度を高めるための微細加工技術による影響が重要で, 特に酸化膜の薄膜化や拡散領域の浅い接合の形成等では耐 ESD 性確保のための配慮が大変必要となる。

3. SRAM の技術変遷

SRAM の場合, 1 bit・セルあたり, 最初は 6T タイプであったが, 4kSRAM の商品化のときに高抵抗型の 4T タイプが出現, それ以来長年, 4T タイプのものが続いたが, また近年再び, 図7に示す CMOS タイプの 6T タイプが注目されるようになった。

もともと SRAM は図8に示すディブリーション型負荷

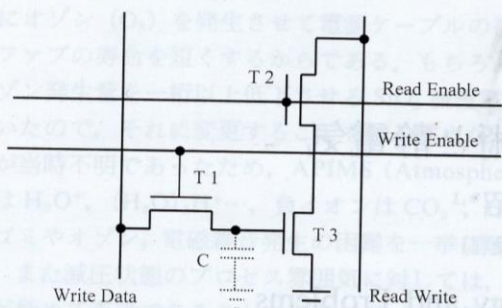


図1 Intel 1103 3T型 DRAM セル回路

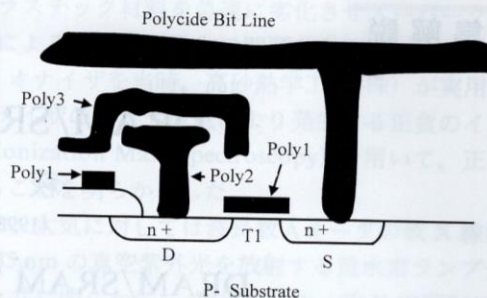


図5 スタック型 DRAM セル断面図

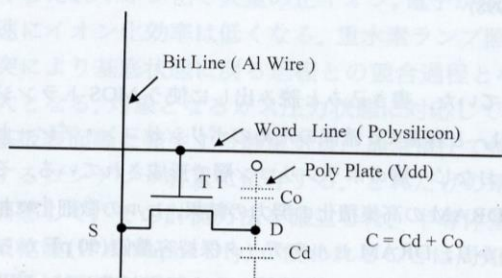


図2 1T型 DRAM セル回路

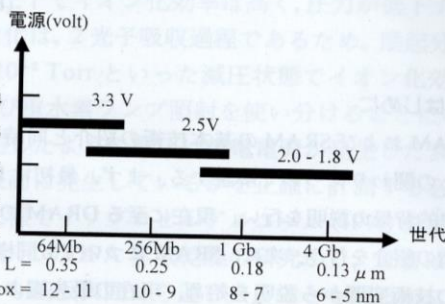


図6 微細化にともなうゲート膜厚と電源の関係

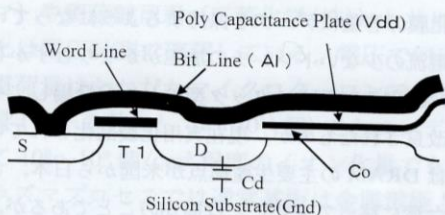


図3 1T型 DRAM セル断面図

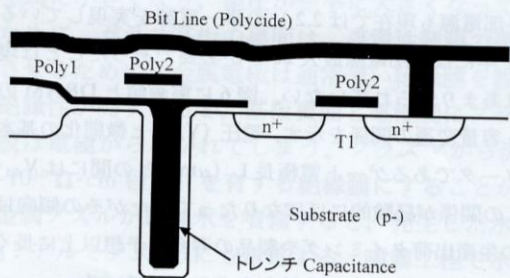


図4 トレンチ型 DRAM セル断面図

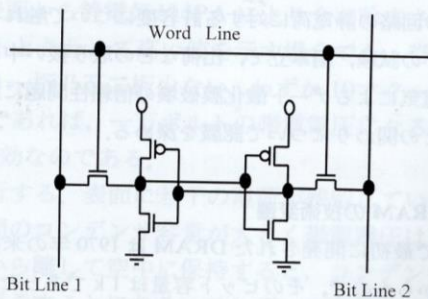


図7 CMOS型 6T型 SRAM セル回路

容量, 最少プロセスパターンの加工サイズの逆数など) が3年で4倍になる」という法則からはずれなきが見えてきたのである。歩留りに影響するのは単にチップサイズだけでなく、集積度を高めるための微細加工技術による影響が重要で、特に酸化膜の薄膜化や拡散領域の浅い接合の形成等では耐ESD性確保のための配慮が大変必要となる。

3. SRAMの技術変遷

SRAMの場合、1bit・セルあたり、最初は6Tタイプであったが、4kSRAMの商品化のときに高抵抗型の4Tタイプが出現、それ以来長年、4Tタイプのものが続いたが、また近年再び、図7に示すCMOSタイプの6Tタイプが目まぐるしく注目されるようになった。

もともとSRAMは図8に示すディプリーション型負荷

ブサイズは約140mm²のものを1998年から1999年にかけて商品化しようとしているメーカーが目立つ。第一世代の256Mbit DRAMのチップサイズは0.22μm CMOSプロセスで250mm²と一般に大変大きくなるよう歩留まりが見込まれないからである。

ここに来てやっと今まで忠実に従っていた Moore's Law, すなわち、「半導体の集積度(チップサイズ, ゲート

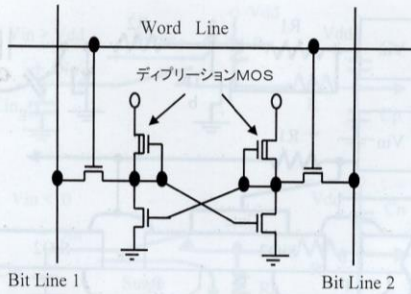


図 8 ディブリーション負荷 MOS 型 6T 型 SRAM セル回路

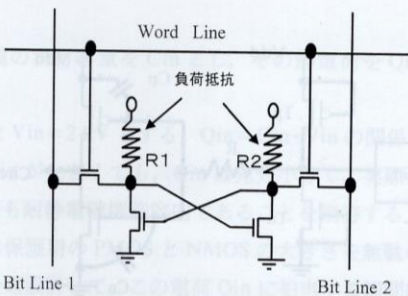


図 9 負荷抵抗型 4T 型 SRAM セル回路

MOS 型の 6T セルで最初商品化が始まったが、図 9 に示す負荷抵抗 4T 型の 4kSRAM が登場し、それが長年、主流となった。

世界で最初に試作され ISSCC 1989 で発表された 4 Mbit SRAM (512 k×8) は 0.54 μm CMOS のプロセスでセルサイズは図 9 に示すように 4T 型で 3.6 μm×5.875 μm、ゲート酸化膜は 11 nm、チップサイズ 129 mm²、電源 3.3 V、アクセス 25 ns であった⁴⁾。それから 9 年が過ぎ、今年の ISSCC1997 に見る IBM の 4 MbitSRAM (128 k×36) では 350 Hz 動作で電源は同じ 3.3 V でもアクセス時間 4.1 ns と速く、それを 0.3 μm CMOS プロセスで実現している⁵⁾。しかしセルサイズは図 7 に示すように CMOS6T セルを採用している。3.6 μm×5.875 μm で、チップサイズは 145 mm² と大きい。ゲート酸化膜は 5.5 nm と 9 年前の半分の薄さになり、高速アクセスタイムに寄与する CMOS トランジスタの高性能化を実現している。

このところ、特殊用途 LSI として、DRAM を一般ロジック LSI に組み込んだ DRAM 混載ロジック LSI が脚光を浴びだしている。同様に SRAM もロジック LSI との混載が期待される。抵抗ロードのいらぬ図 7 に示す CMOS6T 型の SRAM は基本的には一般のロジック CMOS・LSI と同じプロセスで製造が可能であり、また低電圧化にともない、従来の 4T セルの耐電源ノイズマージンの劣化⁶⁾ が懸念され、この CMOS の 6T 型の SRAM が注目されるように

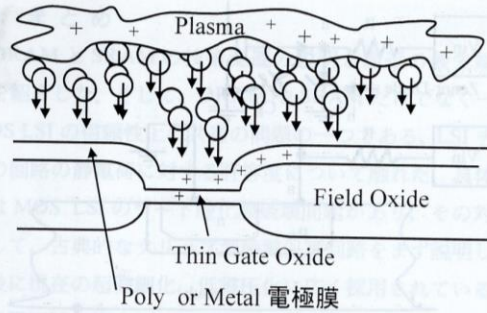


図 10 ゲート電極膜プラズマ (CVD) 形成

なっている。

4. LSI チップの静電破壊

静電破壊問題は DRAM や SRAM に関わらず一般 MOS ロジック LSI に共通する問題で、特にチップの入出力端子の耐 ESD 特性をいかに強化するかが重要課題となる。微細化にともなうゲート酸化膜の静電破壊問題である。この問題は LSI チップ製造の途中プロセス工程においても実際には注意が必要となっている。図 10 に示すように、薄いゲート酸化膜の上にゲート電極をプラズマ (CVD) で形成するとき、プラズマ・イオンにより形成膜自身が荷電し、その電圧がゲート破壊電圧に達する場合がある。MOS の素子間分離領域に相当するフィールド酸化膜は厚いが、MOSFET を形成するゲート酸化膜は薄く、その部分が破壊する。

1980 年代、NMOS の 5 μm から 2 μm 時代ではできあがりチップでは、2 kV 以上 (破壊テスト時の実行入力実行容量 $C_{in}@50$ pF) の耐 ESD 保護が実現していたがプロセス技術の微細化にともない 1990 年代の CMOS 0.5 μm から 0.1 μm の時代に入り 2 kV 耐 ESD を維持するためにいろいろ挑戦対策がなされることになった。

BiCMOS 0.5 μm から 1.0 μm では充分 2 kV 以上の耐 ESD 保護は実現しているが GaAs 関連ではあまり検討がなされていなく 1 kV 耐 ESD 保護がやっとという状況である。パイポーラ・プロセスの LSI でも 1.0 μm から 0.6 μm ルールにかけたものでは、耐 ESD 電圧 2 kV をぎりぎり実現しているのが現状である⁷⁾。

5. 古典的なクリップ型静電保護回路

BiCMOS SRAM などパイポーラ出力段を含むものではプロセス等で n⁺ の拡散を含んでいる。そこでは、図 11 に示すような、古典的なクリップ型⁸⁾の Zener-Diode Chain タイプの保護回路の組み込みが可能となる。

図 11 に示すように n⁺/P⁺ 接合の Zener-Diode 1 個で入力電圧が -7 V ぐらいまでは保護が可能となる。電源電圧

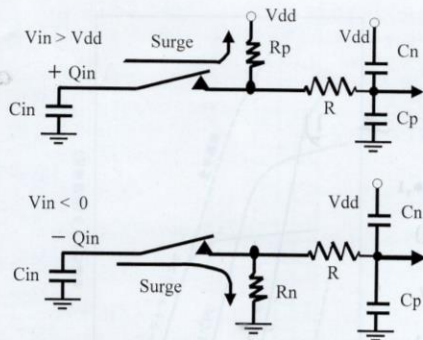


図 15 規定外の入力電圧がかかったときの保護回路モデル

部の環境の実行容量を C_{in} とし、その静電荷を Q_{in} とする。

電圧は $V_{in} = 2 \text{ kV}$ とする。 $Q_{in} = C_{in} \cdot V_{in}$ の関係が成り立つ。 V_{in} が大きくても、 C_{in} は充分小さく、実際の電荷 Q_{in} の値も耐静電破壊許容内であることを期待する。

実際は保護用の PMOS と NMOS の大きさを無駄のないように最適設計して、この電荷 Q_{in} に相当する瞬間的なサージ電流を時間 $T = R \cdot (C_p + C_n)$ より充分短い時間内に GND または電源ラインへサージ電荷を流せるようにするのである。そうすることにより入力ゲート電圧が酸化膜の破壊電圧以上に上昇しないように工夫している。

7. まとめ

DRAM と SRAM の技術変遷の説明と最近の最先端技術を紹介した。そして、DRAM や SRAM だけでなく一般 MOS LSI の信頼性上の共通の問題の一つである、LSI チップの回路の静電荷に対する許容度について触れた。具体的には MOS LSI のゲート酸化膜破壊問題があり、その対策として、古典的なクリップ型静電保護回路をまず説明し、最後に現在の超微細化、低電圧化に広く採用されている入力保護回路を紹介した。

参考文献

- 1) W.M. Regitz and J. Karp : 1970 ISSCC Digest of Technical Pap., **13** (1970) 42
- 2) L. Cohen *et al.* : Electronics, **44**(16) (1971) 69
- 3) K.N. Kim *et al.* : Symp. on VLSI Tech., 1998 (1998) 16
- 4) F. Miyaji *et al.* : IEEE JSSC, **24** (1989) 1213
- 5) G. Braceras *et al.* : ISSCC 1997 (1997) 404
- 6) M. Inohara *et al.* : Symp. on VLSI Tech., 1998 (1998) 64
- 7) ESD Association : 1996 ESD Tutorial Notes, ESD Association, ISBN 1-878303-66-X (1996)
- 8) W.N. Carr and J.P. Mize : MOS/LSI Design and Application, McGraw-Hill Book Company
- 9) A.S. Grove *et al.* : IEEE Trans. Electron Device, **ED-14** (1967) 157

Fowler-Nordheim トンネル電流

Fowler-Nordheim トンネル電流とは、量子効果の一種である Fowler-Nordheim トンネル現象によって流れる電流のことである。この Fowler-Nordheim トンネル現象は、カソードとアノードの間におおよそ 5 nm 以上の膜厚の絶縁体を挟んだ構造において、カソードとアノードの間におおよそ数 MV/cm 程度の強電界を印可することによって観測できる。この際、電流を構成する各電子は、以下の三つの行程によってカソードからアノードに流れる。

- (1) カソードのコンダクションバンドから絶縁膜のコンダクションバンド上に絶縁膜中をトンネルする。
- (2) その後、絶縁膜のコンダクションバンド上をドリフト現象によって流れる。
- (3) 最後に、絶縁膜のコンダクションバンド上からアノードのコンダクションバンド上に放出される。

また、電流を構成する各正孔は、各バレンスバンド上を、上記三つの行程を逆行して流れる。

(舛岡富士雄)

CMOS (Complementary Metal Oxide Semiconductor)

MOS 構造には電子が電流として寄与する NMOS (N-Type MOS) と、ホールが電流として寄与する PMOS (P-Type MOS) が存在する。同じ半導体基板にこの NMOS と PMOS 構造のトランジスタを同時に作りこんだものを CMOS と呼ぶ。ロジック回路の中でインバータとって、入力電圧の反転電圧を出力に出す基本回路があるが、この回路を NMOS だけ、または PMOS だけで構成した場合、常に電源からグランドに電流が流れる。ところが NMOS と PMOS をシリーズに連結した回路 (CMOS インバータという) では LSI の動作中、ロジックの変移期間は貫通電流が流れるが、変移のないときやその回路ブロックが使われていない通常のスタンバイモードのときは、電流が流れない。従って、この CMOS 構造で作られた集積回路は他のタイプで作られた集積回路に比べ消費電力が少なくでき現在の LSI の主流になっている。

(萩原良昭)

酸化膜破壊

集積回路の微細化に伴い MOS トランジスタの寸法は現在サブミクロンの時代に突入した。現在では 0.25 ミクロンから 0.18 ミクロンの電極長をもつ MOS LSI が試作量産段階に入っている。電界 1 チップあたりのトランジスタ数も 1G を超え、一方では、その消費電力数 10 W ともなり、省電力化問題が大きな課題になっている。また微細化に伴いゲート酸化膜がうすくなり、その電界による酸化膜破壊が信頼問題となっている。省エネ対策だけでなく、信頼性対策として、集積回路の電源電圧も 3.3 V から 2.5 V、さらに 1.8 V と低くしていかざるを得ない状況である。ホットエレクトロン NMOS トランジスタの場合、MOS の電極の下 (チャネル) を電子が流れ、電流として寄与する。電源電圧の値をこの電極長でわったものが、このチャネルにかかる電界である。従って電極長が短くなるにつれて、MOS トランジスタの中を流れる電子に注目した場合、その電子の流れるチャネル方向に強い電界が生じることになる。MOS トランジスタの中を流れる電子が強い電界を受けてチャネルの中を通過することになる。急な坂を落ちる物体と同様に、この通過時間に電子は大きな運動エネルギーをもつことになる。こうして大きな運動エネルギーをもった電子をホットエレクトロンと呼ぶ。そのあまりにも大きな運動エネルギーのためゲート酸化膜の障壁を越えて酸化膜中に突入したりして電気的な破壊やトランジスタの特性劣化の要因になっている。逆にこの性質を応用としてフローティング電極に電子を注入して不揮発性メモリとして利用することも可能である。PMOS の場合、電流はホールが寄与するが、同様にホットホールというものが同様に存在する。

(萩原良昭)

Xero-WORDS

— 特集の用語説明 —

Cell Library

半導体集積回路で使用されている論理ブロック等の機能回路ブロックに対して準備されている、トランジスタ回路データ (ネットリスト)、マスクパターンレイアウトデータ (フィジカルレイアウトデータ)、電気特性データ (シミュレーションデータ) 等の情報パッケージ。機能回路ブロックには、DSP (Digital Signal Processor)、CPU、Memory 等の Mega Cell も含まれる。

(高須秀視)

MOS (Metal Oxide Semiconductor)

半導体の中では電子だけでなくホールと呼ばれるプラスの電荷を帯びた粒子が存在し、これも電流として寄与する。電子の流れが中心になる半導体を N-type 半導体、一方ホールの流れが中心になる半導体を P-type 半導体と呼ぶ。半導体の基本素子として抵抗、容量、そしてトランジスタがある。このトランジスタも大きく分けて接合型 (Junction Type) トランジスタと電界効果型 (Field Effect Type) トランジスタに分類される。接合型トランジスタは電子とホールの電流がお互いに関与する。一方、電界型トランジスタは金属 (M) と半導体 (S) の間にシリコン酸化膜 (Oxide) のような絶縁体がはさまった MOS 構造をしていて、金属 (電極) にかけてられた電圧がその薄い酸化膜に強い電界を生じさせ、その電界が半導体の表面に影響を与え、MOS の中を流れる電流のコントロールを可能にしている。

(萩原良昭)