Pinned Photodiode Double Junction type Solar Cell JPA2020 131313 Tutorial Slides by Yoshiaki Hagiwara.pdf

Yoshiaki Hagiwara

http://www.aiplab.com

Oct 14, 2023



Electron and Hole pair Recombination $Si^+ + e^- \rightarrow Si + heat$ $e^- e^- Ec$



Where the band is not flat nor floating, with an electric field, photo electron and hole pairs are separated effectively. Photo electrons and holes pairs move, apart from each other, and contribute to the solar cell quantum efficiency. Where the band is flat and floating, there is no electric field to separate photo electron and hole pairs. Photo electrons and holes pairs do not move from where they are generated. And eventually pairs recombine into heat.



Where the band is not flat nor floating, with an electric field, photo electron and hole pairs are separated effectively. Photo electrons and holes pairs move, apart from each other, and contribute to the solar cell quantum efficiency.

Where the band is flat and floating, there is no electric field to separate photo electron and hole pairs. Photo electrons and holes pairs do not move from where they are generated. And eventually pairs recombine into heat.

Yoshiaki Daimon Hagiwara Ph.D.

IEEE Life Fellow, *ieee.org*;

AAIA Fellow, <u>AAIA.org</u>; Caltech Distinguished Alumni, <u>caltech.edu</u>; Specially Appointed Professor, President Office, Sojo University, <u>sojo-u.ac.jp</u>;

Past Sony Fellow, <u>sony.com</u>; Past IEEE ISSCC ITC Chair, <u>isscc.org</u>; Past IEEE ICMTS General Chair, <u>icmts.org</u>; Past Education Committee Chair, Society of Semiconductor Industry Specialist, <u>ssis.or.jp</u>;

President, Artificial Intelligent Partner Systems (AIPS) consortium, <u>aiplab.com</u>; Hagiwara AIPS Research Laboratory, <u>locomtec.jp</u>;





1948.7.4 父萩原良一と母長尾きよ子の次男として出生
 1954.2 父萩原良一が心臓弁膜症で死去
 1954.3~1954.12 崇仁小学校時代
 1955.1~1961.3 紫野小学校時代
 1956.1 弟大門実紀史が誕生し、兄良巳、良昭、弟清も、同時に大門恒夫氏に入籍した。
 1961.4~1964.3 洛星中学時代 (中学3年秋、マリー神父様の指導により英語暗唱大会に出席)
 1964.4~1965.12 洛星高校時代(高校1年生の秋、米国京都領事館の英語弁論大会で優勝、高校2年生の秋、朝日新聞社主催の近畿地区英語弁論大会で第2位に入賞、続いて、東京朝日新聞社本社での全国高校英語弁論大会に出席)
 1965.12.26 Fr. Francois Allardのご紹介により、神戸港よりアルゼンチン丸で渡米留学、HOST は Riverside在住の独身富豪のMr. Leo W. Freymuth (1889–1972)

https://ja.findagrave.com/memorial/81263780/leo-william-freymuth

1966.1~1967.6 米国カリフォルニア州Riverside 市立 Polytechnic High School 時代 66年1月にすぐに仮免の過去問題を数枚もらい学習し2~3日で試験を受けて合格し仮免をもらい、すぐに車を運転し高校に通学し始めた。 同時にRiverside City Collegeで1時間目に数学の授業を受けた。Caltech志望の話をすると、Caltechの大学1年と2年で使用する教科書を もらった。それで英語を学習した。高校では物理と化学の授業をとり英語を学習した。66年と67年の夏休みにはTulsaまで自分で車を 運転し、夏休みの3ヶ月近くを2回はTulsaの牧場で過ごした。高3の1月に、College Board Exam(全国共通試験)で数学を満点取る。 物理と化学も高得点ほぼ満点だった。Caltechから面接官が高校に来て面接を受けた。物理でノーベル賞を取りたいと話す(笑顔)。 1967.9~1971.6 BS1971: 米国カリフォルニア州Pasadena市 California Institute Technology 時代、 理論物理を志望していたが、2年生の最後に面接で鉄腕アトム(AI)の話をしたら「電子工学部に行け」と言われた。4年生の 時に卒研に指導官が Prof. C.A. Mead だった。 Ga2O3のショトキーバリアDiodeの試作と測定をした。世界で初めてのもので その内容は長い間未発表だった。現在、 Ga2O3 半導体が注目されているので、EDTM2020の論文で初めてDATAを発表した。 1971.9~1972.6 MS1972: 米国カリフォルニア州Pasadena市 California Institute Technology 時代 Intel社とCaltechの産学共同プロジェクトに参加して、128 bit Comparatorを設計し一発完動した。 1972.9~1975.1 PhD1975: 米国カリフォルニア州Pasadena市 California Institute Technology 時代 1975.2~2008.7 SONY (株) 勤務時代 (世界高速SRAMの開発、ISSCC1989で国際学会発表で大賀会長よりCEO賞を授賞、 Fairchild社とSony との米国最高裁での特許裁判でSONYを勝利に導き蓑宮半導体事業本部長より特別功労賞を授賞、電子シャッターの 発明で出井社長より最優秀第1級特別賞を授賞、Pinned Photodiodeの発明で安藤社長より第1級特別賞を授賞した。 2008.5~2017.12 神奈川県認定NPO法人「AIPSコンソーシアム」を設立、理事長に就任 2009.4~2017.3 崇城大学 情報学部 教授時代 2017.4~現在 半導体産業人協会 教育委員会の委員(長)時代 2022.4~現在 崇城大学、理事長付き特任教授



with Sony CEO and President Ando-san. 2001



with Sony CEO and President Ohga-san. 1996

SONY

Sony Semiconductor Manufacturing Corporation 2022.9.20







Sony Atsugi Tech Center in 1980



Sony Kumamoto Tech, 2022

with Sony CEO and President Ando-san. 2001

Sony Central Research Center Crystal Award 1978 on Space and Time Analysis of Image Sensor Signal

萩原は、SONY中研時代 1978年 優秀研究賞 Crystal Award を受賞した。その萩原の研究成果を、当時の直属の 上司だった越智課長は自分の博士論文にまとめて論文博士になった。萩原はここでも越智さんに盗まれた(大涙)。 CRYSTAL AWARD 優秀研究賞 森原良肥間「時空間スペクトルの理論」 または空間軸と回波数軸との対応を三次元的に統一して職 ソニー市中国会議員 汚謝標準奏調入し、それの疑惑化をなし、住用を容易にして処理効果を超 時間に評価できるよう考定した 1978 SONY CRYSTALAWARD 優秀研究賞 1978年 萩原良昭殿「時空間スペクトルの理論」 離散的な時間軸または空間軸と周波数軸との対応を三次元的に統一して扱う表現法を導入し、 それを簡略化をなし、使用を容易にして処理効果を短時間に評価できるように考案した。

Semiconductor Company President Award 1999



Thank You Message from Sony Chairman Ohga to Yoshiaki Hagiwara for the contribution to Sony Victory on Sony-Fairchild Patent War



Newspaper describing Sony Victory on Sony-Fairchild Patent War





with Sony CEO and President Ando-san. 2001



with Sony CEO and President Ohga-san. 1996



Bell Lab 1948 Bipolar Transistor Sony Bipolar Transistor



PNP Double Junction Solar Cell,

also working as a single photo-electron detector



JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf

Yoshiaki Hagiwara (AIPS)

The Pinned Photodiode (Sony Original HAD sensor) Structure



(from SONY Product Catalog)

Electric Shutter Basic Patent Award from Sony President Idei to Yoshiaki Hagiwara for Japanese Patent 1977-126885 by Hagiwara



Hagiwara invented Pinned Photodiode (PPD).

Japanese Patent Applications, JPA1975-127646, JPA1975-127647 and JPA 1975-134985, filed by Yoshiaki Hagiwara at Sony in 1975, show that Hagiwara invented Buried Photodiode (BPD) with the Pinned Surface Hole Accumulation, Pinned Photodiode (PPD) and Hole Accumulation Diode (HAD). It is also evident that Hagiwara invented Global Shutter Scheme of the three level clocking with MOS Capacitor Buffer Memory, clearly shown in JPA 1975-127646 and JPA 1975-127647. It is also evident that Hagiwara et al invented the Electrical Shutter Clocking Scheme by controlling punch-thru action of the in-pixel overflow drain (OFD) voltage as evidenced in JPA 1977-136885.





「京都賞記念講演】カーヴァー・ミード「情報革命の時代を生きて」 https://www.kyotoprize.org/en/2022/carver_mead/

ビデオカメラ用の受光素子(Pinned Photodiode) も太陽電池も、両者ともに理想的には1個の光子 (photon) から1個の光電子 (photo electron)を効率よく取り出す事を目標とする半導体部品です。

<u>"Chronology_of_Silicon-based_Image_Sensor_development"- Y. D. Hagiwara.pdf</u>

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf



Publication_List_by_Yoshiaki_Hagiwara.html

Concept of Artificial Intelligent Partner System (AIPS) proposed by Yoshiaki Hagiwara, May 2008



Sangyo-Times.jp/article_ID=5331_(html)





^{第408回} 「鉄腕アトムを創りたい」という男が画像の新世界を切り開く

元ソニーの萩原良昭氏が開発したPPDは超優れものデバイス 2020/11/13

「鉄腕アトムを創りたいというのが、ソニーに入社した動機であった。そしてまた、みん なが夢を共有していくというソニーの基本哲学は、自分にマッチングしていると考えた。 IEEE主催の国際固体集積回路会議(ISSCC)の委員長をやらせていただくなど活躍の 場を与えられ、今でもソニーには感謝している」(萩原氏)





Poor Blue Light Sensitivity Problem

Single Junction N+P type Solar Cell also has a very poor short wave blue light sensitivity.



Publication_List_by_Yoshiaki_Hagiwara.html

http://www.aiplab.com

<u>Pinned_Photodiode型太陽電池の提案.pdf</u> 01

Japanese Patent Application JPA2020-131313

ビデオカメラで使用する超光感度の受光素子(萩原の1975年の発明)は、高い変換効率で光信号エネルギーを 電気信号エネルギーに変換します。すなわち、1個の光子(photon) から1個の光電子(photo electron)を効率 よく取り出すことができる半導体素子のことです。受光部では、光が電子の塊として光電変換さて蓄積され、 アナログ電荷信号として出力端子まで伝送するアナログ信号伝送装置としてCCDが広く使われていました。

Digital CMOS image sensor

is made of (1) Pinned Photo Diode (2) Charge Transfer Device(CTD) (3) A/D converter (4) Fast Cache SRAM and (5) Slow Nonvolatile RAM

In 1970s, the pixel size was too small to include one single metal-contact nor one single MOS-transistor. We all knew that by the advancement of CMOS process scaling technology, this problem can be solved. Meanwhile, the CCD type analog charge transfer device became the hero since 1987 till early 2000s. Now this APS circuit, invented in 1968 by Peter Noble, replaced CCD completely in our Digital TV Era.



スマフォやビデオカメラで広く使用されている超光感度の受光素子である、Pinned Photodiodeは、もとSony の萩原良昭が1975年に発明し、1977年~1978年に開発し、国際学会SSDM1977とSSDM1978で発表し た優れものです。超光感度の高い光電変換効率を持ちエネルギーを電気信号エネルギーに効率よく変換します。

Sony 1978 Pinned Photodiode reported at SSDM1978

SONY SSDM1978 Conference paper reported High Quantum Efficiency of about $\eta = 60\%$ at $\lambda = 400$ nm.





SSDM1977_Sony_Paper

SSDM1978_Sony_Paper

P+P-N-P-P+ Double 接合Pinned Photodiode 型太陽電池も、同様に 高い変換効率を持ち、光エネルギーを電気エネルギーに変換します。



JPA2000-131313

IEEE_EDS_Newsletter_January2023_Issue.pdf

Water Barrier, Water Gate and Water Dam Analogy



P+PNPsubP+ Double Junction Pinned Photodiode type Solar Cell

Virtual_Phase_Clock_Operation_Scheme_became_possible_by_Pinned_Photodiode.pdf





 Pinned_Photodiode_type_Solar_Cell_の数値解析.mp4

 Pinned_Photodiode_type_Solar_Cell_の数値解析.pdf

 Pinned_Photodiode_type_Solar_Cell_の数値解析_C言語.c

P+PNPsubP+ Double Junction Pinned Photodiode type Solar Cell

<u>Pinned_Photodiode_type_Solar_Cell_の数値解析の解説ビデオ_2023_09_18.mp4</u>

<u>2023_09_10_半導体講座 太陽光発電池と蓄電池を支える半導体技術 萩原良昭.mp4</u>

<u>Pinned_Photodiode_type_Solar_Cell_の数値解析.mp4</u>

<u>Pinned_Photodiode_type_Solar_Cell_の数値解析.pdf</u>

<u>Pinned_Photodiode_type_Solar_Cell_の数値解析_C言語.c</u>

 Pinned_Photodiode_type_Solar_Cell_の数値解析の解説ビデオ_2023_08_17.mp4

 Pinned_Photodiode_type_Solar_Cell_の数値解析の解説ビデオ_2023_08_18.mp4

<u>Pinned_Photodiode_type_Solar_Cell_の数値解析の解説ビデオ_2023_08_20.mp4</u>

<u>Pinned_Photodiode_type_Solar_Cell_の数値解析の解説ビデオ_2023_08_23.mp4</u>

<u>Pinned_Photodiode_type_Solar_Cell_の数値解析の解説ビデオ_2023_08_29.mp4</u>

<u>Pinned Photodiode type Solar Cell の数値解析の解説ビデオ 2023 09 18.mp4</u>

Virtual_Phase_Clock_Operation_Scheme_became_possible_by_Pinned_Photodiode.pdf

太陽光発電池と蓄電池を支える半導体技術



萩原良昭

Publication_List_by_Yoshiaki_Hagiwara.html

SSIS2022_半導体基礎講座_萩原良昭講師.html

https://www.sangyo-times.jp/article.aspx?ID=5331

Sangyo-Times.jp/article_ID=5331_(PDF)

<u>"Chronology_of_Silicon-based_Image_Sensor_development"- Y. D. Hagiwara.pdf</u>

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf

ICCCAS2023_Conference_paper_on_"AIPS_with_Pinned_Buried_Photodiode_used_for_Robot_Vision_and_Solar_Cell_Panel"

ICECET2021_Paper61_html ICECET2021_Paper75_html

P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.pdf

P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.html

P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf

EDTM2020_Paper_on_the P+PN+P Junction Pinned Photodiode and Schottky Barrier Photodiode.html

P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf

半導体産業人協会 (ssis.or.jp)教育委員会主催 一般企業社会人のための半導体技術講座 講師 萩原良昭

SSIS2022_半導体基礎講座_萩原良昭講師.html

半導体基礎講座

2022年4月現在

AIPS (NPPO) 代表

半導体産業人協会 教育委員会 運営委員長

元 崇城大学 情報学部 情報学科 教授
 カリフォルニアエ科大学 客員教授
 群馬大学 客員教授
 神奈川工科大学 講師
 ソニー(株) 半導体技術企画室長

IEEE Life Fellow, Ph.D. 萩原良昭

2022年~現在 崇城大学理事長付き特任教授

半導体基礎講座(1)10:00 a.m. ~ 半導体の基本知識

Q1_1 半導体の物性とは?

Q1_2 半導体のしくみとは?

Q1_3 半導体デバイスにはどんな種類があるか?

Q1_4 半導体はどの製品にどのように使われているか?

半導体基礎講座(2)13:00 p.m. ~半導体のプロセス工程

Q2_1 前工程にはどんな工程があるのか?

Q2_2 後工程にはどんな工程があるのか?

半導体基礎講座(3)14:00 p.m. ~半導体の製造装置と材料

Q3_1 各工程にはどのような製造装置あるか?

Q3_2 各工程にはどのような材料あるか?

半導体基礎講座(4)15:00 p.m. ~ 半導体の歴史と市場動向

Q4_1 今の半導体を築いた発明と開発史で学ぶ事は何か?

Q4_2 これからの半導体産業と市場の方向性はどうなるか?

Q4_3 初めて半導体に携わる人が知るべきことは他に何か?







半導体医家人協会







委員





委員 委員 委員 塩野登 鈴木俊治 吉田

オブザーバー オブザーバー 鈴木 五郎 蒲原 史朗



アドバイザー アドバイザー アドバイザー アドバイザー 牧本 次生 伊藤 達 堀内豊太郎 野澤 滋為

委員

2023年10月2日神奈川新聞より

調査室坂力特任	旅行は発電(2)、900年間に、1000年間に、1000年間の したいためのと目標に、1000年間に、1000年間 ないための目標を用いて、 取りため高額に、1000年間に、1000年間 同時にもお客でに、1000年間に、 1000年間に、1000年間 に、1000年間に、 1000年間に、1000年間 に、1000年間に、 1000年間に、1000年間 1000年間に、1000年間 1000年間に、1000年間 1000年間に、1000年間 1000年間に、1000年間 1000年間に、1000年間 1000年間に、1000年間 1000年間に、1000年間 1000年間に、1000年間 1000年間に、1000年間 1000年間に、1000年間 1000年間に、1000年間 1000年間に、1000年間 1000年間	日本発の次世代技術として注目される 「ペロプスカイト太陽電池」の開発が加 速している。転載で薄く、新り曲げられ る物値を生かし、雑物の建築で物に貼る ことが可能だ。平地の少ない日本で太陽 光泉電を活用する場が広がり、別炭素だ 会変現の切り礼として物時される。中国 など簡外企業も最重化に動いており、富 内外で開発戦争が熱を帯びてている。
投授 日本勢は中国に勝て3 ロックスカイト大楽電池を開発した ペロプスカイト大楽電池を開発した ペロプスカイト大楽電池を開発した ペロプスカイト大楽電池を開発した ペロプスカイト大楽電池を開発した ペロプスカイト大楽電池の学校の中で ペロプスカイト ペロプスカイト ペロプスカイ ペロプス ペロ ペロプスカイ ペロプスカイ ペログス ペログス ペロプスカイ ペロプスカイ ペロプスカイ ペログス ペログス ペログスカイ ペログス ペログスカイ ペログスカイ ペログスカイ ペログスカイ ペログスカイ ペログスカイ	脱炭素切り木 Bible And	
	くロフスカイト型の作用日口、 ないアンスカイト型の作用日口、 ないアンスカイト型の作用目 一次のフスカイト型の作用目 一次の10、実用化で日本勢は これつつある。 10歳4年月「日本が独みを 前相は4月「日本が出み。 11歳5年に本要なんれる、四 前相は4月「日本が独みを 前相に本要なんれる、四 二日本が独みを 前相に本要なんれる。四 二日本が独みを 前相に本要なんれる。四 二日本が出みる。	いわせい意味でかったが、いわせいたいので、 されたい、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったかく、これたいで、 なったいで、 なったいで、 なったいで、 なったないで、 なったいで、 なったいで、 なったないで

N+P接合構造 パイライト型

PNP接合構造 パイライト型





シリコン結晶だけでなく薄膜新型太陽電池への応用に期待する。

Pinned Photodiode type Solar Cell の数値解析.mp4 <u>Pinned_Photodiode_type_Solar_Cell_の数値解析.pdf</u>

Pinned Photodiode type Solar Cell の数値解析 C言語.c



半導体集積回路の中でどのように抵抗体(R)を形成するか?





(前)→(+ 五) (R.I. + 47) RETRA) TATST +0 or when As >> Re. (Efficiency) -+ 1

- V = (ar) la [1+ (-V)]

24+24

P+PN-PP+ ダブル接合型DIODEを形成し、埋め込みN 完全空乏化(空洞化)することにより事項抵抗ゼロの電子 の高速移動を可能にする地下道(チャネル)が形成できる。







++++

N+NPP+ Single Junction Solar Cell



Where the band is not flat nor floating, with an electric field, photo electron and hole pairs are separated effectively. Photo electrons and holes pairs move, apart from each other, and contribute to the solar cell quantum efficiency.

Where the band is flat and floating, there is no electric field to separate photo electron and hole pairs. Photo electrons and holes pairs do not move from where they are generated. And eventually pairs recombine into heat.

Difference between Metal and Isolator



Metal

ΑΙ

ħω Ec EG Ev **C**+ - ħw $\hbar\omega = \hbar\omega' + \frac{1}{2}m_{e}V^{2} + \mathbf{E}_{G}$ ħω $\frac{1}{2}$ m_eV² **e**ħω **Carbon Diamond**

Difference_of_P-type_and_N-type_Silicon_Semiconductor









埋め込みN-層を完全空洞化(空乏化)することにより実効抵抗値ゼロで光電子を移動するころが可能となる。



N+Pシングル接合型太陽電池は量子効率、特に短波長光で悪くなる。受光表面は常にFLOATING状態で 電位がFLATであるため、表面には電界不在で、ペアを分離できない。受光面近傍で光電変換された Si+(ホール)と e- の光電子は、その場に留まり、漂い、そのままペアは再び出会い、再結合して熱になる。






P+P Barrier Potential (2/6)

For
$$b \in X \in X1$$
, $E_{3i} \frac{d^{2}V}{dX^{2}} = (DP1) \left\{ 1 - e_{XP} \left\{ \frac{VP1 - V}{kT} \right\} \right\}$; $V = V_{0}$ at $X = X/i$;
Let $LP1 = \sqrt{\frac{e_{3i}RT}{DP1}}$, $Y = \frac{(X1 - X)}{LP2}$ and $W = \frac{(V - VP1)}{RT}$;
For $Y > 0$, we have $\frac{d^{2}W}{dY^{2}} = 1 - e_{XP}(-W)$; $W = W_{0}$ at $y = 0$;
For $X1 < X < X2$, $E_{3i} \frac{d^{2}V}{dX^{4}} = (DP2) \left\{ 1 - e_{XP} \left\{ \frac{VP2 - V}{RT} \right\} \right\}$; $V = V_{0}$ at $X = X/i$;
Let $LP2 = \sqrt{\frac{e_{3i}RT}{DP2}}$, $\frac{T}{T} : \frac{(X - XI)}{LP2}$ and $W = \frac{(V - VP2)}{RT}$;
For $Y > 0$, we have $\frac{d^{2}W}{dY^{4}} = 1 - e_{XP}(-W)$; $W = W_{0}$ at $y = 0$;

P+P Barrier Potential (3/6)

At
$$X=XI$$
, $V=V_0$ such that

$$\int \frac{1}{2} e_{si} \left[\frac{dV}{dx} \right]^2 = (DPI) \int (V_0 - VPI) + (kT) \int e_{si} \left(\frac{VPI - V_0}{kT} - 1 \right)^2 ; \int \left(\frac{1}{2} e_{si} \left[\frac{dV}{dx} \right]^2 = (DPI) \int (V_0 - VPI) + (kT) \int e_{si} \left(\frac{VP2 - V_0}{kT} - 1 \right)^2 ; \int (DPI) \int V_0 - VPI - kT \int = (DPI) \int V_0 - VPI - kT \int = (DPI) \int V_0 - VPI - kT \int ; \\ (DPI) \int V_0 - VPI - kT \int = (DPI) \int V_0 - VPI - kT \int ; \\ \left(\frac{V_0}{kT} \right) = 1 - \frac{(DPI) \ln \left(\frac{NV}{DPI} \right) - (DPI) \ln \left(\frac{NV}{DPI} \right)}{(DPI - DPI)} ; \\ \int F_{0r} \quad 0 < x < XI, \quad y = \frac{(XI - X)}{LPI}, \quad W = \frac{V - VPI}{kT} \quad ind \quad W_0 = \frac{V_0 - VPI}{kT} ; \\ F_{0r} \quad XI < x < XI, \quad y = \frac{(X - XI)}{LPI}, \quad W = \frac{V - VPI}{kT} \quad ind \quad W_0 = \frac{V_0 - VPI}{kT} ; \\ \end{pmatrix}$$

P+P Barrier Potential (4/6)



- as x <= X/, y= X/-X -, 00 XT X/<X<X2/ $\alpha_{\ell} \times \rangle \rangle \times /, \quad \mathcal{Y} = \frac{X - X /}{X T} \to \infty$ $W = \frac{\sqrt{-v\rho_2}}{\pi\tau} \rightarrow 0$ $\alpha \neq \quad \gamma = 0, \quad w = \frac{v_0 - v_{\rho_2}}{\pi\tau} = k_0^{-1} < 0$

P+P Barrier Potential (5/6)

$$\frac{d}{dy^{2}} = \left[- exp\left(-\omega\right) \right]$$

$$\int \frac{1}{2} \left(\frac{d\omega}{dy} \right)^{2} = \omega + exp\left(-\omega\right) - 1 ;$$
since $\omega \to 0$ are $y \to \infty$;
$$\int For \quad 0 < x < x2, \quad \frac{d\omega}{dy} = -\sqrt{(2) \sum_{i=1}^{n} (-\omega_{i}) - 2} ; \quad (\omega \in \omega_{i} > 0)$$

$$\int For \quad X < x < x2, \quad \frac{d\omega}{dy} = +\sqrt{(2) \sum_{i=1}^{n} (-\omega_{i}) - 2} ; \quad (\omega \in \omega_{i} > 0)$$

$$\int For \quad X < x < x2, \quad \frac{d\omega}{dy} = +\sqrt{(2) \sum_{i=1}^{n} (-\omega_{i}) - 2} ; \quad (\omega \in \omega_{i} > 0)$$

$$\int \frac{d\omega}{dy} = +\sqrt{(2) \sum_{i=1}^{n} (-\omega_{i}) - 2} ; \quad (\omega \in \omega_{i} < 0)$$

$$\int \frac{d\omega}{dy} = \frac{1}{\sqrt{(2) \sum_{i=1}^{n} (-\omega_{i}) - 2}} ; \quad (\omega \in \omega_{i} < 0)$$

$$\int \frac{d\omega}{dy} = \frac{1}{\sqrt{(2) \sum_{i=1}^{n} (-\omega_{i}) - 2}} ; \quad (\omega \in \omega_{i} < 0)$$

$$\int \frac{d\omega}{dy} = \frac{1}{\sqrt{(2) \sum_{i=1}^{n} (-\omega_{i}) - 2}} ; \quad (\omega \in \omega_{i} < 0)$$

$$P+P \text{ Barrier Potential } (5/6)$$

$$\begin{cases} \text{For } D \in X \in X 1, \quad W_D = \frac{V_D - VP1}{MT} > 0 \quad obtain \quad W_1(y) > 0 ; \\ \text{For } X \in X \leq x, \quad W_D = \frac{V_D - VP2}{MT} < 0 \quad obtain \quad W_2(y) < 0 ; \end{cases}$$

$$\begin{cases} \text{For } X \in X \leq x, \quad W_D = \frac{V_D - VP2}{MT} < 0 \quad obtain \quad W_2(y) < 0 ; \end{cases}$$

$$\begin{cases} \text{For } X \in X \leq x, \quad V(X) = VP1 + ter) \quad W_1 \left(\frac{X(-X)}{LP2} \right) ; \\ \text{For } X \in X \leq x, \quad V(X) = VP2 + ter) \quad W_2 \left(\frac{X - X}{LP2} \right) ; \end{cases}$$

$$\frac{Obtain numerically \quad W_1(y) \quad and \quad W_2(y)}{My} = \frac{Obtain \quad numerically \quad W_1(y) \quad and \quad W_2(y)}{My} = \frac{V_D - VP1}{My} = \frac{V_D -$$





9 Given (XM, VA), Oblik firstly V(D) = VA -
$$\frac{Dd}{dx}$$
 (X-XM)⁴
 $f = XMZ < K < XA2 ;$
 $f = Z = VM - \frac{DM}{26_0} (XMZ - XM)4; j$
 $(VZ = VM - \frac{DM}{26_0} (XMZ - XM)4; j)$
 $(VZ = VM - \frac{DM}{26_0} (XMZ - XM)4; j)$
 $(VZ = VM - \frac{DM}{26_0} (XMZ - XM)4; j)$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMA) = (DM) (XM - XMZ) ;$
 $(DF_{11}L) (XMZ - XMZ) = (DF_{11}L) (XMZ - XMZ) ;$
 $(DF_{11}L) (XMZ - XMZ) = (DF_{11}L) (XMZ - XMZ) ;$
 $(DF_{11}L) (XMZ - XMZ) = (DF_{11}L) (XMZ - XMZ) ;$
 $(DF_{11}$

Υ.





Sources of innovation 日経エレクトロニクス NIKKEI ELECTRONI

「2030年に次世代電池で世界1位」 韓国で官民共同の協議体が発足

業績好調の電池3社が参加、人材養成と国際協力の基盤づくりが狙い

発足に当たっての記念イベント

ではLGエナジーソリューションの

ソン・ダオンナム次世代電波開発

センター長が開発状況について発

表した。同社は、高容量リチウム

破景電池や高分子系至固体・全団

体電池の開発に重点を置いており。

2030年までの適用化ロードマップ

を発表済みである(図1)。例えば、

2028年には液体電解賞を最小限に

した高分子系全固体電池を量産、

2030年には硫化物系全面体電波を

実用的な木準に喜めて商用化する。

高容量リチウム硫黄電池に関し

ては、2027年に重量エネルギー潮

度が500wh/kgのセルを開発し、ア

-バンエアモビリティー(幅心航

ウモビリティー)に適用する計画で

ある。プラスチック素材の高分子

語話、韓国バッテリー産業協会、韓 を活用した全国体電池は進存のリ

∩ 023年7月13日、韓国で「2030 ▲ 年に次世代電池で世界1位の 国家になる」ことを目指した「次世 代二次電池官民協議体」が発足し た。この協議体は「国家戦略技術 育成に国する特別法 |の具体策と して2023年4月に発表された3大主 力分野の結格差研究開発戦略によ るものである。世界的に技術覇権 競争が構列(しれつ)になる中、先 潜産業の発展と安全保障のために 国家の総力を結集して対応する必 要があるとして、韓国政府は「半導 体」「ディスプレー」「二次電池」を 研究開発の3大主力分野に指定、今 後5年間に官臣合わせて160兆ウォ ンを投資する。さらに、産業界の ニーズと意見を反映して積極的に 新世研究開発を進め、人材養成と 国際協力の基盤をつくるため、協 遺体を発足して産学官が力を合わ せることにした。 次世代二次電池官民協議体は、 健国のLG Energy Solution (LGエ ナジーソリューション). Samsang SDI (サムスンSDD, SK On (SK オン)のいわゆるドバッテリー3社 と、科学技術情報通信部(「部」は 日本の「名」に当たる)、産業通商資

チウムイオン領油の製造工程をほ 国電気化学会など、産学官を代表 はそのまま活用できることから、 新 する企業と機関が参加する。科学 技術情報通信部は「協議体の発足 規工程開発の負担が軽くなる。高 分子曲体運解質と酸化物系面体電 により産学官が常時協力し、次世 代電池の世界1位国家を2030年よ 館質をハイブリッド化することで りも前側しで実現できることを願 性能向上を狙った取り組みもあり、 う。政府も戦略的に研究開発支援 液体電解資を一部混ぜた半固体電 を強化する」とコメントした。 池を開発中である。安定性を高め るため彼体電解質の割合を減らす LGエナジーが開発状況を講演

研究を運めているという。 全面体電池の商用化に向けて素 材の研究にも力を入れていて、固 体電解質の価格をより安くするた めに様々な企業と協力している。 バッテリー分野のスタートアップ に投資するパッテリーチャレンジ や、世界の大学や研究機関を対象 に開発費を支援するバッテリーイ ノベーションコンテストも実施し THA.

日本の投資回復を警戒

*国のインフレ抑制法 (Inflation Reduction Act. IRA) * や欧州連合 (EU)の重要原材料法(European) Critical Raw Materials Act) * 211 った自国・地域生産を優先するバ ッテリー関連規制が増える中で、K パッテリー3社の売上高と営業利 茲は仲ぴている。

2023 October

REAL PROPERTY AND INCOMENT AS IFING INTIGHT INSPANSABLE

回1 LGエナジーソリューション のオチャン (Ochang) 工場 出意にGエナジーンリューショント

2023年1~3月期のKパッテリー 3社の売上高は17兆4072歳ウォン で前年同期比803%署、営業利益 は6639館ウォンで同1157%増とな った。続く2023年4-6月期は、前 年同期比の増加率は減るものの売 上高と営業利益は増加が確実と見 込まれている。北米に工場を持っ ているLGエナジーソリューション ある。半導体に関しては、海外の とSKオンは米インフレ抑制法の先 電裝造稅額控除 (Advanced Manufacturing Production Credit) があ り、より収益性が良くなるとみられ ている。韓国証券美界はドバッテ リー3社の受注残高を2023年9月に 1000兆ウォンを上回ると予測した。 頭調に広長を続ける氏パッテリ -3社だが、韓国銀行が、日本の貧 府と企業が牛導体とバッテリー投 皆を拡大していることから、韓国も 研究開発投資を拡大して技術競争 力を強化すべきだという報告書を 公園して話題になった。

日本との協力も重要と分析

韓国銀行調査局が定期的に発行 している「海外経済フォーカス」の 2023年7月16日付リポートによる と、日本の投資が回復して2023年1 ~3月の実質GDP(国内総生産)が 大幅に成長、特に半導体とバッテリ 一関連投資が拡大しており、それら



の自給力と供給額強化のため精振 的に政府と企業が協力していると 半導体メーカーに対して設備投資 を促し、米国と技術交流を強化す るなど生涯半導体の製造力向上に 努めているとした。 パッテリー分野でも日本の投資 が拡大している。例えばトヨタ自 動車は2026年に年間150万台の電 気自動車(EV)を販売し、2027~ 2028年に全國体電池を搭載した EVの量産を目標に日本国内に 4000億円を投資することで、パッ テリー内製能力を拡充した。日本 は先端半導体やバッテリーの基礎 研究力が世界最高水準と評価され ており、設備や素材の企業が高い グローバルシェアを占めている。 日本の政府は中国・台湾に比べて

技術リスクの少ない地域としても

往日されていることを認識してい

て、企業に補助金を支給するなど

して支援を強化している。このよ

うな日本の投資回復を受け、韓国

も多角的に対応する必要があると

して2つの方案を示した。 (1)日本の半導体・パッテリー投 資が有意義な成果をもたらすまで 課題があり提時間では難しいとい う展望もあるが、日本の投資が軌 道にのった場合は韓国の主力分野 におけるグローバル競争はさらに 激しくなるため、研究開発の投資 を拡大して技術競争力をより強化 する必要がある。 (2)日本は素材・装備分野で高い 技術力を保有している。安定的な 供給網の構築が要求される部門で は日本との協力を強化して生産効 空性を向上させるのも重要である。 なお、韓国銀行は韓国科学技術 企画評価院の資料を引用して先端 二次電池技術レベルを日本の100 に封し、韓国は96、中国は825、米 国は82、EUは75と紹介した。

(相 意思=ロジャーナリスト)

キイシブレ料剤法=Inflation Reduction Act (RA)。北宋で設置・組み立てられた設品 を50%以上使っている中国パッテリ いとEV購入の際に特別並が支持されない。

† ●芸問NTFI 古米European Critical Raw Materials Act。重要原材料の一定型合い 「東欧州間内で牛虐切ることを支出る。

10 NROLE IL ACTRONACE MITCH.

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf



Figure 2: Reproductions from the Japanese Patent Applications of (a) the N+N-P+NP-P triple junction PPD, (b) the N+N-P+N double junction PPD, and (c) the PNP double junction PPD.

●ソニーは1975年11月10日には受光面が外部電圧ビンにより受光面が固定、ビン留めされたPNPタブル接合の 埋め込み型受光素子構造が発明された。埋め込み層が完全に空乏化することを、特許の明細実施図に明示した。 この受光素子は、一方のP層を外部電圧でピン留め固定したPNP接合型Pinned Photodiodeの発明であった。 さらに、もう片方には、自由度を持たせ、Anti Blooming機能を持たせた垂直型の過剰電荷吐き出し機能、 VOD (Vertical Overflow Drain)の発明だった。 ●ベル研により1970年に1個の電子を原理的に転送効率が99.999%近く持つCCD型電荷転送装置が発明された。

●オランダPhilips社により1970年PNPダブル接合の埋め込み型受光素子構造が発明された。

受光面が基板と導通しており、基板と受光表面のP層との間にはRC遅延を持つ基板抵抗があり 高周波数CLOCK動作ではゲートと基板の間の寄生容量の為に受光面のP層領域が浮遊状態となり 完全電荷転送ができず、残像問題が生じた。

●ソニーは1975年10月23日受光面が外部電圧ピンにより受光面が固定、ピン留めされたNPNダブル接合の 埋め込み型受光素子構造が発明された。埋め込み層が完全に空乏化することを特許の明細実施図に明示した。 かつ、この受光素子は、MOS容量型のアナログ信号電荷を一時記憶できるバッファーメモリを装備し、 MOS型イメージセンサーの致命的な特徴である Rotary Shutter効果を良く発する機能を持つ高性能な 超光感度の受光素子の発明であった。その中で短波長光感度の量子効率向上のために表面に濃度勾配を 持たせて、濃度勾配による BAND BENDING効果を利用してバリア電界を生じさせて、受光面近傍での 光電子(e-)とホール(Si+)のバリア電界による完全分離を実現し高い光電変換効率を実現した。

●ソニーは1975年11月10日には受光面が外部電圧ピンにより受光面が固定、ピン留めされたPNPダブル接合の 埋め込み型受光素子構造が発明された。埋め込み層が完全に空乏化することを、特許の明細実施図に明示した。 この受光素子は、一方のP層を外部電圧でピン留め固定したPNP接合型Pinned Photodiodeの発明であった。 さらに、もう片方には、自由度を持たせ、Anti Blooming機能を持たせた垂直型の過剰電荷吐き出し機能、 VOD (Vertical Overflow Drain)の発明だった。

その結果をソニーは東京で1978年開催の日本応用物理学会主催のSSDM1978 Tokyo Conference で発表した。

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf



Figure 3: (a) Top and cross-sectional views with the PPD type SiO₂-exposed light-receiving windows; (b) the chip photograph at both ends of the two-phase narrow-channel CCD analog delay line; (c) the output waveform showing the complete charge transfer capability without image lag.



Figure 4 (a) Pinned-surface and buried-storage PNP photodiode; (b) spectral response of the blue-light sensitive imager; output signal (c) without (d) with illumination.

●1970年のMOSの微細加工技術はまだまだ未熟であり、絵素の受光面積は小さく、コンタクトやMOS トランジスタの寸法は絵素の面積内には入れる事は不可能であった。それでSONYは隣接する高濃度 のP+領域を High Energyで形成した。受光面側の近傍で受光面を接地した。その結果、完全残像のない PNP接合型の高周波数動作にも適合したPinned Photodiodeの原理試作に成功した。その結果を ソニーは 東京で1977年開催の日本応用物理学会主催のSSDM1977 Tokyo Conference で発表した。

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf



Figure 3: (a) Top and cross-sectional views with the PPD type SiO₂-exposed light-receiving windows; (b) the chip photograph at both ends of the two-phase narrow-channel CCD analog delay line; (c) the output waveform showing the complete charge transfer capability without image lag.



Figure 4 (a) Pinned-surface and buried-storage PNP photodiode; (b) spectral response of the blue-light sensitive imager; output signal (c) without (d) with illumination.

●1970年のMOSの微細加工技術はまだまだ未熟であり、絵素の受光面積は小さく、コンタクトやMOS トランジスタの寸法は絵素の面積内には入れる事は不可能であった。それでSONYは隣接する高濃度 のP+領域を High Energyで形成した。受光面側の近傍で受光面を接地した。その結果、完全残像のない PNP接合型の高周波数動作にも適合したPinned Photodiodeの原理試作に成功した。その結果を ソニーは 東京で1977年開催の日本応用物理学会主催のSSDM1977 Tokyo Conference で発表した。

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf



Sony announced the Video Camera and 8 mm Video Recorder in One



Figure 4 (a) Pinned-surface and buried-storage PNP photodiode; (b) spectral response of the blue-light sensitive imager; output signal (c) without (d) with illumination.

●翌年、ソニーはPNP接合のPinned Photodiode受光素子を採用した、Frame Transfer方式のCCD型の イメージセンサーの原理試作に成功し、その結果をSSDM1978にて発表した。その後、カラービデオカメラの 試作に成功し、1980年7月1日にはソニーは東京では岩間和夫社長が、New Yorkでは盛田会長が、同時に 公開し、記者会見を開催して、世界で初めての ONE CHIP VIDEO MOVIEの原理試作を公開発表した。

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf





Figure 6: The double junction type buried photodiode image sensor reproduced from Netherland Patent Application NPA [6].

●1982年には NECは、IEDM1982の国際学会でPNPダブル接合の埋め込み型受光素子構造の 試作を発表した。残像が少なくなるDATAを発表したが完全に取り切れていないDATAだった。 この受光素子構造はオランダPhilips社の1970年発明と同一のPNPダブル接合受光素子構造だった。



- ●1982年には NECは、IEDM1982の国際学会でPNPダブル接合の埋め込み型受光素子構造の 試作を発表した。残像が少なくなるDATAを発表したが完全に取り切れていないDATAだった。
 - この受光素子構造はオランダPhilips社の1970年発明と同一のPNPダブル接合受光素子構造だった。

KODAK 1984 Pinned Photodiode reported at IEDM1984



●1984年には KODAKは、IEDM1984の国際学会で受光面が完全接地、ピン留めすることの必要性を 強調し、Pinned Photodiodeと命名して、その完全残像のないことを報告した。

KODAKは 同時にPinned Photodiode の優れた光短波長の光電変換効率を持つことを報告した。

- ●1970年のMOSの微細加工技術はまだまだ未熟であり、絵素の受光面積は小さく、コンタクトやMOS トランジスタの寸法は絵素の面積内には入れる事は不可能であった。それでSONYは隣接する高濃度 のP+領域を High Energyで形成した。受光面側の近傍で受光面を接地した。その結果、完全残像のない PNP接合型の高周波数動作にも適合したPinned Photodiodeの原理試作に成功した。その結果を ソニーは東京で1978年開催の日本応用物理学会主催のSSDM1978 Tokyo Conference で発表した。
- ●その結果、完全残像のないPNP接合型の高周波数動作にも適合したPinned Photodiodeを使った、 Frame Transfer方式のCCD型電荷装置を採用して、カラービデオカメラの試作に成功した。
 1980年7月1日にはソニーは東京では岩間和夫社長が、New Yorkでは盛田会長が、同時に 公開記者会見を開催して、世界で初めて ONE CHIP VIDEO MOVIEの原理試作を公開発表した。
- ●1982年には NECは、IEDM1982の国際学会でPNPダブル接合の埋め込み型受光素子構造の 試作を発表した。残像が少なくなるDATAを発表したが完全に取り切れていないDATAだった。
- ●1984年には KODAKは、IEDM1984の国際学会で受光面が完全接地、ピン留めすることの必要性を 強調し、Pinned Photodiodeと命名して、その完全残像のないことを報告した。

KODAKは 同時にPinned Photodiode の優れた光短波長の光電変換効率を持つことを報告した。

●2020年8月1日 萩原良昭は、私費で Pinned Photodiode型新型太陽電池構造を出願した。
 JPA2020-131313として特許登録されその詳細は公開され、2021年1月5日に権利化された。

●現在、この特許構造の原理試作のために資金調達に努力しており、広くビジネス投資家にPRしている。

(A1) First Generation Simple NPN Bipolar Transistor in 1948



(A2) Second Generation Simple NPN Bipolar Transistor in 1950s



(A3) Sony High Performance Bipolar Transistor in 1960s



(B1) Conventional Floating Surface N+P Single Junction type Solar Cell



(B2) Pinned Photodiode type Double junction type Solar Cell invented in 2020 by Hagiwara. See JPA2020-131313



(B3) High Quantum Efficiency Pinned Photodiode type Solar Cell



太陽光発電池と蓄電池を支える半導体技術

太陽電池には常に順方向電流(ld)が流れ、量子効率を劣化させる。

従来の多重接合型太陽電池

V1,V2,V3,V4,V5,V6, V7の端子がすべて浮遊状態(Floating)になり再結合領域が生まれ量子効率が劣化する。 Vout<V1<V2< V3<V4< V5<V6< V7<0 Multi Junction





https://en.wikipedia.org/wiki/Shockley%E2%80%93Queisser_limit









Triple Junction Solar Cell with Wide Band Gap Compound Semiconductors achieved ~39% Quantum Efficiency

The P+P-N-P-P+ double junction type Solar Cell may have much higher efficiency





現時点ではシリコン結晶による太陽電池の製造が一番実績がある為、まずは、シリコン結晶を使って、 シングル接合型とダブル接合型を試作して特性を比較実験する。もし薄型電池構造の量産技術が確立 すれば、それに便乗して、以下の様な多重接合型太陽電池の実用化も夢ではなくなりさらに有望である。



Fig. 9 (a) and (b)

"Chronology_of_Silicon-based_Image_Sensor_development"- Y. D. Hagiwara.pdf

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf



従来のシングル接合型太陽電池の製造工程

Maskは3枚で試作が可能です

この従来構造のシングル接合型の太陽電池では、工程(1)でのN領域の全面イオン打ち込みと、 工程(2)の表面P+領域の形成の工程が省かれる。同時にこのダブル接合とシングル接合は製造可能である。 同じWAFER内に種類の違うCHIPを2個製造する事が可能で、同時に評価し性能比較が可能である。


萩原提案のダブル接合型太陽電池の製造工程 Maskは4枚で試作が可能です

この従来構造のシングル接合型の太陽電池では、工程(1)でのN領域の全面イオン打ち込みと、 工程(2)の表面P+領域の形成の工程が省かれる。同時にこのダブル接合とシングル接合は製造可能である。 同じWAFER内に種類の違うCHIPを2個製造する事が可能で、同時に評価し性能比較が可能である。

(0)Start Same Wafer (1)Form N+ region (2)Form P+ region (3)Form Contact (4)Form Metal Wiring



萩原提案のダブル接合型太陽電池の製造工程は従来型のN+P接合型太陽電池も同時の製造可能である。

(0) Start Same Wafer (1) Form N+ region (2) Form P+ region

(3) Form Contact

(4)Form Metal Wiring





萩原提案のダブルおよび多重接合型太陽電池



萩原提案のダブルおよび多重接合型太陽電池

太陽電池には常に順方向電流(ld)が流れ、量子効率を劣化させる。



従来の多重接合型太陽電池





太陽電池には常に順方向電流(ld)が流れ、量子効率を劣化させる。



IEEE JOURNAL OF THE ELECTRON DEVICES SOCIETY, VOL. 2, NO. 3, MAY 2014



integrated in the photodetector. The shift register part of the pixel was covered with a metal (or silicide) light shield to eliminate smear. The ILT CCD architecture was more suitable for consumer video application due to reduced smear and more compact chip design than the full-frame CCD. The

Fig. 2. Complete charge transfer from a pinned photodiode. (a) structure including VOD (b) potential well diagram (from Teranishi et al., 1982). This Fossum 2014 paper is a fake paper, insulting Hagiwara and Sony.

Fossum 2014 fake paper claims that 1982 Teranishi IEDM paper was the origin of the pinned photo diode which is not true. Fossum did not understand the physics of image sensors at all. He is a fake.

物質を作っている最小の粒子



原子の構造



アルミ原子13





原子の構造













Al AI+ AI AI AI Al AI AI AI AI Al Al Α Al Al Al Al Al Al Al AI AI Α A AI AI AI AI ΑΙ AI A AI Al AI AI A







●原子構造(原子核と電子)と太陽系(太陽と惑星)の類似





(脱出エネルギー) = Energy Gap

For Aluminum, Eg << 0.025 eV $\lambda >> 40 \,\mu$ m

For Silicon, Eg = 1.10 eV and λ = 1.12 μ m









$n = n_{c} exp(\frac{E_{c} - E_{f}}{kT})$ $(E_{v} - E_{c}) = E_{G}$













●ベル研により1970年に1個の電子を原理的に転送効率が99.999%近く持つCCD型電荷転送装置が発明された。

●オランダPhilips社により1970年PNPダブル接合の埋め込み型受光素子構造が発明された。

受光面が基板と導通しており、基板と受光表面のP層との間にはRC遅延を持つ基板抵抗があり 高周波数CLOCK動作ではゲートと基板の間の寄生容量の為に受光面のP層領域が浮遊状態となり 完全電荷転送ができず、残像問題が生じた。

●ソニーは1975年10月23日受光面が外部電圧ピンにより受光面が固定、ピン留めされたNPNダブル接合の 埋め込み型受光素子構造が発明された。埋め込み層が完全に空乏化することを特許の明細実施図に明示した。 かつ、この受光素子は、MOS容量型のアナログ信号電荷を一時記憶できるバッファーメモリを装備し、 MOS型イメージセンサーの致命的な特徴である Rotary Shutter効果を良く発する機能を持つ高性能な 超光感度の受光素子の発明であった。その中で短波長光感度の量子効率向上のために表面に濃度勾配を 持たせて、濃度勾配による BAND BENDING効果を利用してバリア電界を生じさせて、受光面近傍での 光電子(e-)とホール(Si+)のバリア電界による完全分離を実現し高い光電変換効率を実現した。

●ソニーは1975年11月10日には受光面が外部電圧ピンにより受光面が固定、ピン留めされたPNPダブル接合の 埋め込み型受光素子構造が発明された。埋め込み層が完全に空乏化することを、特許の明細実施図に明示した。 この受光素子は、一方のP層を外部電圧でピン留め固定したPNP接合型Pinned Photodiodeの発明であった。 さらに、もう片方には、自由度を持たせ、Anti Blooming機能を持たせた垂直型の過剰電荷吐き出し機能、 VOD (Vertical Overflow Drain)の発明だった。

その結果をソニーは東京で1978年開催の日本応用物理学会主催のSSDM1978 Tokyo Conference で発表した。

●ベル研により1970年に1個の電子を原理的に転送効率が99.999%近く持つCCD型電荷転送装置が発明された。



https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf



●歴史的な 1950年~1960年代の Bipolar Transistorの高周波数特性実現の為の開発努力があった。

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf



Figure 6: The double junction type buried photodiode image sensor reproduced from Netherland Patent Application NPA [6].

●オランダPhilips社により1970年PNPダブル接合の埋め込み型受光素子構造が発明された。

受光面が基板と導通しており、基板と受光表面のP層との間にはRC遅延を持つ基板抵抗があり 高周波数CLOCK動作ではゲートと基板の間の寄生容量の為に受光面のP層領域が浮遊状態となり 完全電荷転送ができず、残像問題が生じた。

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf



Figure 2: Reproductions from the Japanese Patent Applications of (a) the N+N-P+NP-P triple junction PPD, (b) the N+N-P+N double junction PPD, and (c) the PNP double junction PPD.

●ソニーは1975年10月23日受光面が外部電圧ピンにより受光面が固定、ピン留めされたNPNダブル接合の 埋め込み型受光素子構造が発明された。埋め込み層が完全に空乏化することを特許の明細実施図に明示した。 かつ、この受光素子は、MOS容量型のアナログ信号電荷を一時記憶できるバッファーメモリを装備し、 MOS型イメージセンサーの致命的な特徴であったが、その問題を解決した発明で現在広く GLOBAL Shutter機能を持つ CMOS Image Sensorが生産され広く使われている。

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf



Figure 8: (a), (b) Global shutter clocking schemes for CMOS image sensors: normal global shutter mode, electronic shutter mode; (c) the electrical potential profile of the P+PN-PN+ triple junction type PPD in the photo thyristor switch-on mode and in the integration mode.

●ソニーは1975年10月23日受光面が外部電圧ピンにより受光面が固定、ピン留めされたNPNダブル接合の 埋め込み型受光素子構造が発明された。埋め込み層が完全に空乏化することを特許の明細実施図に明示した。 かつ、この受光素子は、MOS容量型のアナログ信号電荷を一時記憶できるバッファーメモリを装備し、 MOS型イメージセンサーの致命的な特徴であったが、その問題を解決した発明で現在広くGLOBAL Shutter機能を持つ CMOS Image Sensorが生産され広く使われている。

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf



Figure 7: Figures reproduced from Japanese Patent Application JPA1977-126885 [10]: (a) sensor, (b) potential profile for the OFD punch-through action.

 ●ソニーは1977年には 受光素子を 薄型Polysilicon膜を使ったMOS電極容量型の受光素子を 採用した Interline方式のCCD型イメージセンサーの開発実用化に注力していた。その構造に 横型 Overflow Drain構造を利用してパンチスルー効果で完全電荷転送を実現して残像のない 電子シャッター機能を提案した、JPA1977-126885 特許参照。これは1980年に全日空ANAの JUMBO 747 JETの COCKPITに 2 – CHIPカラービデオとして搭載され商品化に成功した。

CIGS太陽電池

薄くて性能も良い、新顔の太陽電池

CIGS系太陽電池は、最近実用化がはじまったばかりの、新顔の太陽電池で す。薄膜シリコン同様に薄膜太陽電池の長所を備えながら、より高い変換効 率が期待できる太陽電池です。種類が幾つかあり、まとめてCIS系、CIGS 系、カルコパイライト系(*1)などと呼ばれます。

CIGS("シーアイジーエス")とは聞き慣れない名前ですが、これは Cu,In,Ga,Se(銅、インジウム、ガリウム、セレン)の4つの元素の頭文字を とったものです。CIGS太陽電池はシリコンの代わりに、この4つに代表され る元素を混ぜ合わせて使います。これらの元素を混ぜ合わせた化合物は、シ リコン同様の半導体になります。しかも結晶シリコンに比べて光を吸収しや すく、太陽電池そのものの厚みは2~4µm程度で済みます(図1)。

この太陽電池の特徴として、用いる材料や製造法の選択肢が豊富なことが挙 げられます(図2)。これらを使い分けることで、1つの材料系で低価格品 から高性能品まで対応できます。またフレキシブルにもできることから、用 途に合わせて様々な性能や形態の製品を製造できると見込まれています(図 3)。



↑図1CIGS系太陽電池の基本構造(クリックで拡大します)



Single Junction type Photodiode



CIGS太陽電池



CIGS太陽電池:AIST太陽光発電技術開発 <u>https://unit.aist.go.jp/rpd-</u> <u>envene/PV/ja/about_pv/types/CIGS.html</u>

●現在、注目されている接合構造はすべてSingle接合である。





Single Junction type Photodiode


N+P接合構造 パイライト型



PNP接合構造 パイライト型



ロブスカイトでもそうですが、パイライトの長所は、薄型で生産コストを低減できる 事です。従来のシリコン太陽電池の光の変換効率(量子効率)に限りなく近づけ る事が可能であると期待されています。 N+P接合構造 パイライト型

PNP接合構造 パイライト型





萩原の提案構造はパイライト型にも使えます!

	Silicon 結晶型	パイライト型
N+P接合構造	~20%	~15%
PNP接合構造	~80%	~60%

スパッタ法によるパイライト(FeS2)薄膜太陽電池の作成

パイライト(FeS₂)は、太陽スペクトルとの適合性がシリコンと同等で光を吸収する能力が非常に高く(シリコンの約500倍)、さらに豊富で安価で無害な材料からできていること から薄膜太陽電池の光吸収層材料の候補として研究されてきました。



https://www.tsuyama-ct.ac.jp/nakamura/kenkyu/node4.html

https://ja.wikipedia.org/wiki/ソーラーフロンティア#:~:text=薄膜型(CIS系,積を必要とする。

<u> ソーラーフロンティア - Wikipedia</u>

ソーラーフロンティア株式会社は、日本の薄 膜型(CIS系)太陽電池モジュール製造・販売 メーカーである。

特徴 [編集]

効率の低さをカバーする特徴として実発電量 の大きさがあげられる。研究室の一定環境で 測られる出力と違い、発電量は一日の太陽の 傾きの変化や、季節ごとの気候や気温を含めた天気の変化でパ フォーマンスに大きく波が生じる。CIS太陽電池モジュール は、シリコン系と比較して夏季の高温条件下でも出力低下が小 さいことが実証実験でも証明されており^[5]、全天候におけるパ フォーマンスが蓄積された結果として、年間を通した発電量が 多いという特徴がある^[6]。

価格 [編集]

シリコン系と比べて安価であることもCIS系太陽電池の特徴で ある。市場で取引される価格は中国製の安価パネルと同等のコ ストパフォーマンス^[7]を実現できたとしている。

法人番号 6010401014534 🖉 🗸

事業内容 新世代型薄膜太陽電池(CIS太陽電池)の 研究開発、生産並びに販売。 代表者 渡辺宏(代表取締役社長) **資本金**70億円 売上高 250億36百万円(2020年12月期) 営業利益▲15億71百万円(2020年12月期) 経常利益▲9億30百万円(2020年12月期) 純利益▲15億98百万円(2020年12月期) 純資產 39億15百万円(2020年3月31日現在) 総資産 291億29百万円(2020年3月31日現在) **決算期** 12月31日 主要株主 出光興産株式会社 100% 主要子会社 Solar Frontier Americas Inc. 100% SFソーラーパワー株式会社 60% GASNA 31P LLC. 間接100% **外部リンク** http://www.solar-frontier.com/jpn/

https://ja.wikipedia.org/wiki/ソーラーフロンティア#:~:text=薄膜型(CIS系,積を必要とする。

<u> ソーラーフロンティア - Wikipedia</u>

ソーラーフロンティア株式会社は、日本の薄 膜型(CIS系)太陽電池モジュール製造・販売 メーカーである。

概要〔編集〕

石油元売企業である昭和シェル石油(現・出 光興産)の子会社で、全額出資を受けてい る。1,000億円を投資し、休止中であった日 立プラズマディスプレイの製造工場を買い取 り、年間の生産量900MWという世界最大規模 の太陽電池生産工場、宮崎第3工場(国富工 場)を完成させた。2011年2月に稼働開始、7 月からフル生産に入った^{[1][2]}。

設立は2006年(平成18年)9月(昭和シェル ソーラー)で、2010年(平成22年)より現社 名^[3]。2021年(令和3年)3月1日に本社を台 場フロンティアビルから帝劇ビルに移転^[4]。 薄膜型(CIS系)太陽電池モジ ユール_{「編集}]

2014年(平成26年)現在、日本国内で非シリ コン系の薄膜ソーラーパネルを製造している 唯一の企業である^[注釈 1]。

効率 [編集]

薄膜型(CIS系)太陽電池はシリコン系の単結 晶・多結晶タイプのソーラーパネルより発電 効率(光から電気への変換効率)が低く、同 量の出力を設置する場合に効率が高いパネル よりも広い面積を必要とする。 法人番号 6010401014534 🖉 🗸

事業内容 新世代型薄膜太陽電池(CIS太陽電池)の 研究開発、生産並びに販売。 代表者 渡辺宏(代表取締役社長) **資本金**70億円 売上高 250億36百万円(2020年12月期) 営業利益▲15億71百万円(2020年12月期) 経常利益▲9億30百万円(2020年12月期) 純利益▲15億98百万円(2020年12月期) 純資產 39億15百万円(2020年3月31日現在) 総資產 291億29百万円(2020年3月31日現在) **決算期** 12月31日 主要株主 出光興産株式会社 100% 主要子会社 Solar Frontier Americas Inc. 100% SFソーラーパワー株式会社 60% GASNA 31P LLC. 間接100% **外部リンク** http://www.solar-frontier.com/jpn/

見ただけでも構造が複雑、いろいろな材料の重ね合わせである。

4. シリコンに取って代わる低コスト・高効率の次世代薄膜太陽電池 https://www.ritsumei.ac.jp/research/radiant/connect/story4.html/

境汚染、地下資源の枯渇、自然災害、原子力発電所の事故などエネルギーを巡るさまざまな問題が山積する今、再生可能 エネルギーはますます重要性を増している。中でも太陽光発電への期待は大きいが、いまだ既存の発電方式を凌ぐには遠いのが現状だ。現在市場で90%以上のシェアを占めているのはシリコンを材料に使った太陽電池だが、その製造にかかるコストの低減には限りがあり、シリコンを使わない新たな太陽電池が期待されている。

銅(Cu)、インジウム(In)、セレン(Se)を主な材料とし、カルコパイライト形の結晶構造を持つCIS系薄膜太陽電池もその一つだ。

ジャカパン・チャンタナはシリコンの代わりにCu、In、Se、ガリウム(Ga)、硫黄(S)を光吸収層に用いた太陽電池の開発に取り 組んでいる。

CIS系太陽電池はシリコン系の約100倍もの光吸収係数を持っており、薄膜化できるのが特長だ。シリコン系太陽電池のセルの厚さが約200µmであるのに対し、CIS系薄膜太陽電池はわずか2~3µm。それだけ資源量を抑え、コストダウンを見込める。しかしCIS系薄膜太陽電池の光電変換効率はまだシリコン系には及ばず、市場を取って代わるには課題が残されている。

「CIS系薄膜太陽電池の光電変換効率の世界最高は研究段階で22%に達していますが、それでもシリコン系太陽電池の光電変換効率である26.7%との間にはまだ大きな差があります。加えてCIS系薄膜太陽電池はセルの成膜過程でレアメタルやカドミウムなどの人体に 有毒な材料を用いる上に、真空プロセスによって高品質な薄膜を作るのに大量の電力を消費します」とチャンタナ。これらの課題を 克服するべく彼は高価で有害な材料をできるだけ使わず、低コスト・低電力の成膜方法で高効率の太陽電池を作ろうと試みている。

見ただけでも構造が複雑、いろいろな材料の重ね合わせである。

4. シリコンに取って代わる低コスト・高効率の次世代薄膜太陽電池 https://www.ritsumei.ac.jp/research/radiant/connect/story4.html/

各種バッファ層を用いたCIS系薄膜太陽電池セルの構造



https://www.jstage.jst.go.jp/article/jvsj2/53/1/53_1_25/_pdf/-char/ja

カルコパイライト系薄膜太陽電池の開発の現状と将来展望*

石塚 尚吾*1・小牧 弘典*1・吉山 孝志*1・水越 一路*1 山田 昭政*1・仁木 栄*1

Recent Developments in Chalcopyrite Solar Cell and Module Technologies

Shogo ISHIZUKA^{*1}, Hironori KOMAKI^{*1}, Takashi YOSHIYAMA^{*1}, Kazuyuki MIZUKOSHI^{*1}, Akimasa YAMADA^{*1} and Shigeru NIKI^{*1}

*1Research Center for Photovoltaics, National Institute of Advanced Industrial Science and Technology, 1-1-1 Umezono, Tsukuba, Ibaraki 305-8568, Japan



説

解

Fig. 5 Structure of flexible CIGS solar cell using ASTL to control the process of adding alkali. The Na concentration in CIGS layers can be controlled by varying the ASTL thickness.

Single PN接合がいろいろな手段で 製法が可能である。PN接合には 整流特性と接合部には空乏層領域 が必ず存在します。その空乏層の 幅Wdをダブル接合構造にする事 により2倍にできます。プロセス 工程が増えますが光電変換領域が 2倍のなり量子効率がそれだけで 2倍になることが期待されます。 PNP接合構造には必ずN領域には完全空乏化した領域が常に存在する。



PNP接合構造には必ずN領域には完全空乏化した領域が常に存在する。



PNP接合構造には必ずN領域には完全空乏化した領域が常に存在する。



PNP接合構造には必ずN領域には完全空乏化した領域が常に存在する。



「黄鉄鉱利用、高効率な薄膜太陽電池」が全身を覆う電気自動車

光起電力変換率が非常に高く、薄膜としてあらゆる物の表面に貼り付けることが可能という黄鉄鉱利用の太陽電池。これを利用したコンセプト・カー『Quant』が発表された。

スウェーデンにあるスーパーカー・メーカー<u>Koenigsegg Automotive社</u>は、『<u>ジュ</u> <u>ネーブ・モーターショー</u>』でソーラー電気自動車のコンセプト・カー『<u>Quant</u>』を披露 した。同社によれば、量産モデルでは、20分足らずの充電時間で約483キロメート ルの航続距離を実現するという。

このとてつもない高性能の秘密は、黄鉄鉱だ。

記事は 2009年3月のもの?



http://home.sato-gallery.com/research/solar_kihon/Chap7_2proof.pdf

◎ メッセージ





太陽電池は、今後どのような方向に技術開発が向いていくのでしょうか。 この章では、トピックスをいくつか例示して、 これからの太陽電池の動向をイメージしていただきたいと思います。





佐藤勝昭のホームページにようこそ

Welcome to Katsuaki Sato's Web site!

http://home.sato-gallery.com/

amazon.co.jp のサインインして位置情報を更新する

すべて
・ パイライト太陽電池











0

スポンサー ソーラー街灯 屋外 led街灯 ソーラーライト センサーライ ト: 600w 35000lm 屋外 IP66 防水 led外灯 人感センサー …

4.2 ★★★☆ ~ (15)

¥25,800
516ポイント(2%)
✓prime 2023/9/10日曜日までにお届け
通常配送料無料
残り9点 ご注文はお早めに

+1色/模様

Linkind 2023昇級版ソーラー ライト 屋外 センサー ソーラー スポットライト 22LEDs 自動 点灯 超明るい 防犯防災 2WA…

4.3 ★★★★☆ ~ (91) 過去1か月で50点以上購入されました

+1色/模様

Linkind 2023昇級版ライト ソーラーライト 屋外 人感セン サー ソーラースポット モー ションセンサー付き 自動点…

4.7 ★★★★☆ ~ (46) 過去1か月で100点以上購入されま した Lepro ソーラーライト 屋外 防 水 センサーライト 屋外 ソー ラー 最新分離型 人感センサー ライト 3灯式 屋内・屋外使用… 4.0 ★★★★☆ ~ (2.8K+)

¥**4,599** 参考: ¥5,509 10% OFF クーポンあり



すべて ▼ パイライト 太陽 電池



■
 LEDダウンライト φ125 12W
 埋め込み式 天井ライト 埋込型
 LED AC85-265V 調光器非対応 電源外置 工事必要 照射角…
 4.7 ★★★★★ (5)

¥4,599



スポンサー 🖯

LED ソーラー街灯 1000w 15000LM 外灯 IP67防水 セン サーライト 屋外 防犯最適 led 街灯

4.0 ★★★★☆ ~ (9) ¥13,875



- パナソニック LEDシーリング ライト 調光・調色タイプ リモ コン付 ~12畳 ミディアムブラ ウン仕上 HH-CE1219AH
- **4.4 ★★★★☆ ~ (1.3K+)** 過去1か月で100点以上購入されま した

¥19,000 参考: ¥20,900 ✓prime 2023/9/10日曜日までに お届け



0

GJCQZQ 屋外の防水 ブラック ダイキャストアルミアンチラス トコートヤードカラムランプド アストリートランドスケープ…

¥**34,118** 2047ポイント(6%)

2023/9/20水曜日~2023/9/29 金曜日 にお届け 配送料無料

https://www.youtube.com/watch?v=k0lp5qoTOu4





単結晶シリコン

- ✓ 多結晶に比べて発電効率が高い=狭い場所でたくさん発電したい場合に向いている!(しかし 最近、多結晶の発電効率がUPしてきているので単結晶の特性が薄れてきています)
- ☑ 多結晶に比べて製造工程が複雑なためコストが高い。
- ✓ 太陽電池の中で、一番研究・開発の歴史があり、技術的にも一番成熟していて発電特性も安定している。長期間の使用実績もあり安心できる。

<u>https://太陽光発電見積もり体験談.com/entry69.html</u>

HIT太陽電池

- ✓ 単結晶シリコンとアモルファスシリコンを積層形成した新タイプの太陽電池。
- 🗹 1997年、三洋電気(現パナソニック)により実用化された。
- ✓ 発電効率が高く、シリコンに比べ高温に強い。単結晶シリコンと比較すると実際の発電量が 「1日で8.8%多い」という実験結果もある。
- ✓ 両面発電が可能

<u>https://太陽光発電見積もり体験談.com/entry69.html</u>

C I Sなどの化合物系

- 🗹 シリコンの代わりに、銅・インジウム・ガリウム・セレン等の化合物を使った太陽電池。
- ☑ 薄膜化が可能。
- ☑ 電卓や時計などに使われている。
- ✓ シリコン結晶系に比べて資源の量が少ない。
- ✓ 一部、カドミウムなどの有害物質を含むという難点がある。

	その他
☑ 微結晶シリコン	
☑ 薄膜シリコン	
☑ 球状シリコン	
☑ 多接合型	萩原提案のPNPダブル接合 Pinned Photodiode型太陽電池
☑ 電界効果型	Pinned Photodiodeは1粒の光子(Photon)を効率80%以上で シリコン結晶で作成した場合に実績がある!超光感度のビデオ カメラの撮像素子の受光部として1987年以来SONYが実用化に 成功していた。この受光素子を、太陽電池に応用できないかと 検討を始めたのはつい最近である。JPA2020-131313特許出願。
✓ InGaAs太陽電池	
✓ GaAs系太陽電池	
✓ CIS系 (カルコパイライト系) 太陽電池	
☑ Cu2ZnSnS4(CZTS)太陽電池	

- ✓ CdTe-CdS系太陽電池
- ✓ その他の中でもさらにその他(InP系太陽電池、SiGe系太陽電池、Ge太陽電池、 ZnO/CuAlO2太陽電池(透明太陽電池))

太陽光発電池と蓄電池を支える半導体技術

参考文献

萩原良昭

Publication_List_by_Yoshiaki_Hagiwara.html

https://www.sangyo-times.jp/article.aspx?ID=5331

Sangyo-Times.jp/article_ID=5331_(PDF)

<u>"Chronology_of_Silicon-based_Image_Sensor_development"- Y. D. Hagiwara.pdf</u>

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf

ICCCAS2023_Conference_paper_on_"AIPS_with_Pinned_Buried_Photodiode_used_for_Robot_Vision_and_Solar_Cell_Panel"

ICECET2021_Paper61_html ICECET2021_Paper75_html

P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.pdf

P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.html

P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf

EDTM2020_Paper_on_the P+PN+P Junction Pinned Photodiode and Schottky Barrier Photodiode.html

P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf









$$\begin{cases} V_{0} = (kT) \int_{U} \left(\frac{m(x)}{M_{0}} \right) \rightarrow 0 \quad k \neq M_{0} \rightarrow m(x) \leq 0 \quad k \neq M_{0} \rightarrow m(x) \leq 0 \quad k \neq M_{0} \rightarrow m(x) \leq 0 \quad k \neq 0 \quad$$





$$\frac{1}{\sqrt{NPP}} = \frac{1}{\sqrt{DN}} = \frac{1}{\sqrt{DN}} = \frac{1}{\sqrt{DN}} = \frac{1}{\sqrt{DP}} =$$



Depletion Approximation

$$\begin{cases}
Fin \quad 0 < X < X 1, \quad V(X) = V(0) + XY \ln\left(\frac{D(0)}{D(X)}\right); \\
Fin \quad XI < X < XNI, \quad V(X) = V(X1) + \left(\frac{D0}{2\epsilon_{5}}\right)(X - XI)^{2}; \\
Fin \quad XMI < X < XNI, \quad V(X) = VM - \left(\frac{DN}{2\epsilon_{5}}\right)(XM - X)^{2}; \\
Fin \quad XU2 < X < X2, \quad V(X) = V(X2) + \left(\frac{DB}{2\epsilon_{5}}\right)(X2 - X)^{2}; \\
Fin \quad XZ < X < XB, \quad V(X) = V(X2) + \left(\frac{DB}{2\epsilon_{5}}\right)(X2 - X)^{2}; \\
Fin \quad XZ < X < XB, \quad V(X) = V(XB) + XT \ln\left(\frac{A(XB)}{B(X)}\right); \\
\begin{cases}
V(0) = (AT) \ln\left(\frac{Ai}{B(0)}\right); \quad V(XB) = (AT) \ln\left(\frac{Mi}{2}(XB)\right); \\
(XI - XI) (DP) = (XM - XNI) (DN); \\
(X2 - XN2) (DP_{SL}) = (XN2 - XNI) (DN); \\
XI = XNI - \left(\frac{BN}{2p}\right)(XM - XNI); \\
XI = XNI - \left(\frac{BN}{2p}\right)(XN2 - XNI); \\
\begin{cases}
V(XNI) = V(XI) + \left(\frac{DP}{2\epsilon_{5}}\right)(XN2 - XNI); \\
V(XN2) = V(XI) + \left(\frac{DP}{2\epsilon_{5}}\right)(XN - XI)^{2} = VN - \left(\frac{DN}{2\epsilon_{5}}\right)(XM - XNI)^{2}; \\
V(XI) = VM - \left(\frac{DM}{2\epsilon_{5}}\right)(XM - XNI)^{2} - \left(\frac{DP}{2\epsilon_{5}}\right)(XM - XI)^{2}; \\
V(XI) = VM - \left(\frac{DM}{2\epsilon_{5}}\right)(XN2 - XNI)^{2} - \left(\frac{DP}{2\epsilon_{5}}\right)(XM - XI)^{2}; \\
V(XI) = VM - \left(\frac{DM}{2\epsilon_{5}}\right)(XM2 - XNI)^{2} - \left(\frac{DP}{2\epsilon_{5}}\right)(XM2 - XI)^{2}; \\
\end{cases}$$

Pinned_Phtodiode_type_Solar_Cell_JPA_2020_131313_Yoshiaki_Hagiwara



Pinned_Phtodiode_type_Solar_Cell_JPA_2020_131313_Yoshiaki_Hagiwara



 $\mathcal{D}_{\mathbf{p}}(\mathbf{x})$ D(x)D(x) $D_{pp}(x) = D_{pp} = (-\frac{x^2}{R_{p}^2})$ DN $\begin{array}{c}
\Theta_{\mu\nu} = \int D_{\mu\nu}(x) dx = \frac{\sqrt{2}}{2} D_{\mu\nu\rho} \cdot R_{\mu\rho} \\
\Theta_{\mu\nu} = \int D_{\mu\nu}(x) dx = \frac{\sqrt{2}}{2} D_{\mu\rho\rho} \cdot R_{\mu\rho} \\
\frac{d}{\sqrt{2}} D_{\mu\rho}(x) = -\frac{2\times}{R_{\mu}^{2}} D_{\rho\rho\rho} \cdot \exp\left(-\frac{x^{2}}{R_{\mu}^{2}}\right)
\end{array}$ XB XP2 Ν XP1 XN2 0 Χ XN1 $\mathbf{P}_{\mathsf{sub}}$ Ρ $\frac{d^2}{d\chi_k} D_{AB}(\chi) = q \left(\frac{2\chi}{R_{AB}^2} \right)^2 - \frac{2}{R_{AB}} \int D_{AB} x q \left(-\frac{\chi^k}{R_{AB}^2} \right)$ **DP**_{sub} DP **P**+ d Dpp (x)=0 when x= Rm WN 🔶 **P**++ Opp = J DAPS · RAP = (DAP) (APP) Dp (x) Dp Dpp = / T Dpps = (1.253) Dpps DPP $D_{p}(\mathbf{x}) = D_{ps} \operatorname{asp} \left(-\frac{\mathbf{x}^{*}}{R_{p}^{*}}\right)$ DPB Gp = ∫ Dp (x) dx = √x Dps · Rp Dp = T Dpt $D_{n}(\mathbf{x}) = D_{ns} \sup \left(-\frac{(\mathbf{x}-\mathbf{x}_{n})}{R_{n}^{2}}\right)$ $G_{m} = \int D_{n}(\mathbf{x}) d\mathbf{x} = \sqrt{\mathbf{x}} D_{ns} \cdot R_{m}$ ______ _____ Jn = KDns



void DDDD(void) { ddd = - Psub - DPP*exp(-X*X/RPP/RPP)

- DP*exp(-X*X/RP/RP)
- + DNNN*exp(-(XN-X)*(XN-X)/RN/RN)
- DPB*exp(-(XW-X)*(XW-X)/RPB/RPB); }

G1.htmlの出力図の例です: 常に最新版を掲載します。2023年8月29日 10:00 pm 現在 <u>Pinned_Photodiode_type_Solar_Cell_の数値解析_C言語.c</u>



G2.htmlの出力図の例です: 常に最新版を掲載します。2023年8月29日 10:00 pm 現在

<u>Pinned_Photodiode_type_Solar_Cell_の数値解析_C言語.c</u>


G1.htmlの出力図の例です: 常に最新版を掲載します。2023年8月29日 10:00 pm 現在 <u>Pinned_Photodiode_type_Solar_Cell_の数値解析_C言語.c</u>



G2.htmlの出力図の例です: 常に最新版を掲載します。2023年8月29日 10:00 pm 現在

<u>Pinned_Photodiode_type_Solar_Cell_の数値解析_C言語.c</u>



<u>Pinned_Photodiode_type_Solar_Cell_の数値解析_C言語.c</u>

常に最新版を掲載します。2023年8月29日 11:00 pm 現在

```
F1.txt,F2.txt,F3.txt;
```

```
A1.txt, A2.txt, A3.txt, A4.txt, A5.txt;
```

```
B.txt;
```

D1.txt,D2.txt,D3.txt,D4.txt,D5.txt,D6.txt,D7.txt,D8.txt,D9.txt;

E1.txt,E2.txt,E3.txt,E4.txt,E5.txt,E6.txt,E7.txt,E8.txt,E9.txt;

G1.html,G2.html,G3.html,G4.html;

常に最新版を掲載します。2023年8月27日 16:00 pm 現在

DN=4700 gives Vm= 0.585464 eV

For XW=4.000000 Psub=100 DN=4700 RN=0.300000 XN=0.300000

and DPP=1000000 RPP=0.030000 DP=10000 RP=0.200000

the minimum voltage was estimated as VMM=0.585464 volt

at the silicon depth XM=0.553188 μ m.

Depletion Width from the Silicon Surface (X=0) is

between XD1=0.049188 μm and XD2=3.413188 μm

常に最新版を掲載します。2023年8月27日 16:00 pm 現在 DN=4500 gives Vm= 0.554828 eV

For XW=4.000000 Psub=100 DN=4500 RN=0.300000 XN=0.300000

and DPP=1000000 RPP=0.030000 DP=10000 RP=0.200000

the minimum voltage was estimated as VMM=0.554828 volt

at the silicon depth XM=0.550943 μ m.

Depletion Width from the Silicon Surface (X=0) is

between XD1=0.050943 μm and XD2=3.338943 μm

常に最新版を掲載します。2023年8月27日 16:00 pm 現在 DN=4700 gives Vm= 0.524265 eV

For XW=4.000000 Psub=100 DN=4300 RN=0.300000 XN=0.300000

and DPP=1000000 RPP=0.030000 DP=10000 RP=0.200000

the minimum voltage was estimated as VMM=0.524265 volt

at the silicon depth XM=0.548607 µm.

Depletion Width from the Silicon Surface (X=0) is

between XD1=0.052607 μm and XD2=3.262607 μm

}



$$(X=XM-dK) \qquad X=XM \qquad (X=XM+dx) \qquad X=XW$$

$$(dX) = \frac{(XW)}{(100000)} \quad X=33 \qquad (dX) = \frac{(XW)}{(100000)} \quad X=33 \qquad (dX) = \frac{(XW)}{(100000)} \quad (EX) \qquad (EX) \qquad$$

$$(x = xm - dx) \qquad x = xm \qquad (x = xm + dx) \qquad x = xw$$

$$(x = xm + dx) \qquad x = xw$$

$$(dx) = \frac{(xw)}{(100000)} \qquad x = 33 \qquad (dx) = \frac{(xw)}{(100000)} \qquad (dx) = \frac{(xm)}{(xw)} \qquad (100000)$$

$$V(x) \qquad V[kvm-1] \qquad V[kvm+1] \qquad (kvm) = \sqrt{m} \qquad (100000) = \sqrt{m}$$

$$\frac{x[0] = 0}{\sqrt{[kxm]}} \qquad x[[kxm] = xm \qquad x[100000] = \sqrt{m}$$

$$\frac{x[0] = 0}{\sqrt{[kxm]}} \qquad x[[kxm] = xm \qquad x[100000] = \sqrt{m}$$

$$\frac{x[0] = 0}{\sqrt{[kxm]}} \qquad x[[kxm] = \sqrt{m} \qquad (v[100000] = \sqrt{m})$$

$$V(x) \qquad V[kxm] = \sqrt{[kxm]} \qquad (v[100000] = \sqrt{m})$$

$$V(x) \qquad V[kxm] = \sqrt{[kxm]} \qquad (v[100000] = \sqrt{m})$$

$$V[kxm + i] = \sqrt{[kxm]} = \sqrt{[kxm]} \qquad (dx)^{2} \frac{(dx)^{2} \frac{(kxm)}{(2)(e_{5}; 1)}} \qquad (dx)^{2} \frac{(dx)^{2} \frac{(kxm)}{(2)(e_{5}; 1)}} \qquad (dx)^{2} \frac{(kxm)}{(2)(e_{5}; 1)} \qquad (dx)^{2} \frac{(kxm)}{(2)(e_{5}; 1)} \qquad (dx)^{2} \frac{(kxm)}{(2)(e_{5}; 1)} \qquad (dx)^{2} \frac{(kxm)}{(2)(e_{5}; 1)} \qquad (dx)^{2} \frac{(kxm)}{(kxm)} \qquad (dx)^{2} \frac{(kxm)}{(2)(e_{5}; 1)} \qquad (dx)^{2} \frac{(kxm)}{(kxm)} \qquad (dx)^{2} \frac{(kxm)}{(2)(e_{5}; 1)} \qquad (dx)^{2} \frac{(kxm)}{(kxm)} \qquad (dx)^{2}$$

.



For
$$k = k \times M - 2$$
, $k \times M - 3$, $--i$

$$\left[(G_{x}) \left[\frac{\sqrt{[k+2]} + \sqrt{[k]} - (2) \sqrt{[k+1]}}{(\partial \times)^{2}} \right] = - \vartheta(k+1) \right]$$

$$\left[(\partial \times)^{2} + (2) \sqrt{[k+2]} - \sqrt{[k+2]} - (\frac{\partial \times s^{2} \vartheta(k+1)}{(G_{s}, 1)} - (B) \right]$$



$$(X=XM-dK) \qquad X=XM \qquad (X=XM+dX) \qquad X=XW \qquad (X=XM+dX) \qquad X=XW \qquad (X=XM+dX) \qquad X=XW \qquad (X=XM) \qquad (X=XM) \qquad (Z=XW) \qquad (Z=XW)$$

$$(x = xM - dx) \qquad x = xM \qquad (x = xM + dx) \qquad x = xW$$

$$(dx) = \frac{(xW)}{(I00000)} \qquad x = 33 \ !!$$

$$(dx) = \frac{(xW)}{(I00000)} \qquad x = 13 \ !!$$

$$(kvM) = \frac{(xM)}{(xW)} (I00000)$$

$$V(x) \qquad V[kvM-1] \qquad V[kvM+1] \qquad (kvM) = vM \ ; x[kvM] = xM$$

$$\frac{\times [0] = 0}{V[0] = 0} \qquad (x[kxM] = xM \qquad xII00000] = 0$$

$$for each \ k = kxM - 2, \ kxM - 3, \cdots \qquad V[k] = (2) \ V[k+1] - v[k+2] - \frac{(dx)}{(6)} \frac{J(k+1)}{(6)}$$

$$(x = xm - dx)$$

$$(x = xm + dx)$$

$$(dx) = \frac{(xm)}{(100000)} \times 33 \text{ !!}$$

$$(dx) = \frac{(xm)}{(100000)} \times 33 \text{ !!}$$

$$(kvm) = \frac{(xm)}{(xw)} (100000)$$

$$V(x)$$

$$V(x)$$

$$V(kvm-1)$$

$$V(kvm+1)$$

$$V(kvm) = Vm ; x(kvm) = Xm$$

$$\frac{x[0] = 0}{V[kxm] = Vm} (x[100000] = 0)$$

$$V(x)$$

$$V(x)$$

$$V(x)$$

$$V(x)$$

$$V(x) = Vm (x[100000] = 0)$$

$$V(x) = Vm (x[100000] = 0)$$

$$\frac{DVDX[k]}{[k]} = \frac{V[k+1] - V[k]}{dX}$$

$$\frac{dd}{S} = \frac{dd}{S} \frac{d$$

$$\frac{(x = xM - dx)}{(x = xM + dx)} = \frac{x = xW}{(dx)} = \frac{(xW)}{(loo 0 \circ 0)} = 0$$

$$\frac{(x = xM - dx)}{(dx)} = \frac{(xW)}{(loo 0 \circ 0)} = 0$$

$$\frac{(x = xM - dx)}{(loo 0 \circ 0)} = \frac{(xW)}{(loo 0 \circ 0)} = 0$$

$$\frac{(x = xM - dx)}{(loo 0 \circ 0)} = \frac{(xW - dx)}{(loo 0 \circ 0)} = 0$$

$$\frac{(x = xM - dx)}{(x = xM - dx)} = \frac{(xW - dx)}{(x$$

$$(x = xM - dx)$$

$$(x = xM + dx)$$

$$(dx) = \frac{(xW)}{(100000)} \times 33 \text{!!}$$

$$(dx) = \frac{(xW)}{(100000)} \times 33 \text{!!}$$

$$(kvM) = \frac{(xM)}{(xW)} (100000)$$

$$V(x)$$

$$V(kvM - 1) \quad V(kvM + 1) \quad V(kvM + 1) \quad V(kvM) = xM$$

$$\frac{\times [0] = 0}{\sqrt{[kvM]}} \frac{\times [kxM] = xM}{\sqrt{[0]} = 0} \frac{\times [kxM] = xM}{\sqrt{[v]} \times [kxM] = xM}$$

$$\frac{\times [0] = 0}{\sqrt{[kxM]}} \frac{\times [xKM] = xM}{\sqrt{[v]} \times [kxM] = xM} \frac{\times [v] \times [kvM] = xM}{\sqrt{[v]} \times [kxM] = xM}$$

$$\frac{\times [0] = 0}{\sqrt{[kxM]}} \frac{\times [kxM] = xM}{\sqrt{[v]} \times [kxM] = xM} \frac{\times [v] \times [kxM] = xM}{\sqrt{[v]} \times [kxM] = xM}$$

$$(x = xM - dx) \qquad x = xM \qquad (x = xM + dx) \qquad x = xW$$

$$(dx) = \frac{(xW)}{(100000)} \qquad x = 33 \text{ !!}$$

$$(dx) = \frac{(xW)}{(100000)} \qquad x = 33 \text{ !!}$$

$$(kVM) = (\frac{xM}{xW}) (100000)$$

$$V(x) \qquad V[kVM+1] \qquad (kVM) = VM; \qquad x[kVM] = XM$$

$$\frac{\times [0] = 0}{V[0] = 0} \left(\frac{\times [k \times M] = \times M}{V[0] = 0} \quad x = 1 \text{ !} \text{ !$$



$$(x = xM - dx)$$

$$(x = xM - dx$$

$$\frac{\pi\pi^{2}}{k_{XM}} \frac{k_{XM}}{k_{E}} = \frac{\pi\pi^{2}}{k_{XM}}; \qquad (k_{XM}) = \frac{k_{XM}}{k_{W}} (100000)$$

$$V[k_{XM}] = VM ; XFk_{XM}] = XM ;$$

$$for each k = k_{XM} - 2 , k_{XM} - 3 , \cdots$$

$$V[k] = (2) V[k+1] - V[k+2] - \frac{(d_{X})^{2} J(k+1)}{(6_{1} \cdot)}$$

$$DVDx[k] = (2) V[k+1] - V[k] / dX$$

$$WWW [k] = (k_{T}) log (\frac{dd_{S}}{2(k)})$$

$$DWDx[k] = (k_{T}) log (\frac{dd_{S}}{2(k)})$$

$$DWDx[k] = (w_{WW}[k+1] - w_{WW}[k]) / (d_{X})$$

$$Check whether DVDx[k] = DWDx[k] > Objoin k_{S}$$

$$for KI \ge k \ge 0 \quad w[k] = (k_{T}) log (\frac{dd_{S}}{2(k)})$$

$$dn \quad k_{I} \le k \le k_{XM} \quad w[k] = (k_{T}) log (\frac{\sqrt{dS'}}{2(k)}) + VM - V[k]$$

$$fM \quad \text{auch} \quad k = k \times M + 2, \quad K \times M + 3, \quad \dots \quad (d \times)^{2} \underbrace{\partial(k-1)}{(\xi_{5}, \cdot)}$$

$$V[k] = (2) \quad V[k-1] - V[k-2] - \underbrace{(d \times)^{2} \underbrace{\partial(k-1)}{(\xi_{5}, \cdot)}$$

$$DVD \times [k] = (V[K] - V[K-1]) / d \times$$

$$Www [K] = (hP) \log \left(\frac{c(d/3)}{\partial(k)} \right)$$

$$DWD \times [K] = [WWW [K] - www [K-1]] / (d \times)$$

$$(heck \quad whether \quad DVO \times [K] = 2 \quad DWD \times [K] ? \quad Obtim \quad K = 2$$

$$for \quad K2 \leq K \leq 100000 \quad W[K] = kT \log \left(\frac{c(d/3)}{\partial(k)} \right)$$

$$for \quad K \times M \leq K \leq K2 \quad W[K] = (hT) \log \left(\frac{c(d/3)}{\partial(k)} \right) + VM2 - V[K]$$

$$(x = xM - dx)$$

$$(dx) = (xM)$$

$$(dx) = (xM)$$

$$(dx) = (xM)$$

$$((dx) = xM)$$

$$\frac{75^{2}}{KXM} - 5EE Find: (KXM) = \frac{(XM)}{(XW)} (100000)$$

$$V[KXM] = VM ; XFKXM] = XM ;$$

$$M$$

$$M \text{ anch } k = kXM + 2, KXM + 3, -...$$

$$V[K] = (2) V[K-1] - V[K-2] - \frac{(dx)^{2} J(K-1)}{(E_{5}.)}$$

$$DVDx[K] = (V[K] - V[K-1]) / dX$$

$$WWW [K] = (FP) log (\frac{cldB}{J(K)})$$

$$DWDX [K] = [WWW(k] - WWW [K-1]] / (dX)$$

$$(heck Whether DVDX[K] = DWDX[K]? Obtain K2$$

$$for K2 \leq K \leq 100000 \quad W[K] = KT log (\frac{cldB}{J(x)})$$

$$for KXM \leq K \leq K2 \quad W[K] = (KT) log (\frac{ddB}{J(x)}) + VM2 - V[K]$$

Virtual_Phase_Clock_Operation_Scheme_became_possible_by_Pinned_Photodiode.pdf



<u>Pinned_Photodiode_type_Solar_Cell_の数値解析_C言語.c</u> P+P-N-P-P+接合型太陽電池の構造解析 2023年8月22日 4:20 a.m.現在 この C 言語の Code を実行するには下記の補助 データとして txt ファイルが必要です。 { ZAn.txt, ZBn.txt,ZDn.txt,ZEn.txt } { A1.txt, A2.txt, A3.txt,,,, } に出力されます。 計算結果は まず不純物濃度関数 DDDD(X)の Graph Plot は { a.html } に出力されます。 数値計算の結果、電位関数 VVVV(X)の Graph Plot は { b.html } に出力されます。 int NX=1000000,NXM=100,Psub=100,DPP=1000000,DP=10000,DPB=10000000; double Esi=648, kT=0.025, VM=0.55, RPP=0.03, RP=0.2, RN=0.3, XN=0.3, RPB=0.5, XW=4;

この計算結果は B.txt に保存されます。 DN=4124 の時、 XM=0.58935µm VM=0.507012eV となります。 DN=4400 の時、 XM=0.58735µm VM=0.538112eV となります。 DN=4700 の時、 XM=0.58611µm VM=0.573492eV となります。



<u>2023_08_08_Double_接合_Pinned_Photodiode型_太陽電池の説明.pdf</u>

<u>2023_08_11_Double_接合_Pinned_Photodiode型_太陽電池_C_Coding.c</u>

Input Data XW=120, Psub(SUB)=-100, DPP(NP1)=-1000000, RPP(RP1)=0.03, DP(NP2)=-10000, RP(RP2)=0.2, RN(RN)=0.3, XN(XN)=0.3: DN(NN)=4000, 4500, 5000

Output Data

 $\label{eq:NN=4000} $VM=0.417368$ $VM+kT*log(DD0/DD)=0.492368$ with kT*log(DD0/DD)=0.075000$ $NN=4500$ $VM=0.502003$ $VM+kT*log(DD0/DD)=0.568268$ with kT*log(DD0/DD)=0.066265$ $NN=5000$ $VM=0.588711$ $VM+kT*log(DD0/DD)=0.648607$ with kT*log(DD0/DD)=0.059896$ $VM=0.588711$ $VM+kT*log(DD0/DD)=0.648607$ $VM+kT*log(DD0/DD)=0.059896$ $VM=0.588711$ $VM+kT*log(DD0/DD)=0.648607$ $VM+kT*log(DD0/DD)=0.059896$ $VM=0.588711$ $VM+kT*log(DD0/DD)=0.648607$ $VM+kT*log(DD0/DD)=0.059896$ $VM=0.588711$ $VM+kT*log(DD0/DD)=0.648607$ $VM+kT*log(DD0/DD)=0.059896$ $VM=0.588711$ $VM+kT*log(DD0/DD]=0.648607$ $VM+kT*log(DD0/DD]=0.059896$ $VM=0.588711$ $VM+kT*log(DD0/DD]=0.588711$ $VM+kT*log(DD0/DD]=0.588711$ $VM+kT*log(DD0/DD]=0.588711$ $VM+kT*log(DD0/DD]=0.588711$ $VM+kT*log(DD0/DD]=0.598711$ $VM+kT*log(DD0/DD]=0.59871$ $VM+kT*log(DD0/DD]$







January 2023 O IEEE Electron Devices Society Newsletter

P+PNPP+ Double Junction Pinned Photodiode type Solar Cell





In this KODAK Pinned Photodiode IEDM1984 Paper, the Quantum Efficiency of 80% has been already achieved !

ABSTRACT

A pinned photodiode has been developed for use in an interline-transfer CCD. This photoelement has excellent blue response and high charge capacity. Both modeling and experimental results will be presented, including process considerations necessary to avoid unwanted barriers at the diode/transfer-gate edge.

CONCLUSION

Both the excellent blue response and high charge capacity of the pinned diode have been demonstrated. The processing of this device requires some care, however, to avoid the formation of potential barriers at the pinned diode/transfergate edge. This photoelement is ideal for applications requiring good blue response, large dynamic range, and no image lag. The processing considerations should also apply to the virtual-phase CCD.



Fig. 2. Pinned diode doping profile.

<u>隣接するP++ Channel Stop領域</u>の濃度は非常に濃い、RC 遅延はほぼゼロにできる。

Heavily Doped P++ Channel Stops



January 2023 O IEEE Electron Devices Society Newsletter

Virtual_Phase_Clock_Operation_Scheme_became_possible_by_Pinned_Photodiode.pdf



kT = 0.025 eV

$$\varepsilon_{si} = 648 \text{ e}/(\text{volt} \cdot \mu \text{ m})$$

P_{sub} = 10¹⁴ cm⁻³
Dpp = 10¹⁸ cm⁻³
Dp = 10¹⁶ cm⁻³
Qn = Wn Dn
Dn = 4 x 10¹⁵ cm⁻³
Wn = Qn/Dn= 0.53 μ m
2023年8月17日のビデオ解説
Pinned_Photodiode_type_Solar_Cell_の数値解析.mp4
Pinned_Photodiode_type_Solar_Cell_の数値解析.mp4
Pinned_Photodiode_type_Solar_Cell_の数値解析.cm54

Virtual_Phase_Clock_Operation_Scheme_became_possible_by_Pinned_Photodiode.pdf



=
$$0.025 \text{ eV}$$

= $648 \text{ e/(volt} \cdot \mu \text{ m})$
= 10^{14} cm^{-3}
= 10^{18} cm^{-3}
= 10^{16} cm^{-3}
= 10^{16} cm^{-3}
= $Wn Dn$
= $4 \times 10^{15} \text{ cm}^{-3}$
= $Qn/Dn = 0.53 \mu \text{ m}$
= $2023 \pm 8 \pm 10^{17} \pm 10$

Pinned Photodiode type Solar Cell の数値解析の解説ビデオ 2023 08 17.mp4

 $V_m \sim kT \ln(D_{pp}/D_p) + (1 + D_p/D_n) * Q_n^2/(2 D_p \varepsilon_{si})$





$$\mathbf{Q}_{pp} = 2.7 \times 10^{12} \text{ cm}^{-2}$$

$$kT = 0.025 \text{ eV}$$

 $\varepsilon_{si} = 648 \text{ e}/(\text{volt} \cdot \mu \text{ m})$

$$P_{sub} = 10^{14} \text{ cm}^{-3}$$

$$Dpp = 10^{16} \text{ cm}^{-3}$$

$$Dp = 10^{16} \text{ cm}^{-3}$$

$$Qn = Wn Dn$$

$$Dn = 4 \times 10^{15} \text{ cm}^{-3}$$

$$Wn = Qn/Dn = 0.53 \mu \text{ m}$$

 $V_m \sim kT \ln(D_{pp}/D_p) + (1 + D_p/D_n) * Q_n^2/(2 D_p \epsilon_{si})$



$$\mathbf{Q}_{p} = 2.7 \times 10^{11} \text{ cm}^{-2}$$

kT = 0.025 eV $\varepsilon_{si} = 648 \text{ e}/(\text{volt} \cdot \mu \text{ m})$ $P_{sub} = 10^{14} cm^{-3}$ $Dpp = 10^{18} cm^{-3}$ $Dp = 10^{16} cm^{-3}$ $\mathbf{Qn} = \mathbf{Wn} \, \mathbf{Dn}$ $Dn = 4 \times 10^{15} cm^{-3}$ $Wn = Qn/Dn = 0.53 \mu m$

 $V_m \sim kT \ln(D_{pp}/D_p) + (1 + D_p/D_n) * Q_n^2/(2 D_p \epsilon_{si})$



Virtual_Phase_Clock_Operation_Scheme_became_possible_by_Pinned_Photodiode.pdf



P+P-N-P-P+接合型太陽電池の構造解析

2023年8月17日 22:30 p.m.現在



Step One : 不純物濃度分布関数 ddd(X) を定義して、バリア電圧関数 WWW(X) の値を求める。

(00) 区間 [0, WX] の範囲で、関数 ddd(X) の値を定義する。

(01) X=XW; Compute ddB=ddd(X); (02) X=0; Compute ddS=ddd(X); (03) Set WWW=100 and dWdX=0; (04) if(D(X)<Psub) { Compute WWW=kT*log(ddS/ddd(X)) ; (05) Compute dWdX = - kT*(dD(X)/dx)/ddd(X) ;} (06) X=X+dX; (07) if(X>XW) goto (11) (08) goto (03);

int NX=1000, i, Psub=100, DPP=1000000, DP=10000, DN=4400, DPB=10000000;

```
double kT=0.025, RPP=0.03, RP=0.3, RN=0.3, XN=0.3, RPB=0.5, XW=10;
```

```
double dx,X,ddS,ddB,ddd,WWW,dWdX;
```


void DOPE(void) { ddd = - Psub - DPP*exp(-X*X/RPP/RPP)

- DP*exp(-X*X/RP/RP)
- + DN*exp(-(XN-X)*(XN-X)/RN/RN)
- DPB*exp(-(XW-X)*(XW-X)/RPB/RPB); }

void Barrier(void) { DOPE(); WWW = 1 + ddd/Psub;

if(WWW < 0) { WWW=100; return;}

WWW=kT*log(- ddd/Psub); }

void DWDX(void) { Barrier();if(WWW > 99) { dWdX=0; return;}

dWdX = 2*DPP*X*exp(-X*X/RPP/RPP)/RPP/RPP

+ 2*DP*X*exp(-X*X/RP/RP)/RP/RP

- 2*DN*(XN-X)*exp(-(XN-X)*(XN-X)/RN/RN)/RN/RN

+ 2*DPB*(XW-X)*exp(-(XW-X)*(XW-X)/RPB/RPB)/RPB/RPB;

DOPE();dWdX = -kT*dWdX/ddd;}

Step Two : VM1<VM<VM2 と XM1<XM<XM2 の範囲で最適解を求める。

- (11) Find 0<XPN<XM1 such that D(XPN)=0; (12) Find XM2<XNP<XW such that D(XNP)=0;</pre>
- (13) VM=VM1; (14) X=XM1; (15) Compute V(X) ; (16) Compute dV(X)/dx ; (17) Check if (dV(X)/dx == dW(X)/dx)) (18) if yes, goto (21); (19) X=X-dx; (20) if(X>0) goto (13); (21) Error_Stop; (22) VM1=Vm-V(X)+W(X); (22) V1=V:
- (23) X1=X;



double XPN,XNP;



Step Three : 不純物濃度分布関数 D(X) と求めた電圧関数 V(X)を出力する。

(40) Printout XM,VM1,VM2; (41) for 0<X<XW plot D(X),V(X): (42) Stop;

> 求めた電圧関数 V(X)の値をさらに精度を高める。 Over-relaxation Method を使って反復計算する。 そして最終結果として、0<X<XW の範囲で ポアソンの微分方程式を各点Xで満足している事を 数値計算で正確に計算して、確認する。

Step Three までで既に正確な数値解 V(X)が求まっている。

0 < X < XW の全範囲で 次の微分方程式の誤差 ERROR(X) = 0 になっておれば良い。

 $ERROR(X) = (\epsilon si) d2V(X)/Dx2 + \{ D(x) - D(0) exp(- V(x)/kT) \};$



P+PNPsubP+ Double Junction Pinned Photodiode type Solar Cell

Physical Model of Metal

 $Al + tw \rightarrow Al + e + tw'$ $(tw - tw') = W + \int wv^{e}$ he we zrd c- 2d

Physical Model of N-type Semiconductor

AP E.	$A_{s} \rightarrow A_{s}^{+} + e^{-1}$
Si-astul	Phisical Madel Gree Electron of N-type Semicondutor





Physical Model of Metal







P+PNPsubP+ Double Junction Pinned Photodiode type Solar Cell

Physical Model of Metal



Physical Model of N-type Semiconductor

As at the Chert of As a Ast te (Ast) Gi-astul From Ev Physical Model Grace closter of N-type Semicodulor
--





P+PNPsubP+ Double Junction Pinned Photodiode type Solar Cell

Physical Model of Metal



Physical Model of N-type Semiconductor









Conventional Floating-Surface N+NPsubP+ Single-Junction type Solar Cell

P+PNPsubP+ Double Junction Pinned Photodiode type Solar Cell















ない、以下の数字で取住計算を始みました。 D(x)=-Psul - Depeny (- X2) "Dy sup (- X -) + Dr sup (- (X - X o))

Input Data

XW=120, Psub(SUB)=-100, DPP(NP1)=-1000000, RPP(RP1)=0.03, DP(NP2)=-10000, RP(RP2)=0.2, DN(NN)=4000, RN(RN)=0.3, XN(XN)=0.3:

数值計算結果

For WF=20.000000 SUB=-100 NN=4000 RN=0.300000 XN=0.300000

NP1=-1000000 NP2=-10000 NP3=-1000000 NP4=-10000

RP1=0.030000 RP2=0.200000 RP3=0.030000 RP4=0.200000,

the minimum voltage is VM=0.417368 volt

at the silicon depth XM=0.555288 μm.

Depletion Width from the Silicon Surface (X=0) is

between XD1=0.053248 μm and XD2=2.986668 μm



あび、以下の数字で取住計算を始みましたの D(x)=-Psuk - Dppeny (- X2) = Dy eng (- X -) + Dr eng (- (X - Xo)) **Input Data**

XW=120, Psub(SUB)=-100, DPP(NP1)=-1000000, RPP(RP1)=0.03, DP(NP2)=-10000, RP(RP2)=0.2, RN(RN)=0.3, XN(XN)=0.3: DN(NN)=4000, 4500,5000

$$\label{eq:NN=4000} \begin{split} NN=&4000 \ \ VM=&0.417368 \ \ VM+kT*log(DD0/DD)=0.492368 \ with \ kT*log(DD0/DD)=0.075000 \\ NN=&4500 \ \ VM=&0.502003 \ \ VM+kT*log(DD0/DD)=0.568268 \ with \ kT*log(DD0/DD)=0.066265 \\ NN=&5000 \ \ VM=&0.588711 \ \ VM+kT*log(DD0/DD)=0.648607 \ with \ kT*log(DD0/DD)=0.059896 \end{split}$$



NN=4000 VM=0.417368 VM+kT*log(DD0/DD)= 0.492368 with kT*log(DD0/DD) = 0.075000 NN=4500 VM=0.502003 VM+kT*log(DD0/DD)= 0.568268 with kT*log(DD0/DD) = 0.066265 NN=5000 VM=0.588711 VM+kT*log(DD0/DD)= 0.648607 with kT*log(DD0/DD) = 0.059896



UNE 2023 \\\ VOL 1, NO. 1 ISSN 2832-7683 \\\ EDS IEEE ORG

TETE ELECTRON ELECTRON Devices Magazine





FIGURE 6. The famous Transistor Three: William Shockley (seated), Walter Brattain (right), and John Bardeen (left). (Source: Alcatel-Lucent; used with permission.)

75th Anniversary of the Transistor

ØIEEE

The People Behind





Alfred Urquhart MacRae (1932-2023)



Gordon Moore (1929-2023)

2023年8月13日

萩原良昭

韓国や中国や台湾企業にも、半導体デバイス物理をたしなう技術者や科学者もいると思います。この程度の内容は、 彼らにも簡単に製造パラメーターをはじき出せる実力があります。製造の Know-How等は なかなか特許出願が 困難です。しかし出願された公開特許や学術論文をヒントにして競合他社も追従します。独自に製造方法を彼らも いずれは発見します。それは時間の問題です。特許出願と権利化で最終的にビジネスを阻止する事が期待されます。 逆に、特許の明細文の中に製造の詳細パラメーターを開示し公開PRして、特許知財権を行使する戦略もありです。

<u>2023_08_13_Double_接合_Pinned_Photodiode型_太陽電池_C_Coding.c</u>

<u>2023_08_13_Double_接合_Pinned_Photodiode型_太陽電池の説明.mp4</u>



従来のN+P接合Diode型太陽電池



P+P-N-P-P+ 接合型Diode JPA2020-131313









<u>2023_08_08_Double_接合_Pinned_Photodiode型_太陽電池の説明.pdf</u>

<u>2023_08_11_Double_接合_Pinned_Photodiode型_太陽電池_C_Coding.c</u>

Input Data XW=120, Psub(SUB)=-100, DPP(NP1)=-1000000, RPP(RP1)=0.03, DP(NP2)=-10000, RP(RP2)=0.2, RN(RN)=0.3, XN(XN)=0.3: DN(NN)=4000, 4500, 5000

Output Data

 $\label{eq:NN=4000} $VM=0.417368$ $VM+kT*log(DD0/DD)=0.492368$ with kT*log(DD0/DD)=0.075000$ $NN=4500$ $VM=0.502003$ $VM+kT*log(DD0/DD)=0.568268$ with kT*log(DD0/DD)=0.066265$ $NN=5000$ $VM=0.588711$ $VM+kT*log(DD0/DD)=0.648607$ with kT*log(DD0/DD)=0.059896$ $VM=0.588711$ $VM+kT*log(DD0/DD)=0.648607$ $VM+kT*log(DD0/DD)=0.059896$ $VM=0.588711$ $VM+kT*log(DD0/DD)=0.648607$ $VM+kT*log(DD0/DD)=0.059896$ $VM=0.588711$ $VM+kT*log(DD0/DD)=0.648607$ $VM+kT*log(DD0/DD)=0.059896$ $VM=0.588711$ $VM+kT*log(DD0/DD)=0.648607$ $VM+kT*log(DD0/DD)=0.059896$ $VM=0.588711$ $VM+kT*log(DD0/DD]=0.648607$ $VM+kT*log(DD0/DD]=0.059896$ $VM=0.588711$ $VM+kT*log(DD0/DD]=0.588711$ $VM+kT*log(DD0/DD]=0.588711$ $VM+kT*log(DD0/DD]=0.588711$ $VM+kT*log(DD0/DD]=0.588711$ $VM+kT*log(DD0/DD]=0.598711$ $VM+kT*log(DD0/DD]=0.59871$ $VM+kT*log(DD0/DD]$







P+PN-PP+ Double junction Pinned Photodiode Type Solar Cell




















Step 12 SiO2 Contact Windows



Step 13 Metal Wire













MP4 Video on

Complete Charge Transfer Operation of Pinned Photodiode

<u>Virtual_Phase_Clock_Operation_Scheme_became_possible_by_Pinned_Photodiode_invented_by_Hagiwara_in_1975.mp4</u>

Virtual_Phase_Clock_Operation_Scheme_became_possible_by_Pinned_Photodiode_invented_by_Hagiwara_in_1975.pdf

See three Japanese patent applications filed by Hagiwara in 1975 JPA1975-127646, JPA1975-127647 and JPA1975-134985.



The 1975 Invention of Pinned Photodiode hinted the 2020 invention of

P+PNPP+ Double Junction Pinned Photodiode type Solar Cell











Double 接合Pinned Photodiode型太陽電池の製造プロセス Step06



Double 接合Pinned Photodiode型太陽電池の製造プロセス Step07













Double 接合Pinned Photodiode型太陽電池の製造プロセス Step02



P+P-N-P-P+ 接合型Diode

JPA2020-131313



 $Q_n = 2.1 \times 10^{11} \text{cm}^{-2}$





Double 接合Pinned Photodiode型太陽電池の製造プロセス Step06



P+P-N-P-P+ 接合型Diode

JPA2020-131313



 $\mathbf{Q}_{p} = 2.7 \times 10^{11} \text{ cm}^{-2}$ (WA) + (NA) ang (- KAN) 2312 0 10 mar3) Que ((WW) 44 (- We) de = 2 (NW) (Ro) Res 0.3 -) AL = (1. 0012) (Nic) (Rile (0. 0002) (10 (2-3) (0.3 x10 (m)) 4/1- \$ 5:00 mbd . Qa = (0.8562) (0.5) (10 m) em-2 Quer stax 10 cont 202年日第日日日 (2. 478)(100) 20-1 生活日行



Double 接合Pinned Photodiode型太陽電池の製造プロセス Step07



P+P-N-P-P+ 接合型Diode

JPA2020-131313



 $\mathbf{Q}_{pp} = 2.7 \times 10^{12} \text{ cm}^{-2}$

1° (RW) -> (NW) ang (- (RW) (- 12 10: 2 cm2) QUE S (WHIC) and (- x2) dx = UM (NUL) (LU) Rue P. 03,00 Gase (0. 8862) (Nue) (Rue) = (0.380) (1) (0.03×10) White Silents !! Que = (0.4800) (0.00) (1015 cm-2 2029 4 = == (64 = (158) (10 0) cm-L 患而达 Q11=2.158×10

P+P-N-P-P+ 接合型Diode JPA2020-131313 側面に電界が不在である。側面リーク電流がない。 取り出しN+領域の面積をさらに極力小さくできる。 これは製造上MUSTの条件である。 従来のN+P接合型よりはるかに致命的なリーク問題がない。 Load SiO2 **SiO2** $P+(1 \times 10^{18} \text{ cm}^{-3})$ 18 -3 $P+(1 \times 10^{10} \text{ cm})$ N+**P-** $(1 \times 10^{16} \text{ cm}^{-3})$ **P-** $(1 \times 10^{16} \text{ cm}^{-3})$ **N-** $(4 \times 10^{15} \text{ cm}^{-3})$ **P-** $(1 \times 10^{14} \text{ cm}^{-3})$ $P+(1 \times 10^{18} \text{ cm}^{-3})$













January 2023 O IEEE Electron Devices Society Newsletter

P+PNPP+ Double Junction Pinned Photodiode type Solar Cell



THE PINNED PHOTODIODE FOR AN INTERLINE-TRANSFER CCD IMAGE SENSOR B. C. Burkey, W. C. Chang, J. Littlehale, T. H. Lee, T. J. Tredwell, J. P. Lavine, E. A. Trabka Research Laboratories, Eastman Kodak Company Rochester, New York 14650 CH2099-0/84/0000-0028 \$1.00 © 1984 IEDM 28 - IEDM 84

KODAK used LOCOS isolation which induced serious dark current and crystal defects degrading chip yield.



Image cell schematic. Fig. 1.

1.17µm SiO2

Si substrate

900

000

In this KODAK Pinned Photodiode IEDM1984 Paper, the Quantum Efficiency of 80% has been already achieved !

ABSTRACT

A pinned photodiode has been developed for use in an interline-transfer CCD. This photoelement has excellent blue response and high charge capacity. Both modeling and experimental results will be presented, including process considerations necessary to avoid unwanted barriers at the diode/transfer-gate edge.

CONCLUSION

Both the excellent blue response and high charge capacity of the pinned diode have been demonstrated. The processing of this device requires some care, however, to avoid the formation of potential barriers at the pinned diode/transfergate edge. This photoelement is ideal for applications requiring good blue response, large dynamic range, and no image lag. The processing considerations should also apply to the virtual-phase CCD.



Fig. 2. Pinned diode doping profile.

Q1. 「P+チャネルストップ」とおっしゃっているP+は、ウェハの裏面のP+のことですね?



Figure 5: (a) PNP double junction PPD developed by Hagiwara team at Sony in 1978; (b) PPD defined and shown by Semiconductor History Museum

January 2023 O IEEE Electron Devices Society Newsletter

P+P-N-P-P+ 接合型Diode

JPA2020-131313



CHRONOLOGY OF SILICON-BASED IMAGE SENSOR DEVELOPMENT

Yoshiaki Daimon Hagiwara, IEEE Life Fellow Sojo University, Kumamoto-city, Japan



Figure 1: The drift-field transistor for high frequency operations, invented by Herbert Kroemer in 1953.



Figure 2: Reproductions from the Japanese Patent Applications of (a) the N+N-P+NP-P triple junction PPD, (b) the N+N-P+N double junction PPD, and (c) the PNP double junction PPD.

22 IEEE Electron Devices Society Newsletter O January 2023









SiO2

SiO2

N H

P

N

Psub





P+

Double 接合Pinned Photodiode型太陽電池の製造プロセス Step05





SiO2

D

Psub

N

SiO2











(8) Double 接合Pinned Photodiode型太陽電池の製造プロセス Step08

	Contact W	indows M	ask 04
SiO2			
SiO2	P N	Psub	P+
SIO2			



P+

Double 接合Pinned Photodiode型太陽電池の製造プロセス Step05





表面N+領域形成 Mask 02

N

Psub

N +

SiO2

SiO2



Double 接合Pinned Photodiode型太陽電池の製造プロセス Step08 (8)

Contact Windows			Mask 04	
SiO2				
SiO2 P+ P	N	Psub	P+	

(9) Double 接合Pinned Photodiode型太陽電池の製造プロセス Step09

	wieta	Patterning	Mask 05	
SiO2	N+			
SiO2	. P	N	Psub	P+



Mask 04

P+

Double 接合Pinned Photodiode型太陽電池の製造プロセス Step05





(5)

Double 接合Pinned Photodiode型太陽電池の製造プロセス Step05

表面M	1+領知	我形成 🐧	Aask 02		
SiO2	N+				
SiO2			I	Psub	P+



Double 接合Pinned Photodiode型太陽電池の製造プロセス Step06



●SiO2を熱酸化膜で形成する場合の問題点

熱酸化膜の場合、初期のシリコン層を浸食(酸化)して削り取ります。

シリコンが消費されることは、折り込む必要がある。

また、SiO2で熱酸化するとP領域は恐らくは多少のパイルアップなどで、 SiO2とP領域の界面に、P(ボロン)が溜まる。(この現象がボロンで 顕著である。P+P濃度プロファイルに形成に非常に敏感である。 逆にこの詳細DATAが製造 Know-Howとして重要である。



●SiO2を熱酸化膜で形成する場合の問題点

まず、熱拡散で表面のN+層と裏面全域にP+層を形成する。 次に表面に薄いSiO2で熱酸化膜で形成してから N層をイオン打ち込みで形成する。 さらに薄い薄いSiO2を0.3 μmほどの厚さで形成してボロンを打ち込む。

53%のボロンがSiO2内にあり、それをSiO2膜と一緒に除去して、 酸化膜をシリコン表面にボロンの濃度のピーク値をもってくる。








Type (B3) Active Pixel Backlight CMOS Image Sensor with the N+ diffusion buffer memory for Global Shutter



いろいろなタイプのイメージセンサー





Potential drop (0<V1<V2) in the surface P+ region gives a bult-in electric field in the N-region which accelerates photo electrons to the N+ outlet diffusion region.

Exact Numerical Computer Simulation of Charge Transfer Action in Buried Channel CCD presented in ISSCC1974 by Yoshiaki Daimon-Hagiwara



for details see the PhD Thesis by Yoshiaki Daimon-Hagiwara on June 1975 from Caltech.

Caltech 1975 PhD Thesis Yoshiaki Daimon Hagihara.pdf

Foveon X3 sensor





Red Output

The P+P-N-P-P+ double junction type Solar Cell may have much higher efficiency





https://en.wikipedia.org/wiki/Drift-field_transistor

The drift-field transistor, also called the drift transistor or graded base transistor, is a type of high-speed bipolar junction transistor having a doping-engineered electric field in the base to reduce the charge carrier base transit time.

Invented by Herbert Kroemer at the Central Bureau of Telecommunications Technology of the German Postal Service, in 1953, it continues to influence the design of modern high-speed bipolar junction transistors.

Early drift transistors were made by diffusing the base dopant in a way that caused a higher doping concentration near the emitter reducing towards the collector.





Triple Junction Solar Cell with Wide Band Gap Compound Semiconductors achieved ~39% Quantum Efficiency

https://en.wikipedia.org/wiki/Shockley%E2%80%93Queisser_limit



https://en.wikipedia.org/wiki/Shockley%E2%80%93Queisser_limit



The Shockley–Queisser limit only applies to conventional solar cells with a single p-n junction; solar cells with multiple layers can (and do) outperform this limit, and so can solar thermal and certain other solar energy systems. In the extreme limit, for a multi-junction solar cell with an infinite number of layers, the corresponding limit is 68.7% for normal sunlight,^[4] or 86.8% using concentrated sunlight^[5] (see solar cell efficiency).



Potential drop (0<V1<V2) in the surface P+ region gives a bult-in electric field in the N-region which accelerates photo electrons to the N+ outlet diffusion region.





https://en.wikipedia.org/wiki/Shockley%E2%80%93Queisser_limit



ATDC 220216 html

<u>AIFS_250510.11(1111</u>			
	AIPS_211107.html	AIPS_210301.html	AIPS_200627.html
AIPS_221231.html		ATDC 210217 html	
AIPS 220823.html	<u>AIPS_210929.ntml</u>	<u>AIP5_210217.111111</u>	<u>AIPS_190925.html</u>
	AIPS_210906.html	<u>AIPS_210215.html</u>	AIPS 190712.html
AIPS_220131.html			
ATDS 211226 html	<u>AIPS_210811.html</u>	<u>AIPS_201209.html</u>	<u>AIPS_181129.ntml</u>
<u>AIF5_211220.11(1111</u>	AIPS 210404.html	AIPS 200627.html	AIPS 090628.html
AIPS_211206.html			

Return to Top Home Page of Yoshiaki Hagiwara (AIPS)

http://www.aiplab.com

太陽光発電池と蓄電池を支える半導体技術

参考文献

萩原良昭

Publication_List_by_Yoshiaki_Hagiwara.html

https://www.sangyo-times.jp/article.aspx?ID=5331

Sangyo-Times.jp/article_ID=5331_(PDF)

"Chronology_of_Silicon-based_Image_Sensor_development"- Y. D. Hagiwara.pdf

https://eds.ieee.org/images/files/newsletters/Newsletter_Jan23.pdf

ICCCAS2023 Conference paper on "AIPS with Pinned Buried Photodiode used for Robot Vision and Solar Cell Panel"

ICECET2021_Paper61_html ICECET2021_Paper75_html

P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.pdf

P2021_IJSSA2021_Paper_20210616_on_Electrostatic_and_Dynamic_Analysis_of_Pinned_Photodiodes.html

P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf

EDTM2020_Paper_on_the P+PN+P Junction Pinned Photodiode and Schottky Barrier Photodiode.html

P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf