

## インターライン転送方式CCD撮像素子

狩野端夫 安藤哲雄 萩原良昭 橋本武夫

ソニー株式会社厚木工場 半導体事業部

## 〔1〕まえがき

固体撮像素子の開発は、ホームビデオ用の固体カラーカメラを旨とし、各社で盛んに行われている。しかしこの実現の為に、素子製作の各工程に於ける完全性の確立、カラーカメラ撮像素子としての十分な仕様、光学系を含めたカメラシステムの低価格化等を総合的に検討しなければならない。

当社はこれ迄に、いくつかのCCD撮像素子を開発し、報告を行った。(1-7)今回報告するものは、一昨年報告した「高密度構造インターライン転送方式CCD撮像素子」<sup>(6)</sup>の第2報で、以前の素子に設計上及び製作上改善を加え、この素子による2チップカラーカメラを試作したので報告する。

本報告では、最初に撮像素子の設計、試作上の諸問題に関して述べ、その後この高密度構造インターライン転送方式CCD撮像素子の構造、製作条件、素子特性、カラーカメラの撮像特性について述べる。

## 〔2〕撮像素子の設計、試作上の諸問題

固体カラーカメラ用撮像素子を開発する上で次のような点を考慮して設計、試作をしていく必要がある。

イメージフォーマットの選定； カラーカメラ用撮像素子として必要な性能、ホトリソグラフィの技術レベル、カメラの小型軽量化を考慮し選定しなければならない。

解像度； ホームビデオ用カラーカメラとしての解像度は280本程度が必要と考えられる。この為には、絵素数は380以上必要となり、ホトリソグラフィの技術レベル、イメージフォーマット、信号処理システムを考慮しなければならない。

感度； 最低被写体照度は100Lx以下を目ざす必要があると思われるが、この為には、

有効受光面積を大きくし、量子効率を上げる必要があり、又ノイズ軽減も重要である。(電荷のトラッピングノイズ、出力部での熱雑音、回路系のノイズの低減)

ブルーミング及びスマア対策； 固体撮像素子では、ブルーミング及びスマア現象が大きな問題で、この対策としてオーバーフロードレインを入れるとか、素子構造上の工夫が必要である。しかしこれらの対策は、ホトリソグラフィ上の問題による画像欠陥の多発、有効受光面積の減少と関連してくるので総合的に考えてゆく必要がある。

暗電流； カラーカメラの使用温度範囲を広げる為にも、又ノイズを減らして感度を上げる為にも暗電流を減少させることが重要である。この為にはSi-SiO<sub>2</sub>界面単位密度を低減させるプロセスの開発、Si基板内部の少数キャリアのライフタイムを上げる対策、更に素子構成上の工夫が必要である。

画像欠陥； 画像欠陥には、白点、白線、黒点、黒線、感度ムラ等がある。このうち白点は結晶欠陥に起因するもので、Si基板それ自体の検討、素子製作過程で発生する結晶欠陥を抑止するプロセスの開発、熱工程数を減らして製作出来る素子構成の工夫等が必要である。他の画像欠陥除去の為、ホトリソグラフィの完全性(無欠陥で正確なパターンニング)と、ポリシリコン膜、酸化膜、拡散、イオン打ち込み、蒸着膜等の完全性(均一性と無欠陥)の探究が必要である。素子の設計に於いては、これらを考慮し、可能なかぎり余裕をもたせなければならない。

## 〔3〕素子構成と構造

今回製作した撮像素子は、 $8.8\text{mm}^{\text{H}} \times 6.6\text{mm}^{\text{V}}$ の2/3吋イメージフォーマットでチップサイズは、 $10.6\text{mm} \times 9.1\text{mm}$ である。

有効絵素数は $245\text{H} \times 492\text{V}$ で両端に、

オブティカルブラックとして、それぞれ  $10^E$  と  $2^E$  をとっている。一絵素のサイズは、 $36 \mu\text{m}^H \times 14 \mu\text{m}^V$  である。水平、垂直シフトレジスタ及びセンサー部はすべて埋め込みチャンネルで構成されており、各シフトレジスタは2層のポリシリコン電極による2相駆動のCCDである。なお有効画角内の各CCDチャンネル間及び各絵素間を分離する部分は、Si基板そのままを使用してチャンネルストップとして用いる。出力部は、通常のフローティングディフュージョンアンプを採用している。

本撮像素子の基本素子構造の詳細を、図1、2に、基本素子の拡大写真を写真1に示す。図1は基本素子の平面構造図である。ホトリソグラフィ上の制限を考慮した上で絵素を高密度に配置すること、工程の簡略化、画像特性の均一性等を考慮して設計した。この特長は、垂直シフトレジスタの転送ゲートをセンサーよりの電荷の転送ゲートと同一構造としたことと、フレーム蓄積を完全に行い、各部の余裕をとる為、センサーよりの電荷の転送方向を斜形にしたことである。二つのポリシリコン電極構造及びチャンネルストップ部が少し複雑な形となっているが素子製作上においては設計ルール及びビット数の同じS.P.SのCCDメモリを作る場合と同程度である。なおこの素子のホトリソグラフィ上の最少寸法は、埋め込みチャンネル用のマスクでオーバーフロドレインとなる部分の  $3 \mu\text{m}$  である。ポリシリコン電極用マスクは、電極間隔が  $4 \mu\text{m}$  で1層と2層目のポリシリコン電極の重ね合せは  $2 \mu\text{m}$  である。センサーと垂直レジスタ間の転送ゲートのチャンネル長は  $4 \mu\text{m}$ 、オーバーフローコントロールゲート部のチャンネル長は  $6 \mu\text{m}$ 、垂直シフトレジスタの蓄積ゲートの面積は  $113 \mu\text{m}^2$ 、センサー部蓄積面積は  $46 \mu\text{m}^2$ 、有効受光面積は  $88 \mu\text{m}^2$  で一絵素面積の17.5%である。

図2は基本素子部の断面構造である。センサー部及び転送ゲート部は垂直シフトレジスタの転送ゲートと同じイオン打ち込み濃度となっており、オーバーフローコントロールゲート部はSi基板のままになっており、各表面(極小)

電位は所定の値となるように各電極のクロック電圧を設定して得られるようになっている。センサー電極はオーバーフローコントロールゲート部と共用で、電極材料はきわめて薄いポリシリコン膜を採用した。このポリシリコンは、ホットシールド用のAlと全面でコンタクトがとられており、薄いポリシリコンの面抵抗が大きくても動作上の問題はない。

#### [4] 撮像素子の製作条件

用いたSi基板は比抵抗  $10 \sim 15 \Omega\text{cm}$  のP型(100)面結晶である。まず始めに、暗電流対策と結晶欠陥の抑止効果を目的とし、Si基板裏面に高濃度のリンを拡散する。次に酸化膜をマスクとして埋め込みチャンネル部とオーバーフロドレイン部に  $2 \times 10^{12} \text{cm}^{-2}$  のリンをイオン打ち込みし、続いてホトレジストをマスクとし  $5 \times 10^{14} \text{cm}^{-2}$  のリンをイオン打ち込みし、オーバーフロドレインを形成する。図3はこのオーバーフロドレインの形成法を示したもので、このようにすることでオーバーフローコントロールゲート長が正確におさえられると同時に画像欠陥の対策ともなっている。次に有効画角の周囲に、高濃度ボロンをホトレジストをマスクとしてイオン打ち込みをし、チャンネルストップ部を形成する。次に  $100 \text{nm}$  のHCl酸化膜と  $80 \text{nm}$  の  $\text{Si}_3\text{N}_4$  膜によってゲート絶縁膜を構成し、面抵抗  $20 \sim 30 \Omega/\square$  の  $500 \text{nm}$  膜厚のポリシリコンを用いてゲート電極を作製する。CCDチャンネル部の転送ゲート及びセンサー部は、1層目のポリシリコンとホトレジストをマスクとして、  $7 \times 10^{11} \text{cm}^{-2}$  のボロンのイオン打ち込みを行う。2層目のポリシリコン電極形成後、出力部MOSTr等のソース、ドレインをイオン打ち込みによるセルフラインで形成する。次に  $50 \text{nm}$  の薄いポリシリコン膜をセンサー電極として形成し、コンタクト窓明けを行った後、配線とホットシールドを兼ねたAl層の電極を形成する。出来上がったSi基板はカッティングした後、24ピンのパッケージに組み込んで、色フィルターを貼合せる。このパッケージにフレア防止板とカバーガラスを乗せて最終的なシールドを行う。

[ 5 ] 素子特性

5-1 ゲート電圧と表面(極小)電位

インターライン転送方式CCD撮像素子に使用されている各ゲートのゲート電圧と表面(極小)電位の関係を図4に示す。

曲線A; センサーゲート

曲線B; 垂直及び水平シフトレジスタの蓄積ゲート

曲線C; 垂直及び水平シフトレジスタの転送ゲート及びセンサー部からの転送ゲート

曲線D; オーバーフローコントロールゲート

曲線E; チャンネルを分離しているチャンネルストップ部の電位

これら5つのゲート電圧と表面(極小)電位の関係より、各シフトレジスタの駆動クロック電圧、オーバーフロードレインを動作させるためのセンサークロック電圧、取り扱い電荷量等が決定される。

5-2 暗電流

撮像素子の暗電流は、Si表面及び内部での熱励起で発生する電荷によるもので、この各部分での電荷発生割合、各電極下の暗電流の比較を目的として、MOSC-T法やゲートコントロールダイオードによる暗電流評価を行った。

図5は各種のゲートコントロールダイオードによって測定した、ゲート電圧に対する暗電流の関係である。図5に示した $J_1 \sim J_4$ は電流密度で次のことを表わしている。

$J_1$ ; 埋め込み層が反転状態となった時の全空乏層巾 $W_1$ より発生するSi内部電流 $J_1(W_1)$ と $N^+-P$ 接合部で発生する電流 $J_j$ との和

$J_2$ ;  $J_1$ とSi表面で発生する電流 $J_s$ との和

$J_3$ ; 埋め込み層の極小電位が、 $N^+-P$ 接合部の電圧 $V_d$ と等しくなった時の全空乏層巾 $W_2$ で発生する電流 $J_3(W_2)$ と $J_s$ と $J_j$ の和

$J_4$ ; 埋め込みチャンネル部空乏層がほぼなくな

り、Si表面電流もなくなった状態の電流でSi基板の空乏層より発生する電流と $J_j$ の和

今、埋め込みチャンネル部の電流を $J_{BB}$ 、Si基板の単位長当りの電流を $J_B$ とすると、上述4つの電流の関係は近似的に次のようになる。

$$J_s = J_2 - J_1 \quad (1)$$

$$J_B = (J_3 - J_2) / (W_2 - W_1) \quad (2)$$

$$J_{BB} \approx (J_3 - J_2) - (J_4 - J_1) \quad (3)$$

一例として、図5のセンサー電極の暗電流より、上述の値を求めると下記のようになる。

$$J_s = 0.46 \text{ nA/cm}^2$$

$$J_B = 0.11 \text{ nA/cm}^2 \cdot \mu\text{m}$$

$$J_{BB} = 0.52 \text{ nA/cm}^2$$

従って、センサーの極小電位が1.5Vとなるような場合の全体の電流 $J_t$ としては次のようになる。

$$J_t = J_B \times 4.5 + J_{BB} + J_s \\ \approx 1.5 \text{ nA/cm}^2$$

なお、実際の素子を暗状態で撮像させた時の出力電圧より換算した暗電流は $1 \sim 2 \text{ nA/cm}^2$ であった。

5-3 分光特性

CCD撮像素子に於いては、短波長感度を向上させることが、一つの大きな課題で、以前に $\text{SnO}_2$ 膜をセンサー電極とした素子を報告したが(6)、今回は極めて薄いポリシリコン膜を使用し、多重干渉効果を利用して短波長感度を上げること成功した。図6はこのセンサーの分光感度特性である。曲線Aは、 $1000^\circ\text{C}$ で $\text{N}_2$ アニールを行っただけのもので、曲線Bは、 $1000^\circ\text{C}$ の酸素雰囲気中、わずかに酸化したものである。

5-4 画像欠陥

製作した素子の画像欠陥の主なものとしては白点、白線、黒点、黒線、感度ムラ等がある。

写真2に示したものは黒線欠陥の例である。この原因は(1)垂直シフトレジスタのチャンネルが阻止された場合、(2)垂直シフトレジスタとオーバーフロードレイン間のチャンネル

ストップ部に欠陥があり、電荷が流出してしまう場合、(3) 垂直シフトレジスターとセンサー間の転送ゲート部に欠陥があり、電荷がセンサーへ流れ込み、センサーの取り扱い電荷以上に流れ込むと、更にオーバーフローコントロール部を通りオーバーフロードラインに流れ込む場合とがある。このようにオーバーフロードラインを入れると黒線欠陥の発生率が高くなり製作上難しくなる。

#### 5-5 その他の特性

垂直シフトレジスターの取り扱い電荷量は、 $3.3 \times 10^5 e$  で、出力部の電荷電圧変換利得が  $1.8 \mu V/e$  であるので飽和信号出力電圧は  $600 mV$  である。センサーの取り扱い電荷量はセンサー電圧のクロック振巾で自由に変えられるが、垂直シフトレジスターよりの電荷の逆流を押える意味で、垂直シフトレジスターの取り扱い電荷量の2割減としている。

ブルーミング抑止効果は、センサーの取扱える電荷量の50倍以上あるが、スマアが問題となる。画面全体に約  $3200^\circ K$  の光源より光を入れ、赤外カットフィルターとしてホヤガラス製のCS-500を使用し、コダック社製R、G、B用ゼラチンフィルターを用い、スマア藍を測定した。R光に対しては、約2.5%、G光に対しては約1.3%で、B光に対しては約0.6%であった。

その他、色フィルターを貼合せた場合に、フィルターガラスの端面での光反射によって、画像上にフレアが生じる。この対策としてフレア防止板を入れている。

#### (6) カラーカメラの構成と特性

今回試作したカラーカメラは、RとBの横ストライプ色フィルターを貼合せたR/B用チップとG用チップの2チップを使用した2チップカラーカメラで、以前報告した空間絵素スラン法(5)を採用している。このカメラの構成図を図7に示す。

このカメラの動作条件及び性能は表1に示す。

光蓄積時間	33.3 ms
ラインシフト周波数	15.7 kHz
ラインシフト電圧	8 V <sub>P-P</sub>
読み出し周波数	4.77 MHz
読み出し電圧	10 V <sub>P-P</sub>
センサー電圧	8 V <sub>P-P</sub>
インターレース	2:1
水平解像度	280 TV本
感度：標準被写体照度	50.0 L <sub>x</sub>
	(S/N 43 dB, F2)
最低被写体照度	100 L <sub>x</sub> (F1.6)

表1 カメラの動作条件及び性能

写真3はブルーミング対策効果を示す撮像例である。

#### [7] まとめ

一昨年報告した「高密度構造インターライン転送方式CCD撮像素子に製作のしやすさ及び高感度化を主眼として、設計上及び製作上の改良を加え、2/3吋イメージフォーマットの2チップカラーカメラを試作し所期の結果を得た。

このカラーカメラはブルーミング対策としてオーバーフロードラインが入っており、感度、解像度の点でも十分な性能のものと確信している。

おわりに、本インターライン転送方式CCD撮像素子の開発にあたり、御指導いただいた、川名半導体事業部副長、加藤製造部次長、越智課長、山崎課長、カメラ製作に当られた応用技術1課、マスク製作に当られた試作1課マスクグループ、プロセス技術に関し援助いただいた中研シリコンテクノロジー研究室、撮像素子開発に当られた設計1課、試作2課、試作3課の関係諸氏に感謝の意を表わします。

#### [参考文献]

- (1) 島田、小谷田、岡田、小糸、二神、阿部、安藤、狩野、電子通信学会半導体トランジスター研究会 SSD77-2
- (2) M. Abe, T. Shimada, C. Okada, T. Ando

- Y.Kanoh, T.Hashimoto, H.Yamazaki  
 '77 IEDM Tech. Dig. PP542-545
- (3) 松本、藤井、鈴木、服部、八木、安藤、  
 狩野、越智、電子通信学会半導体トラン  
 ジスタ研究会 SSD77-3
- (4) H.Matsumoto, T.Ando, Y.Kanoh,  
 S.Yamanaka, S.Ochi, '77 ISSCC  
 Dig.Tech. Papers PP28-29
- (5) 島田、林、山崎、橋本、小室、岡次、安井  
 山中、TV学会方式回路研究会 TBS  
 -36-2 (1977.2)
- (6) 岡田、島田、松本、安藤、狩野、糸沢、  
 萩原 電子通信学会半導体トランジスタ  
 研究会 SSD-78-5 (1978.4)
- (7) Y.Daimon-Hagiwara, M.Abe, C.Okada  
 JJAP Vol.18(1978) Supplement  
 18-1 PP335-340

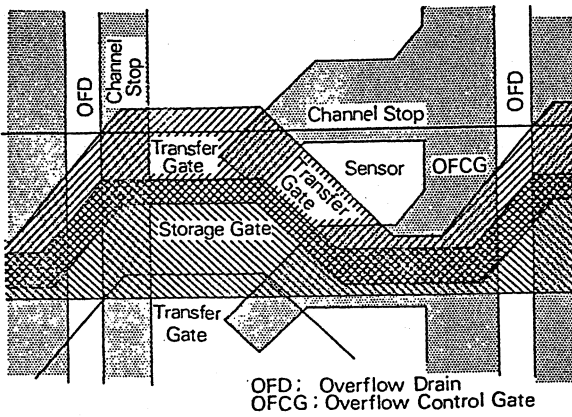


図1 基本素子の平面図

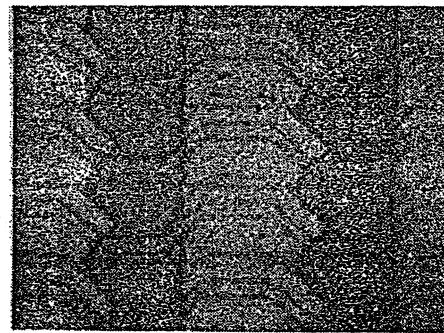


写真1 基本素子部拡大写真

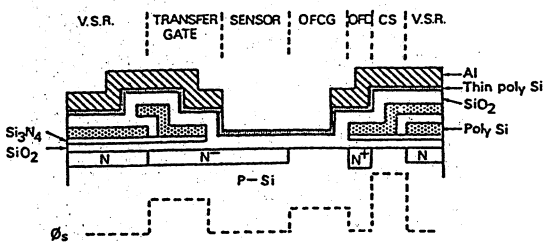
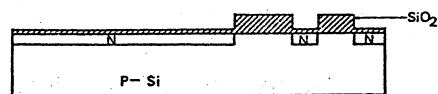


図2 基本素子センサ部断面図

1st step, Buried Channel (Phos. I<sup>2</sup>)



2nd step, Overflow Drain (Phos. I<sup>2</sup>)

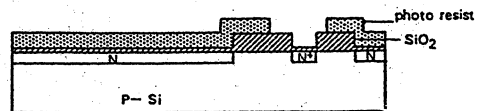


図3 オーバーフロードレインの形成法