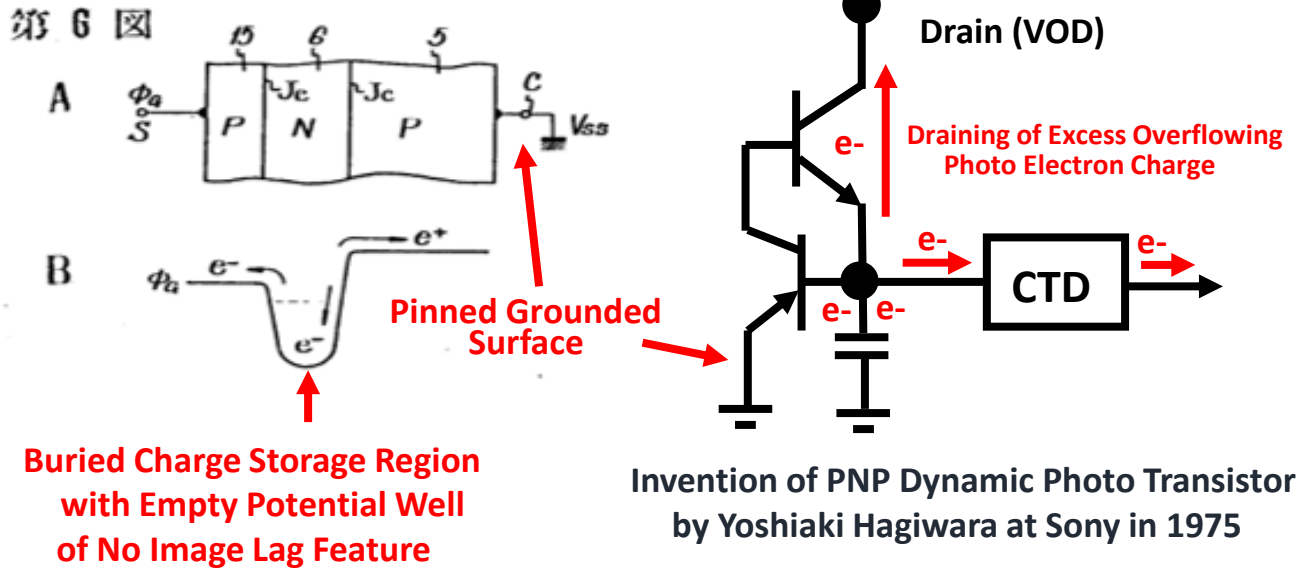


**Japanese Patent Application JPA 1975-134985**  
**applied on November 10, 1975 by Yoshiaki Hagiwara at Sony**  
**on the P+NPNsub triple junction Pinned Buried Photodiode**  
**with the in-pixel vertical overflow drain (VOD).**

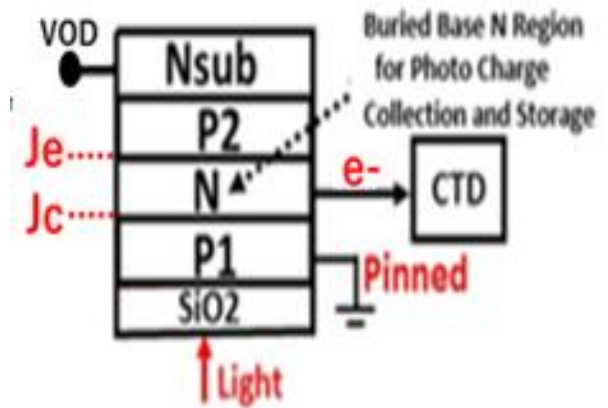
**Fig. 6 of JPA1975-134985**



**Patent Claims of JPA1975-134985**

**特許請求の範囲**

半導体基体に、第 1 導電型の第 1 半導体領域と、之の上に形成された第 2 導電型の第 2 半導体領域とが形成されて光感知部と之よりの電荷を転送する電荷転送部とが上記半導体基体の主面に沿う如く配置されて成る固体撮像装置に於いて、上記光感知部の上記第 2 半導体領域に整流性接合が形成され、該接合をエミッタ接合とし、上記第 1 及び第 2 半導体領域間の接合をコレクタ接合とするトランジスタを形成し、該トランジスタのベースとなる上記第 2 半導体領域に光学像に応じた電荷を蓄積し、ここに蓄積された電荷を上記転送部に移行させて、その転送を行うようにしたことを特徴とする固体撮像装置。



**English Translation of Patent Claims of JPA1975-134985**

“In the semiconductor substrate (Nsub), the first region (P1) of the first impurity type is formed, on which the second region (N) of the second impurity type is formed. The photo charge is stored in the second region (N) and is transferred to the adjacent charge transfer device (CTD). Both are placed along the main surface of the semiconductor substrate. A rectifying (P2/N) emitter junction (Je) is formed on the second region (N) while the (N/P1) collector junction (Jc) is formed by the first region (P1) and the second region (N), forming a photo transistor structure (P2/N/P1) in the substrate (Nsub).”

検索 特許検索

特許・実用新案、発明、商標について、キーワードや番号を入力してください。検索対象は [ここ](#) をご覧ください。  
分類・目次等での詳細な検索をされる場合は、メニューから各検索サービスをご利用ください。

☐ 特許・実用新案 ☒ 特許・実用新案 ☐ 発明 ☐ 商標

☒ 自動絞り込み ?

1975-134985

検索

出願番号 ▲

公開番号 ▲

公告番号 ▲

登録番号 ▲

特願昭50-134985

[特開昭52-058414](#)

[特公昭58-048905](#)

[特許1215101](#)

## Japanese Patent 1975-134985

### Hole Accumulation Diode (HAD)

P+NPNsub junction Dynamic Photo Thyristor type Pinned Photodiode  
with the built-in vertical overflow drain (VOD) function

## PNPN junction Transistor type Pinned Photodiode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

### Patent Claim in English Translation

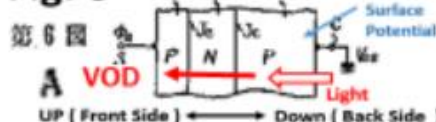
(1) In the semiconductor substrate (Nsub), the first region ( P well ) of the first impurity type is formed, (2) on which, the second region ( N ) of the second impurity type is formed. (3) The charge (e-) from the light collecting part (N) is transferred to the adjacent charge transfer device (CTD). (4) Both are placed along the main surface of the semiconductor substrate. (5) In the solid state image sensor so defined, a rectifying Emitter junction ( Je ) is formed on the second region (N) of the light collecting part (N). And (6) Collector junction ( Jc ) is formed by the second region (N) and the first region (P well), forming a ( PNP ) transistor structure, (7) Photo charge is stored in the Base (N) according to illuminated light intensity and transferred to the adjacent CTD. The solid state image sensor so defined is in the scope of this patent claim.

Fig.6 shows that this is also the invention of the in pixel VOD ( vertical overflow drain).

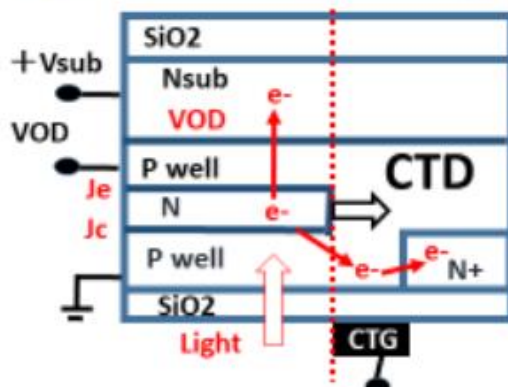
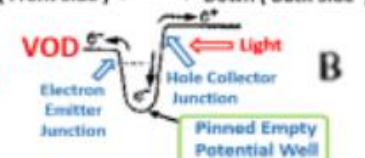
### Japanese Patent 1975-134985

#### Hole Accumulation Diode (HAD)

Fig. 6



Case(1)  
Substrate VOD  
type



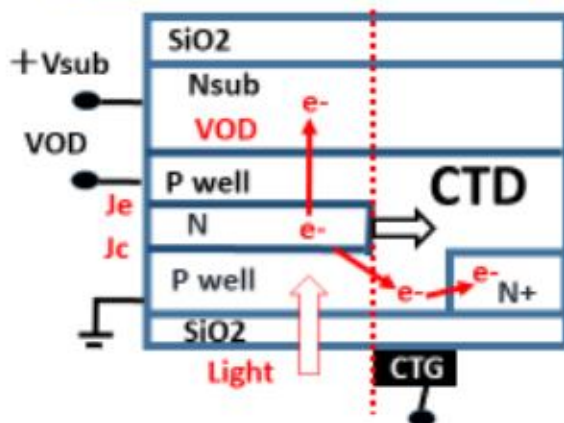
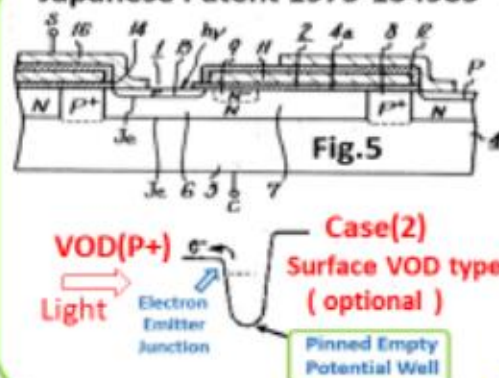
### PNPN junction Transistor type Pinned Photodiode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

(1)半導体基体(Nsub)に、第1電導型の第1半導体領域(P well)と、(2) 之の上に形成された第2導電型の第2半導体領域(N) とが形成されて(3)光感知部(N) と之よりの電荷を転送する電荷転送部(CTD)とが(4)上記半導体基体(Nsub)の主面に沿う如く配置されて成る(5)固体撮像装置に於いて、上記光感知部(N) の上記第2半導体領域(N)に 整流性接合(Je)が形成され、該接合(Je)をエミッタ接合とし、(6)上記第1(P well)及び第2半導体領域(N) 間の接合をコレクタ接合(Jc)とする(PNP)トランジスタを形成し(7) 該トランジスタのベースとなる上記第2半導体領域(N)に光学像に応じた電荷を蓄積しここに蓄積された電荷を上記転送部(CTD)に移行させてその転送を行うようにしたことを特徴とする固体撮像装置。

Japanese Patent 1975-134985



特許公報(B2) 昭58-46905

**Fig.3 Conventional Buried Channel CCD type MOS Capacitor type Photodiode Structure**

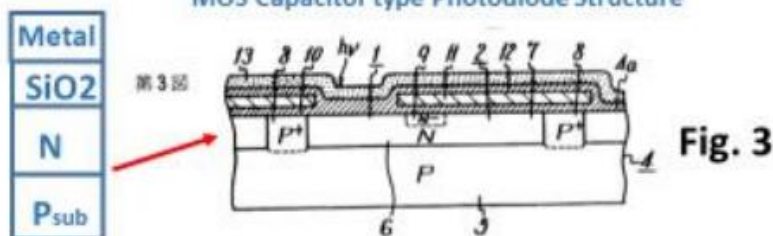
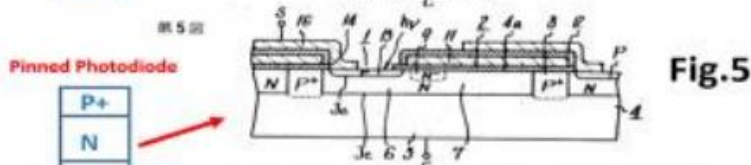
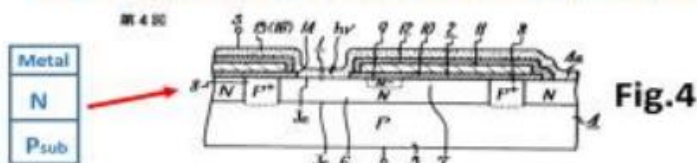


Fig.4 Surface VOD type Schottky Barrier type Photodiode



Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

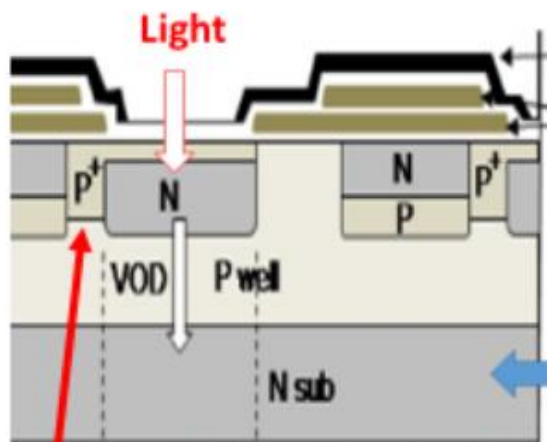


## Definition of Pinned Photodiode

Surface Potential must be directly Pinned by the adjacent channel stop P+ region.  
Otherwise the surface P+ region becomes floating by the RC delay time.  
Though the surface P+ region can be connected by remote P+ channel stops,  
however, it will still have the RC delay time and will be floating and NOT pinned.

### Hole Accumulation Diode (HAD)

### Definition of Sony HAD (PPD+VOD)

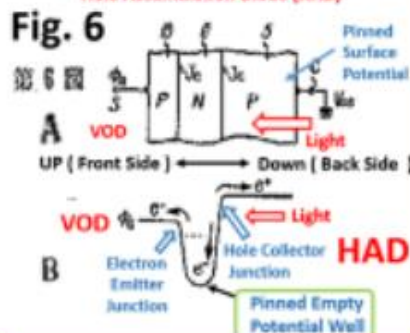


**Pinned Photodiode must have the adjacent P+ channel Stops.**

Japanese Patent 1975-134985

### Hole Accumulation Diode (HAD)

**Fig. 6**

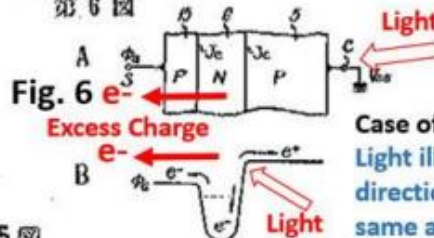


Japanese Patent 1975-134985 defines the P+NP junction type dynamic photo transistor on the substrate (Nsub).

Japanese Patent 1975-134985 by Hagiwara at Sony on Oct 23, 1975.

①特 願 昭50-134985  
 ②出 願 昭50(1975)11月10日  
 ③公 願 昭52-58414  
 ④昭52(1977)5月13日  
 ⑤發 明 查 萩原 良昭

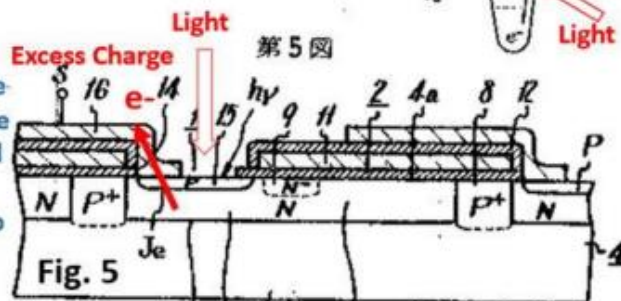
第 6 圖



**Case of Fig. 6**  
Light illumination direction is the same as the excess charge flow. VOD is formed so that the Excess Charge is drained to the Silicon Substrate.

### Case of Fig. 5

Light illumination direction is opposite of the excess charge flow. VOD is formed so that the excess charge is drained to the **Silicon Surface**.



In case of Fig. 5, the P+NP junction type Pinned Photodiode with the surface P+ hole accumulation layer that has a fixed or Pinned surface potential by the external metal Ohmic contact. The Excess charge flow is toward the silicon surface in this case. Light illumination direction is **the opposite** as the excess charge flow in case of Fig. 5.

In case of Fig. 6, Light illumination direction is the same as the excess charge flow. The VOD is formed so that the excess charge is drained to the silicon substrate.

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

# Japanese Patent Application JPA 1975-134985 applied on November 10, 1975 by Yoshiaki Hagiwara at Sony on the P+NPNsub triple junction Pinned Buried Photodiode with the in-pixel vertical overflow drain (VOD).



(4,000円)

## 特 許 願 (1)

昭和50年11月10日

特許庁長官 斎藤英雄 殿

1. 発明の名称 コトイサンゾウソウチ  
固体撮像装置
2. 発明者 ミコヘマ ホド ヤ カリバチヨウ  
住 所 神奈川県横浜市保土ケ谷区狩場町303の159  
カリバダイ  
狩場台アパート402号室
3. 特許出願人 ヘダ ハラ コシ アサ  
氏 名 萩原 良 昭

シナガワ キョウワシヤ  
 東京都品川区北品川6丁目7番35号  
 (218) ソニー株式会社  
 代表者 盛田 昭夫

4. 代理人 西 160

住 所 東京都新宿区西新宿1丁目8番1号 (新宿ビル)  
 TEL東京 (03) 343-5821 (代表)  
 氏 名 (3388) 井堀 伊 藤 真

### 5. 添付書類の目録

- |           |   |   |
|-----------|---|---|
| (1) 明 細 書 | 1 | 通 |
| (2) 図 面   | 1 | 通 |
| (3) 願 書 本 | 1 | 通 |
| (4) 委 任 状 | 1 | 通 |

方式  
 審 査



50 134985

明 細 書

発明の名称 固体撮像装置

### 特許請求の範囲

半導体基体に、第1導電型の第1半導体領域と、  
 之の上に形成された第2導電型の第2半導体領域  
 とが形成されて光感知部と之よりの電荷を転送する  
 電荷転送部とが上記半導体基体の主面に沿う如く  
 配置されて成る固体撮像装置に於いて、上記光感  
 知部の上記第2半導体領域に整流性接合が形成さ  
 れ、該接合をエミッタ接合とし、上記第1及び第  
 2半導体領域間の接合をコレクタ接合とするトラ  
 ンジスタを形成し、該トランジスタのベースとな  
 る上記第2半導体領域に光学像に応じた電荷を蓄  
 積し、ここに蓄積された電荷を上記転送部に移行  
 させて、その転送を行うようにしたことを特徴と  
 する固体撮像装置。

### 発明の詳細な説明

本発明は電荷転送素子(CCD)、特に埋込み  
 チャンネル型CCDを用いた固体撮像装置に係わ  
 る。

① 日本国特許庁

## 公開特許公報

①特開昭 52-58414

④公開日 昭52.(1977) 5.13

②特願昭 50-134985

②出願日 昭50.(1975) 11.10

審査請求 未請求 (全4頁)

庁内整理番号

6940 59  
 6655 57

②日本分類

975D1  
 975J42

⑤ Int. Cl<sup>2</sup>

H04N 5/30  
 H01L 31/00

識別  
 記号

CCDを用いた固体撮像装置としてはフレーム  
 トランスファ方式によるもの、或いはインターラ  
 イントランスファ方式によるものが提案されてい  
 る。

インターライントランスファ方式による固体撮  
 像装置は、第1図に示すように、夫々線素となる  
 光感知部(センサー部)(1)が行(水平)及び列(垂  
 直)方向に夫々複数個配列され、共通の列上の  
 光感知部(1)に関し、共通の垂直シフトレジスタ(2)  
 が設けられている。この垂直シフトレジスタ(2)は  
 CCDよりなり、その電荷転送部が、対応する列  
 上の光感知部(1)に夫々隣合つて設けられる。又、  
 各シフトレジスタ(2)の一端(第1図に於いて下端)  
 には水平シフトレジスタ(3)が設けられ、撮像光学像に  
 応じて各光感知部(1)に生じた電荷を、例えばテレビ  
 ジョン映像に於いては、その帰線消去期間に於い  
 て垂直シフトレジスタ(2)の各転送部に転送し、こ  
 のシフトレジスタ(2)によつてこの電荷を垂直方向  
 に順次シフトして水平シフトレジスタ(3)に転送し、更に  
 この水平シフトレジスタによつて各行の線素に関

# Japanese Patent Application JPA 1975-134985 applied on November 10, 1975 by Yoshiaki Hagiwara at Sony on the P+NPNsub triple junction Pinned Buried Photodiode with the in-pixel vertical overflow drain (VOD).

特開 昭52-58414 (2)

する電荷を水平方向にシフトして出力端子1よりこの電荷に応じた撮像信号を得るようになされている。

このような構成による固体撮像装置の光感知部(1)とこれに隣合う垂直シフトレジスタ(2)の転送部の構造を第2図及び第3図に示す。この例に於いては埋込みチャンネル型CCD構成とした場合で、この場合、半導体基体(4)に、第1の導電型例えばP型半導体領域(5)と、これの上に基体(4)の一面(4a)に臨んで第2の導電型例えばN型の半導体領域(6)とが設けられ、主面(4a)に沿って光感知部(1)とこれに隣合つてシフトレジスタ(2)の各転送部(7)が設けられてなる。(8)は領域(5)と同導電型のチャンネルストッパ領域で、各感知部(1)間、及び各シフトレジスタ(2)間を互に分離するものであり、(9)は領域(6)と同導電型を有するもこれより低い不純物濃度を有し、光感知部(1)とこれに隣合うシフトレジスタ(2)との間に設けられて両者間に電位障壁を形成する為の領域である。

光感知部(1)及び転送部(7)上の、主面(4a)上に

(3)

本発明に於いては、光感知部(1)上の少なくとも受光領域上の絶縁膜(10)及び(11)を除去し、窓(12)を形成すると共に、光感知部(1)の半導体領域(6)上に主面(4a)に臨んで整流性接合Jeを形成する。この接合Jeは例えば第4図に示す如く領域(6)と異なる導電型即ちP型の不純物がドーブされた多結晶シリコン層より成る領域(13)を窓(12)を通じて光感知部(1)の半導体層(6)上に被着生成させてPN接合を形成するようになすこともできるし、或いは第5図に示す如く光感知部(1)の半導体領域(6)上に選択的に領域(6)と異なる導電型の不純物を例えばイオン注入法或いは拡散法によつてドーブし、P型の領域(13)を形成して接合Jeを形成するようになすこともできる。第5図に於いて時は領域(13)の一部にオーミックに被着した電極即ちセンサー電極で、第4図の例では領域(13)自体をいわばセンサー電極とした場合である。

斯くして光感知部(1)に、接合Jeをエミッタ接合とし、半導体領域(5)及び(6)間に形成されるPN接合Jcをコレクタ接合とするトランジスタ、即

(5)

は例えばSiO<sub>2</sub>より成る絶縁膜(10)が被着される。そして、これの上に各シフトレジスタ(2)に対し、その共通の行上の転送部に関して共通に転送電極(11)が延長被着され、この電極(11)上には同様に例えばSiO<sub>2</sub>より成る絶縁膜(12)が被着され、これの上に跨いで特に光感知部(1)上を含んでいわゆるセンサー電極(13)が被着される。この電極(13)は光透過性を有するネサ、或いは不純物が高濃度をもつてドーブされて導電性が付与された多結晶シリコン層より構成される。

このような構成による固体撮像装置の光感知部(1)に対する光は少なくとも電極(13)とこれの下に絶縁膜(12)を通じて与えるので、特に短波長側における感度が低くなる欠点がある。

本発明は上述した欠点を改善した固体撮像装置を提供せんとするものである。

第4図及び第5図を参照して本発明を説明する。之等第4図、第5図に於いて、第2図及び第3図と対応する部分には同一符号を付して重複説明を省略する。

(4)

ち領域(13)、(6)及び(5)を天々エミッタ、ベース及びコレクタの各領域とするPNPトランジスタを構成する。

このような構成に於いて、半導体領域(5)即ちシフトレジスタ(2)の基体領域となり前述のトランジスタのコレクタ領域となる領域(5)の端子Cに正の固定電位、即ち例えば接地電位を与える。一方、受光期間即ちシフトレジスタ(2)に於ける転送期間中にエミッタ領域(13)即ちセンサー電極(13)の端子Sには、接合Jeに逆バイアスを与える所定の負の電位φaを与える。

斯くすると第6図Aに示すPNPトランジスタの断面に於ける電位分布は、第6図Bに示す如くなり、撮像光学像による光照射によつて生じたキャリア即ちホール及び電子のうちホールe<sup>+</sup>は端子C側に流れて消滅するが、電子e<sup>-</sup>はベース領域(6)に蓄積される。この場合、或る量以上の電荷e<sup>-</sup>が蓄積されると接合Jeが順バイアスとなり、この或る量以上の電荷即ち電子はエミッタ側にオーバーフローする。

(6)

# Japanese Patent Application JPA 1975-134985

applied on November 10, 1975 by Yoshiaki Hagiwara at Sony  
on the P+NPNsub triple junction Pinned Buried Photodiode  
with the in-pixel vertical overflow drain (VOD).

そして、この光感知部(1)のベース領域(6)に蓄積された電荷を例えば帯線消去期間に於いてシフトレジスタ(2)の転送部(7)に転送する。この転送は、通常の如くセンサー電極(8)に対し転送電極(11)に所要の負の電位を与えることによつて転送部(7)にポテンシャル井戸を形成してその転送を行う。その後はこのシフトレジスタ(2)に於いて第1図に説明したように各転送部(7)の電荷を垂直方向に順次シフトさせる。このシフトは通常の如く転送電極(11)にクロック電圧を与えて行う。そしてこの間、即ち転送期間中に前述したと同様に撮像光学像による受光をなす。

上述の本発明装置によれば、その光感知部(1)を構成するトランジスタのエミッタ領域(1)に於いて直接的に受光がなされるようになしたので、冒頭に述べたようにセンサー電極を構成する多結晶シリコンを通じて更にその下の絶縁膜を介して受光をなす場合の感度に比し特に短波長側の感度の向上を図ることができるものである。

更に本発明装置によれば、或る以上に生じた電

特開 昭52-58414 (3)

荷をオーバーフローし得るものであるから従来のものようにオーバーフロートレインを特設する必要がなく、更にセンサー電極に与える電位によつてオーバーフローの生じ始める電荷量を調整設定できる利益もある。

尚、接合Jeとしては種々の構成をとり得、ヘテロ接合、ショットキー障壁による構成をとることもできる。又、各部の導電型を図示とは逆導電型とするなど種々の変更をなし得ることは明らかであろう。

図面の簡単な説明

第1図は本発明の説明に供する固体撮像装置の構成図、第2図はその要部の拡大平面図、第3図はそのA-A線上断面図、第4図は本発明装置の一例の要部の拡大断面図、第5図は本発明装置の他の例の要部の拡大断面図、第6図は本発明装置の動作の説明図である。

(4)は半導体基体、(1)は光感知部、(2)はシフトレジスタ、(5)及び(6)は半導体領域、(8)はチャンネルストップパー領域、(9)は障壁領域、(10)はエミッタ領

(7)

(7)

域、(10)はセンサー電極、Je及びJcは接合である。

特許出願人 ソニー株式会社

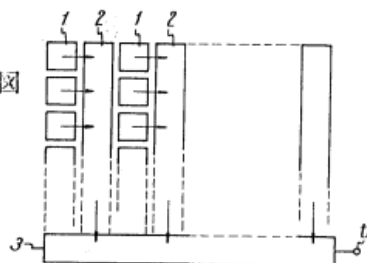
代理人 伊藤



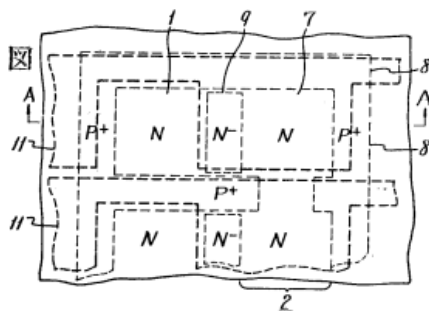
(8)

(8)

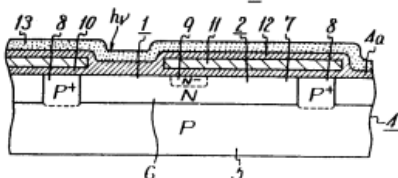
第1図



第2図

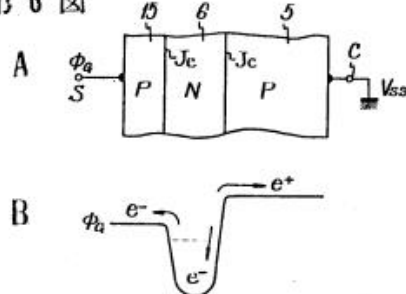


第3図



(9)

特開 昭52-58414(4)





## the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

This is an English translation of the Japanese Patent Claims applied in 1975 by Hagiwara at Sony on the PNP double junction type dynamic photo transistor on the substrate with the P+ Pinned Surface Hole Accumulation Layer with the Vertical Overflow Drain (VOD) function.

In November 1975 Hagiwara proposed the double junction dynamic photo transistor which was later called as Pinned Photodiode by Kodak in 1984 and later also as Sony original Hole Accumulation Diode (HAD).

The main purpose of Hagiwara 1975 invention was the advantageous and excellent features of the short wave blue light sensitivity and the in-pixel built-in vertical overflow drain (VOD) function with no image lag feature.

In the figure 6 of this Japanese Patent Application JPA 1975-134985, Hagiwara drew for the first time in the world the empty potential well, which shows the complete charge transfer capability, the evidence of no image lag feature for fast action pictures.

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

0

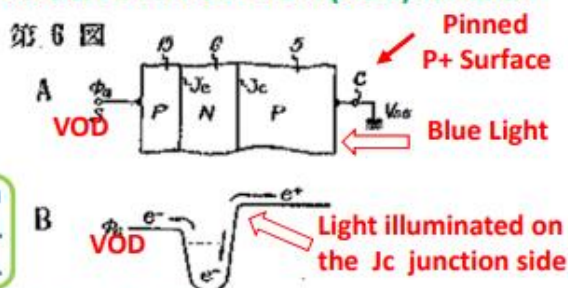
## the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

The 1975 Original Patent on the P+NP Double Junction Dynamic Photo Transistor with Empty Potential Well of Complete Charge Transfer and No Image Lag and also with the built-in in-Pixel Vertical Overflow Drain (VOD) function

特 願 昭50-134985  
出 願 昭50(1975)11月10日  
公 開 昭52-58414  
昭52(1977)5月13日  
発 明 者 萩原 良昭

Blue Light cannot penetrate more than 0.2 micro meter into the silicon crystal. Jc must be near the light incident side.



The P+NP double junction type **Pinned Photodiode** with the surface P+ hole accumulation layer ( the Jc side in this example ) that has a fixed or Pinned surface potential by the external metal Ohmic contact or adjacent P+ channel stops by option. This is also Buried Photodiode with the buried N type base charge storage region to be completely depleted of the signal charge being transferred to the adjacent charge transfer device (CTD) by CCD-like complete charge transfer operation mode resulting in no image lag feature.

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

1

# the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

JPA 1975-134985 filed on Nov 10, 1975

Filed 1975/11/10  
Public 1977/05/13  
Grant 1983/10/19

出願番号 特願昭50-134985 1975-134985

公開番号 特開昭52-058414 1977-058414

公告番号 特公昭58-046905 1983-046905

登録番号 特許1215101

1975/11/10 特許願

1982/11/10 出願審査請求書

1983/08/02 出願公告の決定

1984/01/20 公告戻し

1984/02/28 特許査定

1984/03/28 登録料納付

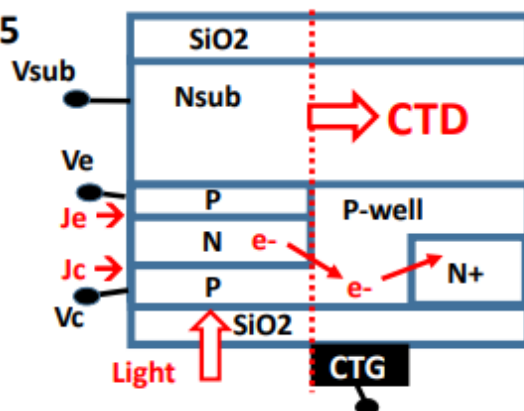
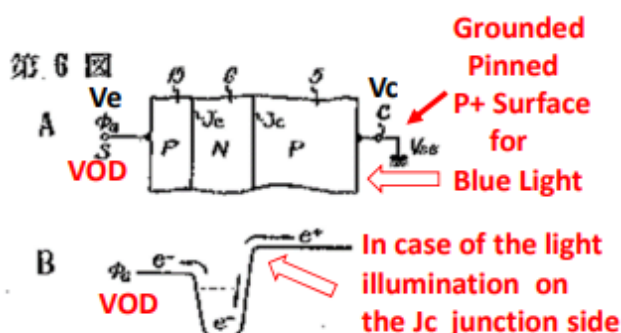


Fig. 6 of JPA 1975-134985 below shows the PNP double junction dynamic photo transistor with the Empty Potential Well of No Image Lag



2

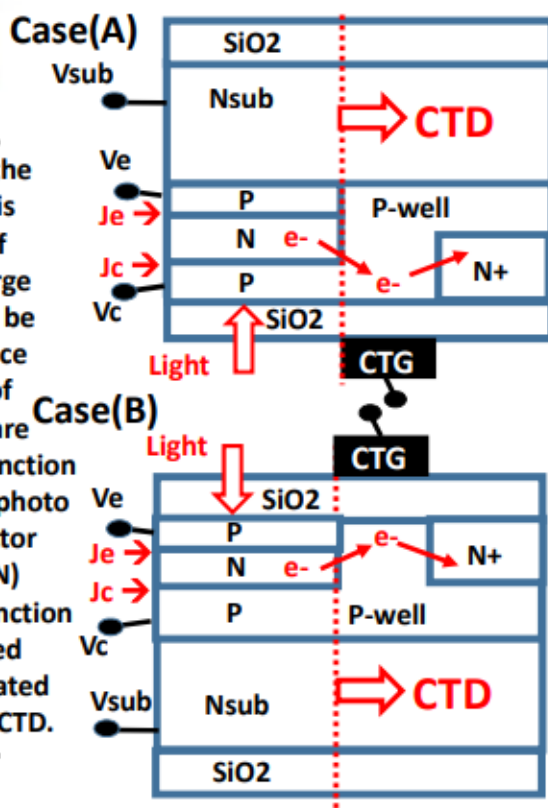
# the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

File 1975-134985 Filed 1975/11/10  
Public 1975-058414 Public 1977/05/13  
Grant 1983/10/19

## Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), (2) the first region (P-well) of the first impurity type is formed, (3) on which, the second region (N) of the second impurity type is formed (4) The charge (e-) stored in the light collecting region (N) is to be transferred to the adjacent charge transfer device (CTD). Both are placed along the main surface of the semiconductor substrate. (5) In the solid state image sensor so defined, a rectifying Emitter Junction (Je) is formed on the second region (N) of the photo charge collecting region (N). (6) And the Collector Junction (Jc) is formed by the second region (N) and the first region (P-well), forming a (PNP) junction transistor structure. Signal photo charge is stored in the Base Region (N) according to the illuminated light intensity, and transferred to the adjacent CTD.



3



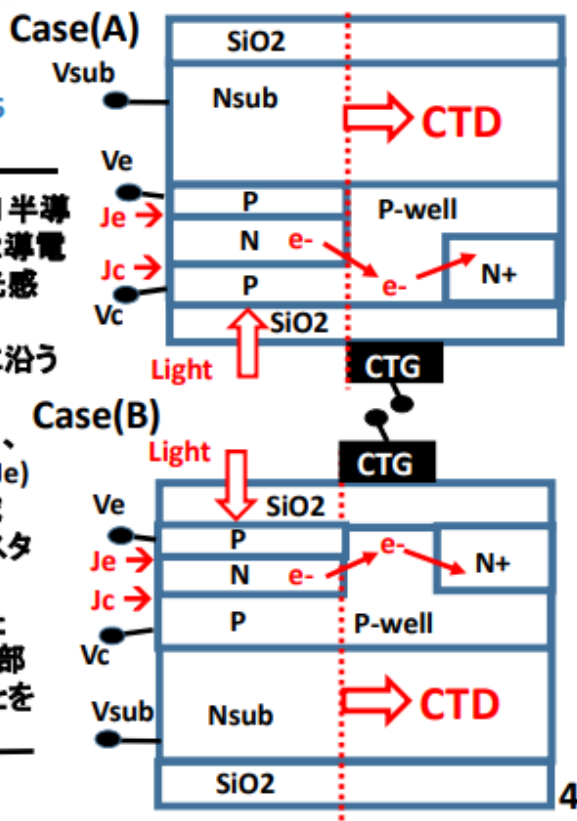
## the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

Hagiwara 1975 invention on November 10, 1975  
Patent Claim in Original Japanese

(1) 半導体基体 (Nsub) に (2) 第1電導型の第1半導体領域 (P-well) と (3) 之の上に形成された第2電導型の第2半導体領域 (N) とが形成されて (4) 光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD) とが上記半導体基体 (Nsub) の主面に沿う如く配置されて成る固体撮像装置に於いて、  
(5) 上記光感知部の上記第2半導体領域 (N) に、整流性接合が形成され、該接合をエミッタ接合 (Je) とし (6) 上記第1 (P-well) 及び 第2半導体領域 (N) 間の接合をコレクタ接合 (Jc) とするトランジスタ (PNP) を形成し、該トランジスタ (PNP) のベースとなる上記第2半導体領域 (N) に光学像に応じた電荷を蓄積しここに蓄積された電荷を上記転送部 (CTD) に移行させてその転送を行うようにしたことを特徴とする固体撮像装置。



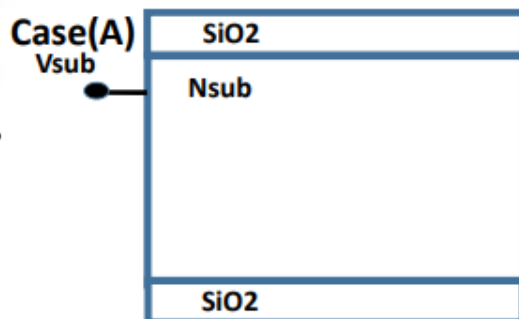
## the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

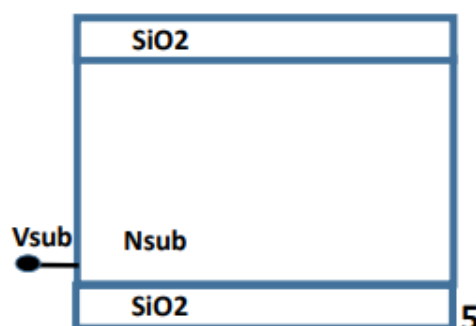
File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub)



Case(B)



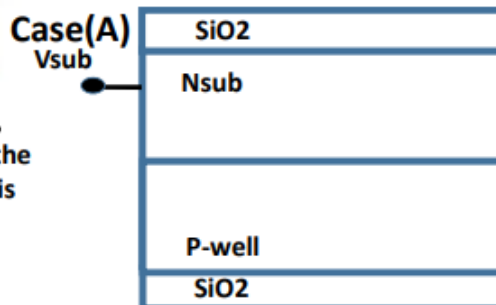
## the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

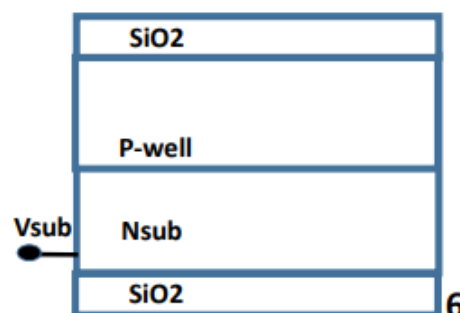
File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

### Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), (2) the first region ( P-well ) of the first impurity type is formed



### Case(B)



6

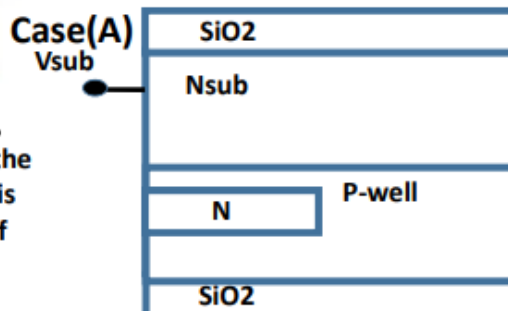
## the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

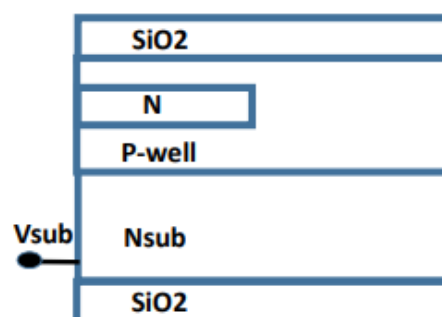
File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

### Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), (2) the first region ( P-well ) of the first impurity type is formed , (3) on which, the second region ( N ) of the second impurity type is formed



### Case(B)



7



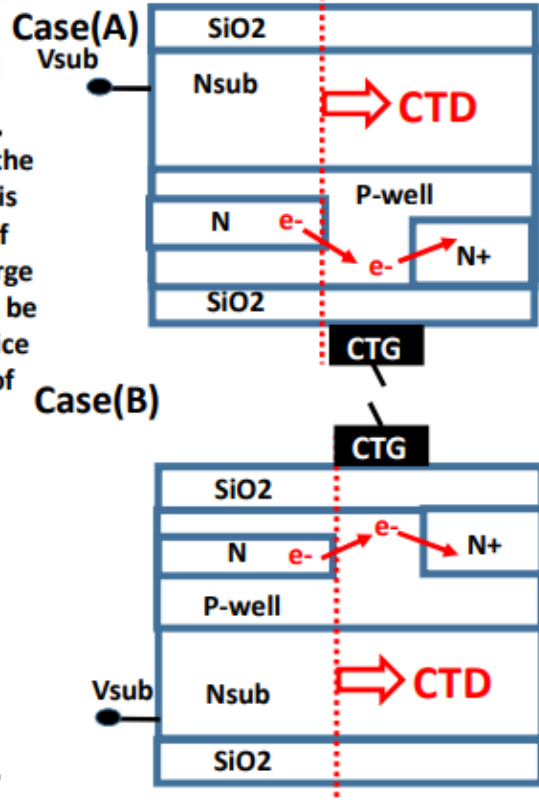
## the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

### Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), (2) the first region ( P-well ) of the first impurity type is formed , (3) on which, the second region ( N ) of the second impurity type is formed (4) The charge (e-) stored in the light collecting region (N) is to be transferred to the adjacent charge transfer device (CTD). Both are placed along the main surface of the semiconductor substrate.



8

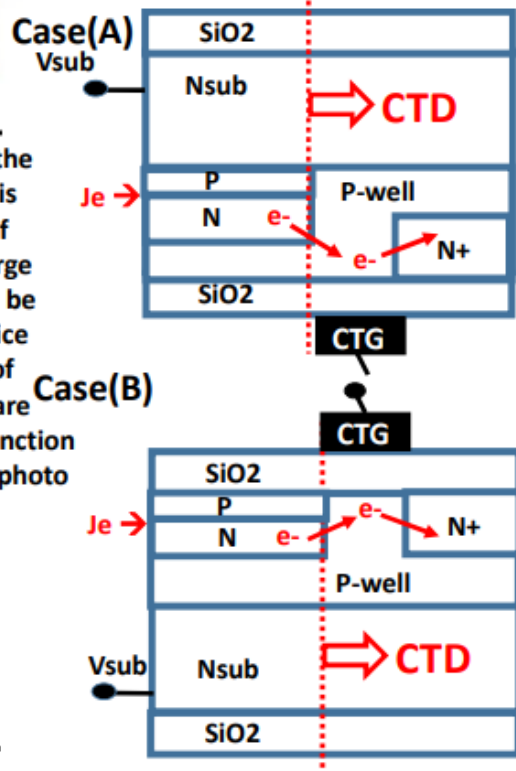
## the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

### Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), (2) the first region ( P-well ) of the first impurity type is formed , (3) on which, the second region ( N ) of the second impurity type is formed (4) The charge (e-) stored in the light collecting region (N) is to be transferred to the adjacent charge transfer device (CTD). Both are placed along the main surface of the semiconductor substrate. (5) In the solid stare image sensor so defined, a rectifying Emitter Junction ( Je ) is formed on the second region (N) of the photo charge collecting region (N) .



9

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

### Patent Claim in English Translation

The figure shows two cross-sectional diagrams of CCDs, labeled Case (A) and Case (B), separated by a vertical dashed red line.

**Case (A):** This diagram shows a substrate with layers from top to bottom: SiO<sub>2</sub>, N<sub>sub</sub>, P, N, P, and SiO<sub>2</sub>. A P-well is formed in the N layer, containing an N<sup>+</sup> region. A gate stack (CTG) is on the surface. Input signals are V<sub>sub</sub>, V<sub>e</sub>, J<sub>e</sub>, J<sub>c</sub>, and V<sub>c</sub>. Light is incident from the bottom. Electrons (e<sup>-</sup>) are shown moving from the N<sup>+</sup> region towards the N<sub>sub</sub> layer. A large red arrow labeled "CTD" points from the N<sub>sub</sub> layer towards the right.

**Case (B):** This diagram shows a substrate with layers from top to bottom: SiO<sub>2</sub>, P, N, P, and SiO<sub>2</sub>. A P-well is formed in the P layer, containing an N<sup>+</sup> region. A gate stack (CTG) is on the surface. Input signals are V<sub>e</sub>, J<sub>e</sub>, J<sub>c</sub>, V<sub>c</sub>, and V<sub>sub</sub>. Light is incident from the top. Electrons (e<sup>-</sup>) are shown moving from the N<sup>+</sup> region towards the N layer. A large red arrow labeled "CTD" points from the N<sub>sub</sub> layer towards the right.

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

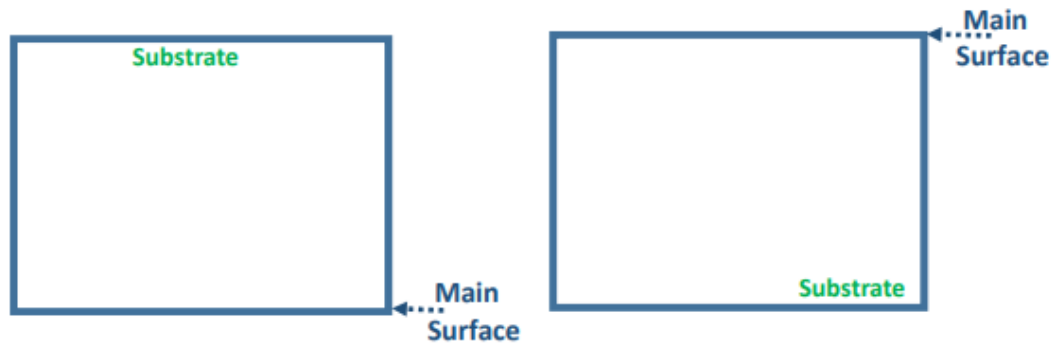
See Patent 1975-134985 ( November 10, 1975 )

Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(1) In the semiconductor substrate (Nsub),



Case(1) Front Light Illumination

Case(2) Back Light Illumination

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

12

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

See Patent 1975-134985 ( November 10, 1975 )

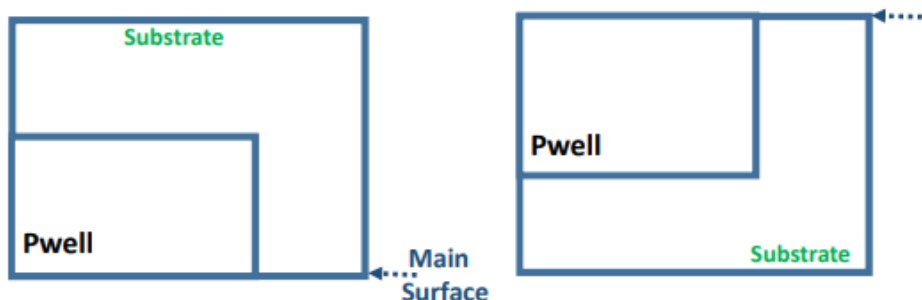
Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(1) In the semiconductor substrate (Nsub),

(2) the first region( P-well ) of the first impurity type is formed,



Case(1) Front Light Illumination

Case(2) Back Light Illumination

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

13

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)  
Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

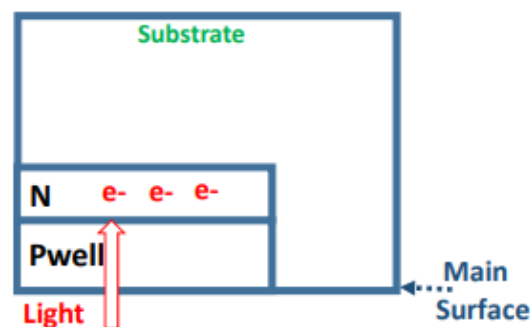
See Patent 1975-134985 ( November 10, 1975 )

Hole Accumulation Diode (HAD)

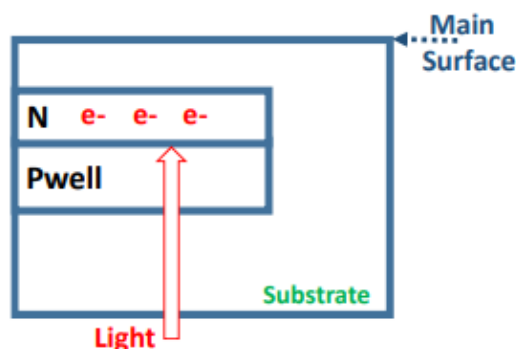
Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(3) on which, the second region ( N )  
of the second impurity type is formed.



Case(1) Front Light Illumination



Case(2) Back Light Illumination

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985  
14

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)  
Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

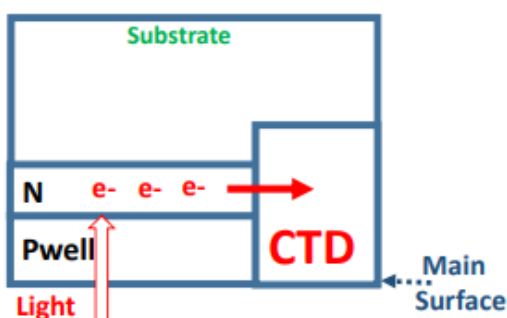
See Patent 1975-134985 ( November 10, 1975 )

Hole Accumulation Diode (HAD)

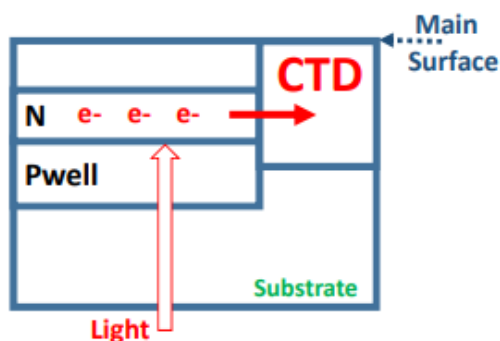
Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(4) The charge (e-) stored in the light collecting region (N) is to be  
transferred to the adjacent charge transfer device (CTD).  
Both are placed along the main surface of the semiconductor substrate.



Case(1) Front Light Illumination



Case(2) Back Light Illumination

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985



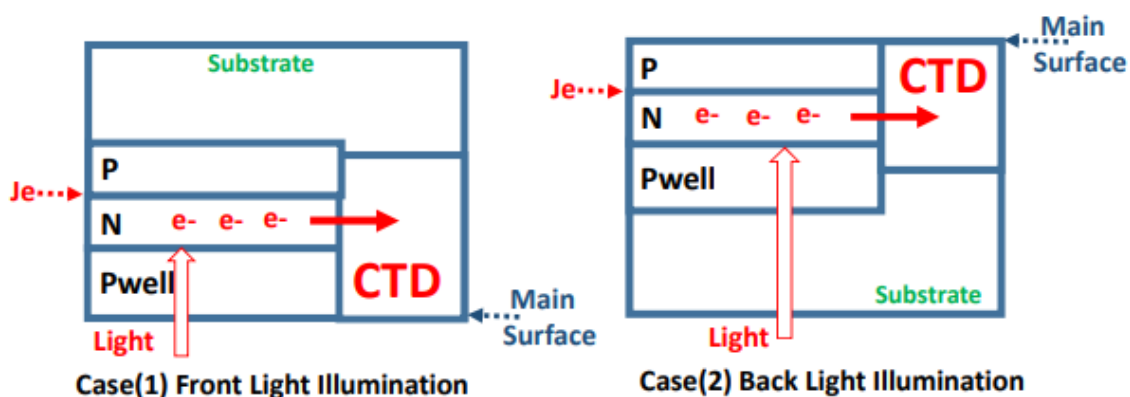
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)  
Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

See Patent 1975-134985 ( November 10, 1975 ) Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(5) In the solid state image sensor so defined,  
a rectifying Emitter Junction ( Je ) is formed  
on the second region ( N )  
of the photo charge collecting region ( N ) .



Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

16

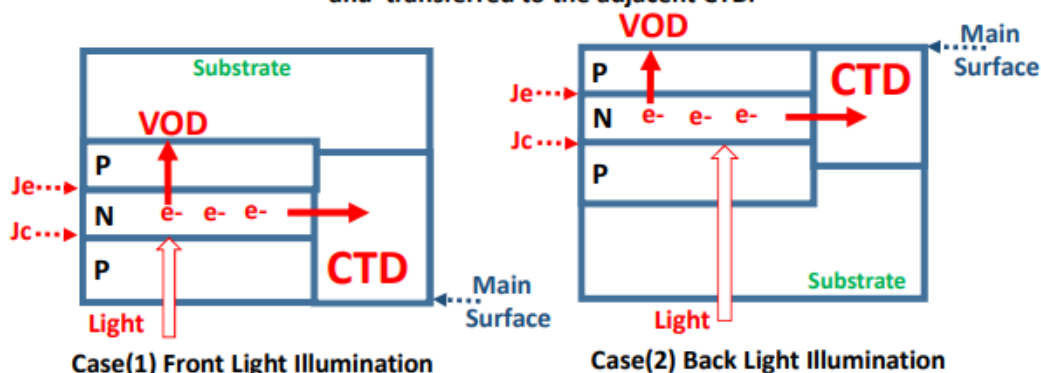
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)  
Japanese Patent of SONY HAD sensor by Yoshiaki Hagiwara at Sony

See Patent 1975-134985 ( November 10, 1975 ) Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(6) And Collector Junction ( Jc ) is formed  
by the second region ( N ) and the first region ( P-well ),  
forming a ( PNP ) transistor structure. Signal Photo charge is stored  
in the Base Region ( N ) according to the illuminated light intensity,  
and transferred to the adjacent CTD.



Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

17

**Japanese Patent Application JPA 1975-134985**  
**applied on November 10, 1975 by Yoshiaki Hagiwara at Sony**  
**on the P+NPNsub triple junction Pinned Buried Photodiode**  
**with the in-pixel vertical overflow drain (VOD).**

**the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)**  
**with in-Pixel Built-in Vertical Overflow Drain (VOD) Function**

⑫ 特 許 公 報 (B 2) 昭58-46905

18

⑩ 日本国特許庁 (JP) ⑪ 特許出願公告

⑫ 特 許 公 報 (B 2) 昭58-46905

⑤ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公告 昭和58年 (1983) 10月19日

H 04 N 5/30  
H 01 L 27/14

6940-5C  
6819-5F

発明の数 1

**Japanese Patent Application Number 1975-134985 on Pinned Photodiode** (全 4 頁)

⑭ 固体撮像装置

⑮ 特 願 昭50-134985

⑯ 出 願 昭50 (1975) 11月10日

⑰ 公 開 昭52-58414

⑱ 昭52 (1977) 5月13日

⑲ 発 明 者 萩原 良昭

横浜市保土ヶ谷区狩場町 303 の  
159 狩場台アパート 402 号室

⑳ 出 願 人 ソニー株式会社

東京都品川区北品川 6 丁目 7 番35  
号

㉑ 代 理 人 弁理士 伊藤 貞

㉒ 特許請求の範囲

1 半導体基体に、第 1 導電型の第 1 半導体領域と、之の上に形成された第 2 導電型の第 2 半導体領域とが形成されて光感知部と之よりの電荷を転送する電荷転送部とが上記半導体基体の主面に沿う如く配置されて成る固体撮像装置に於いて、上記光感知部の上記第 2 半導体領域に整流性接合が形成され、該接合をエミッタ接合とし、上記第 1 及び第 2 半導体領域間の接合をコレクタ接合とするトランジスタを形成し、該トランジスタのベースとなる上記第 2 半導体領域に光学像に応じた電荷を蓄積し、ここに蓄積された電荷を上記転送部に移行させて、その転送を行うようにしたことを特徴とする固体撮像装置。

発明の詳細な説明

本発明は電荷転送素子 (CCD)、特に埋込みチャンネル型 CCD を用いた固体撮像装置に係わる。

CCD を用いた固体撮像装置としてはフレームトランスファ方式によるもの、或いはインターライントランスファ方式によるものが提案されている。

インターライントランスファ方式による固体撮

像装置は、第 1 図に示すように、夫々絵素となる光感知部 (センサー部) 1 が行 (水平) 及び列 (垂直) 方向に夫々複数個配列され、共通の列上の光感知部 1 に関し、共通の垂直シフトレジスタ 2 が設けられている。この垂直シフトレジスタ 2 は CCD よりなり、その電荷転送部が、対応する列上の光感知部 1 に夫々隣合つて設けられる。又、各シフトレジスタ 2 の一端 (第 1 図に於いて下端) には水平シフトレジスタ 3 が設けられ、撮像光学像に応じて各光感知部 1 に生じた電荷を、例えばテレビジョン映像に於いては、その帰線消去期間に於いて垂直シフトレジスタ 2 の各転送部に転送し、このシフトレジスタ 2 によつてこの電荷を垂直方向に順次シフトして水平シフトレジスタ 3 に

15 転送し、更にこの水平シフトレジスタによつて各行の絵素に関する電荷を水平方向にシフトして出力端子 t よりこの電荷に応じた撮像信号を得るようになされている。

このような構成による固体撮像装置の光感知部 1 とこれに隣合う垂直シフトレジスタ 2 の転送部の構造を第 2 図及び第 3 図に示す。この例に於いては埋込みチャンネル型 CCD 構成とした場合で、この場合、半導体基体 4 に、第 1 の導電型例えば P 型半導体領域 5 と、これの上に基体 4 の一主面 4 a に臨んで第 2 の導電型例えば N 型の半導体領域 6 とが設けられ、主面 4 a に沿つて光感知部 1 とこれに隣合つてシフトレジスタ 2 の各転送部 7 が設けられてなる。8 は領域 5 と同導電型のチャンネルストツパー領域で、各感知部 1 間、及び各シフトレジスタ 2 間を互に分離するものであり、9 は領域 6 と同導電型を有するもこれより低い不純物濃度を有し、光感知部 1 とこれに隣合うシフトレジスタ 2 との間に設けられて両者間に電位障壁を形成する為の領域である。

35 光感知部 1 及び転送部 7 上の、主面 4 a 上には例えば SiO<sub>2</sub> より成る絶縁膜 10 が被着される。そして、これの上に各シフトレジスタ 2 に対し、

# Japanese Patent Application JPA 1975-134985 applied on November 10, 1975 by Yoshiaki Hagiwara at Sony on the P+NPNsub triple junction Pinned Buried Photodiode with the in-pixel vertical overflow drain (VOD).

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent Application Number 1975-134985 on Pinned Photodiode

20

⑫特 許 公 報 (B 2) 昭58-46905

(2)

特公 昭58-46905

3

4

その共通の行上の転送部に関して共通に転送電極  
11が延長被着され、この電極11上には同様に  
例えば $\text{SiO}_2$ より成る絶縁膜12が被着され、こ  
れの上に跨いで特に光感知部1上を含んでいわゆ  
るセンサー電極13が被着される。この電極13  
は光透過性を有するネサ、或いは不純物が高濃度  
をもつてドーブされて導電性が付与された多結晶  
シリコン層より構成される。

このような構成による固体撮像装置の光感知部  
1に対する光は少なくとも電極13とこれの下  
の絶縁膜10を通じて与えるので、特に短波長側  
における感度が低くなる欠点がある。

本発明は上述した欠点を改善した固体撮像装置  
を提供せんとするものである。

第4図及び第5図を参照して本発明を説明する。  
15之等第4図、第5図に於いて、第2図及び第3図  
と対応する部分には同一符号を付して重複説明を  
省略する。

本発明に於いては、光感知部1上の少なくとも  
受光領域上の絶縁膜10及び12を除き、窓  
14を形成すると共に、光感知部1の半導体領域  
6上に主面4aに臨んで整流性接合Jcを形成す  
る。この接合Jcは例えば第4図に示す如く領域  
6と異なる導電型即ちP型の不純物がドーブされ  
た多結晶シリコン層より成る領域15を窓14を  
25

固定電位、即ち例えば接地電位を与える。一方、  
受光期間即ちシフトレジスタ2に於ける転送期間  
中にエミッタ領域15即ちセンサー電極16の端  
子Sには、接合Jcに逆バイアスを与える所定の  
負の電位φ<sub>g</sub>を与える。

斯くすると第6図Aに示すPNPトランジスタ  
の断面に於ける電位分布は、第6図Bに示す如く  
なり、撮像光学像による光照射によつて生じたキ  
ャリア即ちホール及び電子のうちホール $e^+$ は端  
子C側に流れて消滅するが、電子 $e^-$ はベース領  
域6に蓄積される。この場合、或る量以上の電荷  
 $e^-$ が蓄積されると接合Jcが順バイアスとなり、  
この或る量以上の電荷即ち電子はエミッタ側にオ  
ーバーフローする。

そして、この光感知部1のベース領域6に蓄積  
された電荷を例えば掃線消去期間中に於いてシフ  
トレジスタ2の転送部7に転送する。この転送は、  
通常の如くセンサー電極16に対し転送電極11  
に所要の負の電位を与えることによつて転送部7  
にポテンシャル井戸を形成してその転送を行う。  
その後はこのシフトレジスタ2に於いて第1図に  
説明したように各転送部7の電荷を垂直方向に順  
次シフトさせる。このシフトは通常の如く転送電  
極11にクロック電圧を与えて行う。そしてこの  
間、即ち転送期間中に前述したと同様に撮像光学

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent Application Number 1975-134985 on Pinned Photodiode

21

⑫特 許 公 報 (B 2) 昭58-46905

た多結晶シリコン層より成る領域15を窓14を  
25通じて光感知部1の半導体層6上に被着生成させ  
てPN接合を形成するようになることもできるし、  
或いは第5図に示す如く光感知部1の半導体領域  
6上に選択的に領域6と異なる導電型の不純物を  
例えばイオン注入法或いは拡散法によつてドーブ  
30し、P型の領域15を形成して接合Jcを形成す  
るようになることもできる。第5図に於いて16  
は領域15の一部にオーミックに被着した電極即  
ちセンサー電極で、第4図の例では領域15自体  
をいわばセンサー電極とした場合である。

斯くして光感知部1に、接合Jcをエミッタ接  
合とし、半導体領域5及び6間に形成されるPN  
接合Jcをコレクタ接合とするトランジスタ、即  
ち領域15、6及び5を夫々エミッタ、ベース及  
びコレクタの各領域とするPNPトランジスタを  
40構成する。

このような構成に於いて、半導体領域5即ちシ  
フトレジスタ2の基体領域となり前述のトランジ  
スタのコレクタ領域となる領域5の端子Cに正の

間、即ち転送期間中に前述したと同様に撮像光学  
像による受光をなす。

上述の本発明装置によれば、その光感知部1を  
構成するトランジスタのエミッタ領域15に於い  
て直接的に受光がなされるようになったので、冒  
頭に述べたようにセンサー電極を構成する多結晶  
シリコンを通じて更にその下の絶縁膜を介して受  
光をなす場合の感度に比し特に短波長側の感度の  
向上を図ることができるものである。

更に本発明装置によれば、或る以上に生じた電  
荷をオーバーフローし得るものであるから従来の  
もののようにオーバーフロードレインを特設する  
必要がなく、更にセンサー電極に与える電位によ  
つてオーバーフローの生じ始める電荷量を調整設  
定できる利益もある。

尚、接合Jcとしては種々の構成をとり得、ヘ  
テロ接合、ショットキー障壁による構成をとるこ  
ともできる。又、各部の導電型を図示とは逆導電  
型とするなど種々の変更をなし得ることは明らか  
であろう。

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985



# Japanese Patent Application JPA 1975-134985 applied on November 10, 1975 by Yoshiaki Hagiwara at Sony on the P+NPNsub triple junction Pinned Buried Photodiode with the in-pixel vertical overflow drain (VOD).

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent Application Number 1975-134985 on Pinned Photodiode

22

⑫特 許 公 報 (B 2) 昭58-46905

(3)

特公 昭58-46905

5

6

図面の簡単な説明

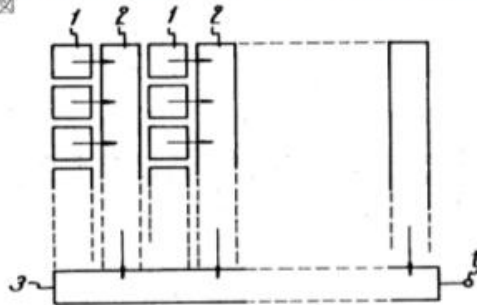
第1図は本発明の説明に供する固体撮像装置の構成図、第2図はその要部の拡大平面図、第3図はそのA-A線上断面図、第4図は本発明装置の一例の要部の拡大断面図、第5図は本発明装置の他の例の要部の拡大断面図、第6図は本発明装置

の動作の説明図である。

4は半導体基体、1は光感知部、2はシフトレジスタ、5及び6は半導体領域、8はチャンネルストップパター領域、9は障壁領域、15はエミッタ領域、16はセンサー電極、Jc及びJcは接合である。

Fig.1 Top View of Conventional Interline Transfer CCD Image Sensor

第1図



Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

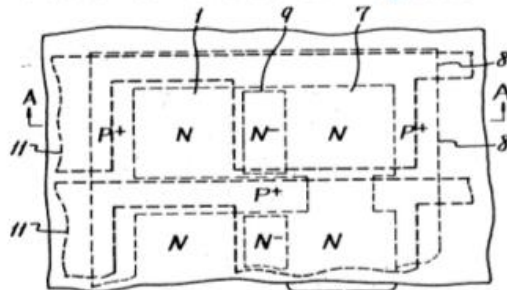
Japanese Patent Application Number 1975-134985 on Pinned Photodiode

23

⑫特 許 公 報 (B 2) 昭58-46905

Fig.2 Top View of Conventional Interline Transfer CCD Image Sensor Picture Element Cell

第2図



第3図

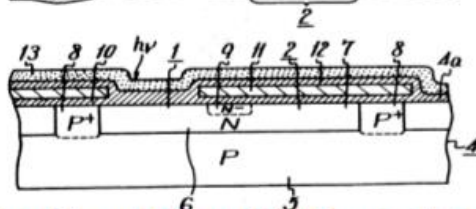


Fig.3 Conventional Buried Channel CCD type MOS Capacitor Photodiode Structure

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985



# Japanese Patent Application JPA 1975-134985 applied on November 10, 1975 by Yoshiaki Hagiwara at Sony on the P+NPNsub triple junction Pinned Buried Photodiode with the in-pixel vertical overflow drain (VOD).

the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent Application Number 1975-134985 on Pinned Photodiode

24

⑫特許公報(B2) 昭58-46905

(4)

特公 昭58-46905

Fig.4 Schottky Barrier type Pinned Photodiode

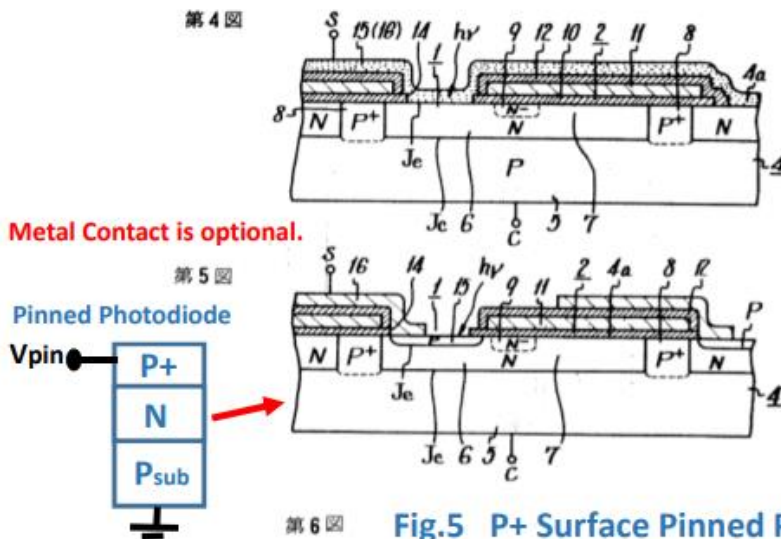


Fig.5 P+ Surface Pinned Photodiode

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

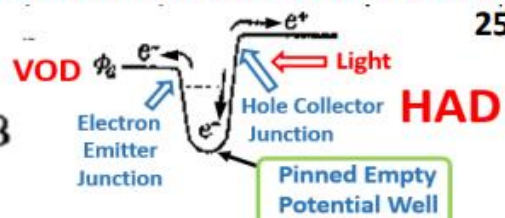
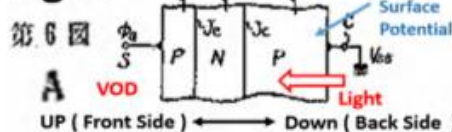
the P+NP double junction type Pinned Photodiode on Silicon substrate (Nsub)

Japanese Patent 1975-134985

Hole Accumulation Diode (HAD)

25

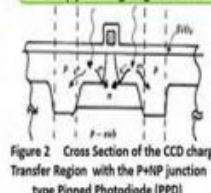
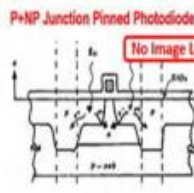
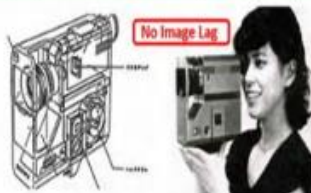
Fig. 6



The P+Psub double junction type dynamic photo transistor ( Pinned Photodiode )  
developed in 1978 by Hagiwara at Sony and reported in the SSDM1978 conference

Sony original 570H x 498 V one-chip FT CCD Image Sensor with Pinned Photodiode, July 1980

These figures shows (1) Excellent Blue Light Sensitivity (2) Low Surface Dark Current and (3) NO Image Lag Features of the P+NP junction type Pinned Photodiode.



On July 1980, Iwama Kazuo at Sony Tokyo Press Conference and Morita Akio at New York Press Conference announced the one chip CCD video camera with the 8 mm VTR in one box.

See the Original 1978 Publication of the Pinned Photodiode Sensor

Y. Daimon-Hagiwara, M. Abe, and C. Okada, "A 380Hx488V CCD imager with narrow channel transfer gates," Proceedings of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, vol. 18, supplement 18-1, pp. 335-340, 1979

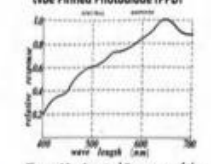


Figure 13 Spectral Response of the P+NP junction Pinned Photodiode (PPD) with the excellent blue light sensitivity

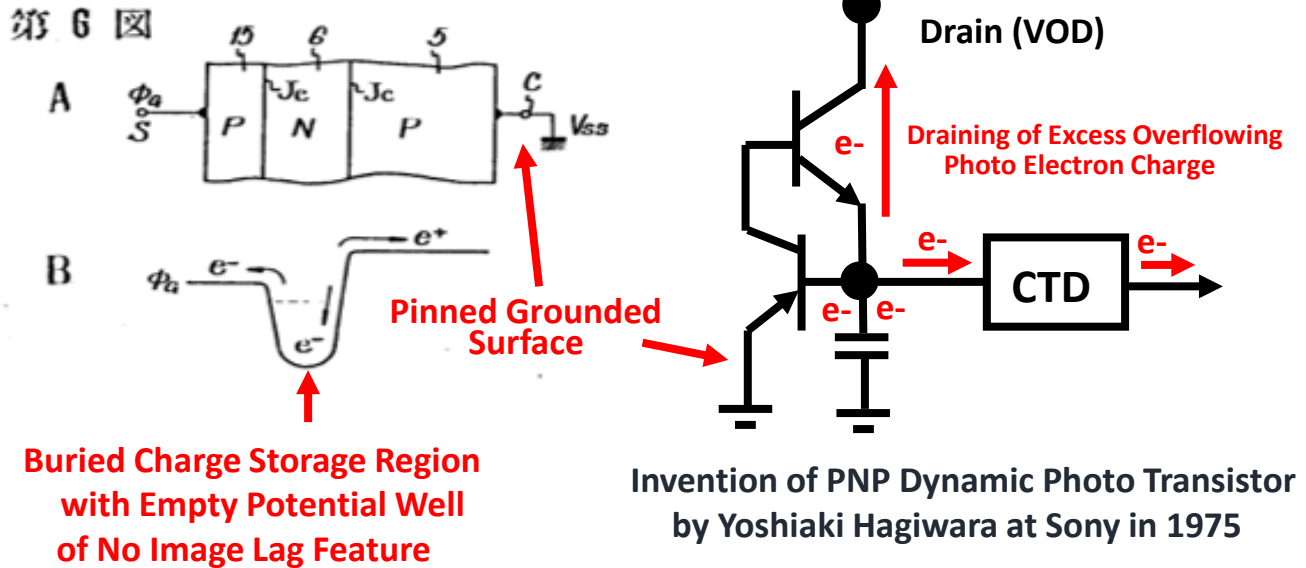


Figure 14 Comparison of CCD image sensor output signals with and without image signal.

High quality picture of SONY CMOS Imager is also based on SONY HAD ( Pinned Photodiode).

**Japanese Patent Application JPA 1975-134985**  
**applied on November 10, 1975 by Yoshiaki Hagiwara at Sony**  
**on the P+NPNsub triple junction Pinned Buried Photodiode**  
**with the in-pixel vertical overflow drain (VOD).**

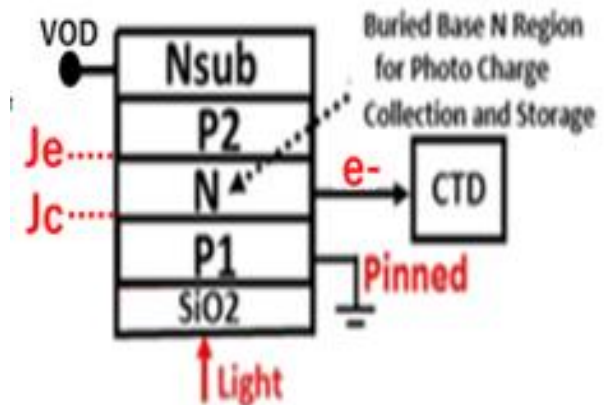
**Fig. 6 of JPA1975-134985**



**Patent Claims of JPA1975-134985**

**特許請求の範囲**

半導体基体に、第 1 導電型の第 1 半導体領域と、之の上に形成された第 2 導電型の第 2 半導体領域とが形成されて光感知部と之よりの電荷を転送する電荷転送部とが上記半導体基体の主面に沿う如く配置されて成る固体撮像装置に於いて、上記光感知部の上記第 2 半導体領域に整流性接合が形成され、該接合をエミッタ接合とし、上記第 1 及び第 2 半導体領域間の接合をコレクタ接合とするトランジスタを形成し、該トランジスタのベースとなる上記第 2 半導体領域に光学像に応じた電荷を蓄積し、ここに蓄積された電荷を上記転送部に移行させて、その転送を行うようにしたことを特徴とする固体撮像装置。



**English Translation of Patent Claims of JPA1975-134985**

“In the semiconductor substrate (Nsub), the first region (P1) of the first impurity type is formed, on which the second region (N) of the second impurity type is formed. The photo charge is stored in the second region (N) and is transferred to the adjacent charge transfer device (CTD). Both are placed along the main surface of the semiconductor substrate. A rectifying (P2/N) emitter junction (Je) is formed on the second region (N) while the (N/P1) collector junction (Jc) is formed by the first region (P1) and the second region (N), forming a photo transistor structure (P2/N/P1) in the substrate (Nsub).”