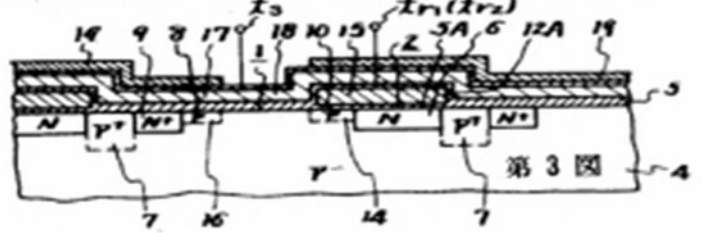


JPA 1977-126885

①公開特許公報 (A) 昭54—51318
 ②特 願 昭52—126885
 ③出 願 昭52(1977) 9 月29日
 ④出 願 人 ソニー株式会社
 ⑤発 明 者 萩原良昭
 ⑥発 明 者 越智成之
 同 橋本武夫

発明の名称 固体撮像装置
 特許請求の範囲
 インターライントランスファ方式による固体撮像装置において、各センター部のセンター電極と、上記各センター部に対応して設けられるオーバーフロー制御部の制御電極とが電気的に共通に構成されると共に、該電気的共通の電極への共通電圧に応じて上記センター部とオーバーフロー制御部の各々ニニウムポテンシャルの差が変化するようになされ、上記各センター部と、シフトレジスタ部との間のゲート部のゲート電極と、上記シフトレジスタの1のフロッタ給が与えられる電極とが電気的に共通に構成され、上記ゲート部のニニウムポテンシャルが高められた状態で、オーバーフロー制御部を行つてガンマ補正を行うことを特徴とする固体撮像装置。

実施図 (3) MOS 容量型受光素子を事例とした。

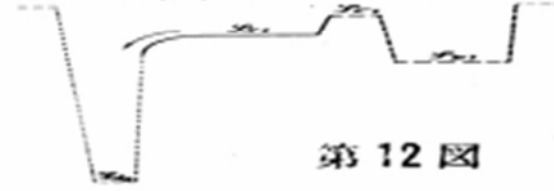


実施図 (9) ガンマ補正 Mode



第 9 図

実施図 (12) 電子 Shutter Mode



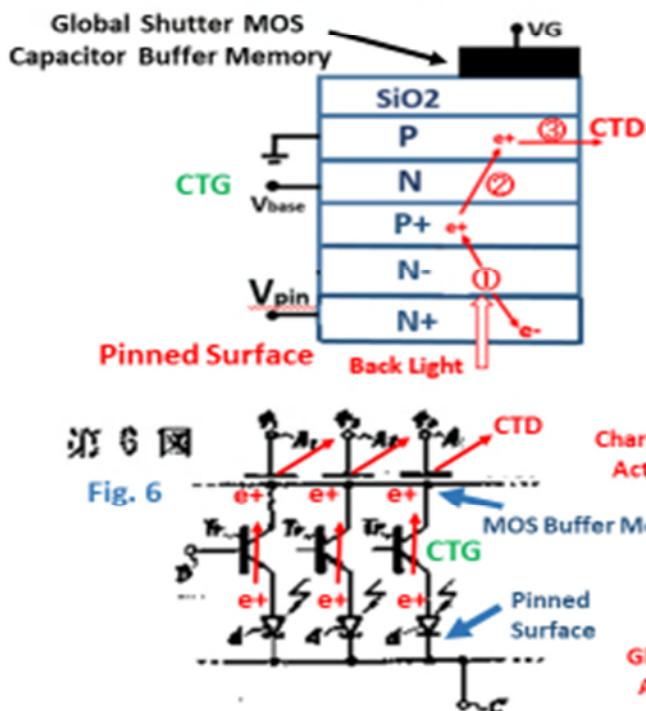
第 12 図

VOD 電極端子の電圧を極端に深くして Punch thru を利用して残像のない状態を実現し、電子 shutter 機能を可能にした。

1975 年特許 1975-127646 において、萩原はすでに N+N-P+NP-P 接合型 dynamic photo thyrister の受光獅子を發明しており、電荷蓄積部(P+)から主面の電荷転送装置部への電荷転送動作に Thyrister の Punch Thru 動作を利用している。これは電子 shutter 機能を可能にする受光素子の特長を明示したものである。

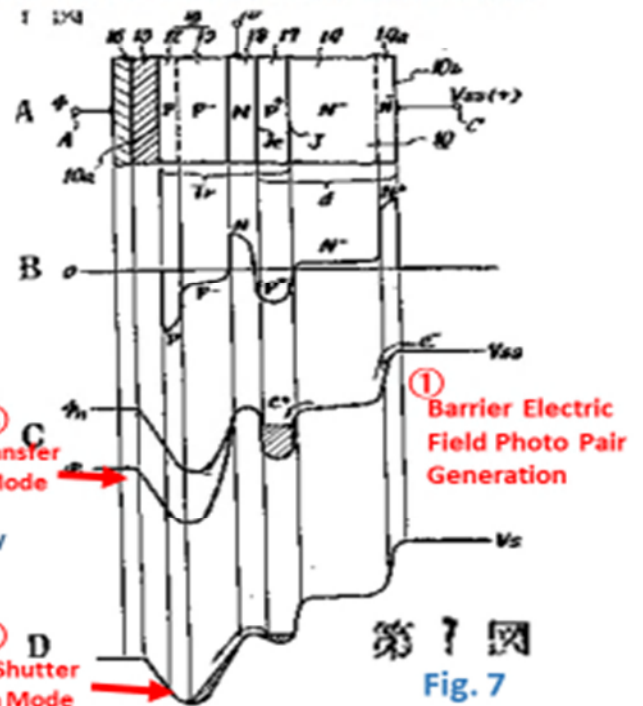
Japanese Patent 1975-127646

N+NP+NP junction type Buried Pinned Photodiode
 with Built-in MOS Capacitor Buffer Memory Global Shutter Function
 and the surface N+N doping slope Barrier Electric Field Photo Pair Generation



第 6 図

Fig. 6

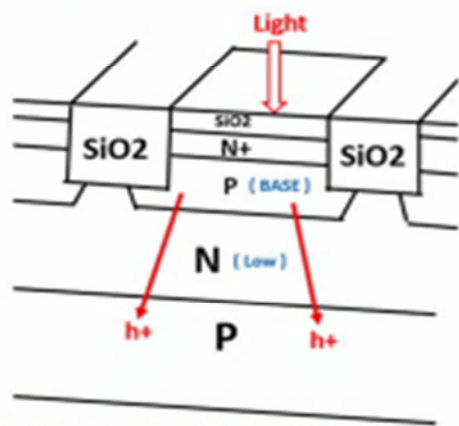
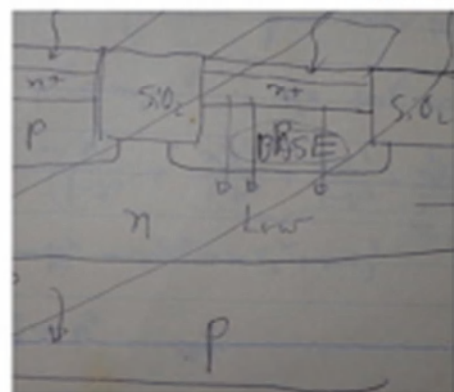


第 7 図

Fig. 7

1975年には既に N+PNP 接合型受光素子を考案し、かつこの受光素子には、縦型 Overflow Drain (VOD) 機能を持つことを理解していた。電子 shutter 機能実現の為に重要は基板に過剰電荷を掃き出す手法を既に萩原は 1975年2月から使用のSONY 中研 Lab Noteに記載している。

The N+PNP junction type Dynamic Photo Transistor Structure Pinned Photodiode and Sony Hole Accumulation Diode (HAD) with the vertical overflow drain (VOD) function invented by Hagiwara at Sony in 1975



Hagiwara's Lab Note at Sony in February 1975

In 1975 at Sony, Yoshiaki Hagiwara filed three Japanese patents JPA1975-127646, JPA1975-127647 and JPA1975-134985 on the Pinned Surface Photodiode with the VOD function which is later called as Sony Hole Accumulation Diode (HAD). Hagiwara did not file a patent on the SiO2 device isolation but this lab note shows that Hagiwara had an idea of forming the Shallow Trench Isolation by the Local Oxidation Method, which was hinted by the LOCOS isolation in 1970s.

図面の簡単な説明

第1図は本発明の説明に供する固体撮像装置の構成図、第2図はその要部の拡大平面図、第3図はそのA-A線上断面図、第4図は本発明装置の一例の要部の拡大断面図、第5図は本発明装置の他の例の要部の拡大断面図、第6図は本発明装置の動作の説明図である。

電荷転送部 (CTD) が形成される面を主面と呼ぶ。図(6)は受光面は主面側でも裏面側でも特許請求範囲に入る。主面がシリコンウェハ上部でも下部裏面でも特許請求範囲に入る。

第4図は本発明装置の一例の要部の拡大断面図、第5図は本発明装置の他の例の要部の拡大断面図、第6図は本発明装置の動作の説明図である。

図(6)はより一般に適用される。

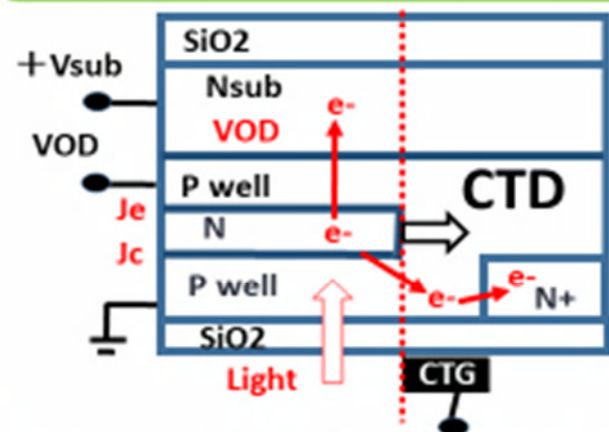
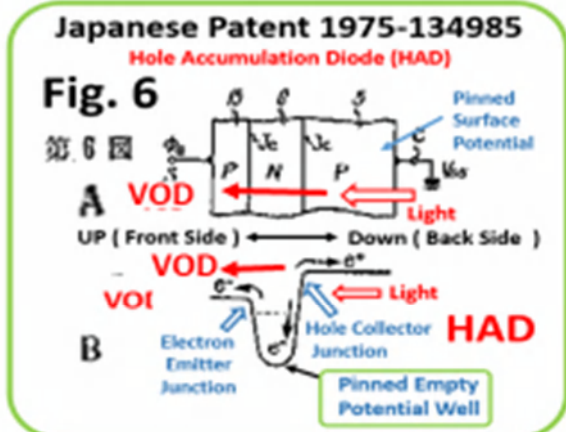


Fig.6 shows that this is also the invention of in pixel VOD (vertical overflow drain).

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

出願特許 1977-126885

特許の名称 出願人

固体撮像装置	ソニー株式会社
--------	---------

文献番号	出願番号	出願日	公知日	
8	特開昭54-051318	特願昭52-126885	1977/09/29	1979/04/23

●完全に残像のない受光部のVOD機能を使って、電子 shutter 機能を実現するための Overflow Drain の電圧を従来は固定でしたが、それに Clock 電圧を印加することを提案した、Overflow Drain 端子の Clock 駆動方式に関する特許です。

●実施例としては横型 OFD に適応しています。

●この特許は残像のない縦型 OFD(VOD)にも適応できる事は容易に類推できます。

●VOD付き Pinned Photodiode (Sony HAD)にも適応可能なことは容易に類推します。

●1987年にSONY(浜崎チーム)は電子 Shutter 機能を持つSONY HADセンサーを採用した ILT CCD Image Sensor の開発と商品化を実現しました。日経マクロデバイス 1987年10月号参照。

●この出願特許 1977-126885 で提案された Clock 駆動方式をSONYのHole Accumulation Diode (HAD) センサー (VOD機能を持ち、残像のない、超光感度特性をもち、表面暗電流のない、P+NPNsub 接合型の受光素子)を ILT CCD Image Sensor の採用したものです。

●これは「萩原が1975年に発明したP+NPNsub 接合型受光素子がVOD機能を持つこと」の証拠です。

⑨日本国特許庁(JP)

⑩特許出願公開

⑫公開特許公報 (A)

昭54—51318

⑤Int. Cl.²
H 04 N 5/30
H 04 N 5/20

識別記号 ⑥日本分類
97(5) D 1
97(5) A 42

庁内整理番号
6940—5C
6940—5C

④公開 昭和54年(1979)4月23日

発明の数 1
審査請求 未請求

(全 10 頁)

⑭固体撮像装置

町田市玉川学園5—3—38

⑰特 願 昭52—126885

⑯発 明 者 萩原良昭

⑱出 願 昭52(1977)9月29日

横浜市保土ヶ谷区狩場町303の1
59 狩場台アパート402

⑳発 明 者 越智成之

㉑出 願 人 ソニー株式会社

町田市木曾町880—1 境川住
宅37—202

東京都品川区北品川6丁目7番
35号

同 橋本武夫

㉒代 理 人 弁理士 伊藤貞

明 細 書

発明の名称 固体撮像装置

特許請求の範囲

インターライントランスファ方式による固体撮像装置において、各センサー部のセンサー電極と、上記各センサー部に対応して設けられるオーバーフロー制御部の制御電極とが電気的に共通に構成されると共に、該電気的共通の電極への共通電圧に応じて上記センサー部とオーバーフロー制御部の各ミニマムポテンシャルの差が変化するようになされ、上記各センサー部と、シフトレジスタ部との間のゲート部のゲート電極と、上記シフトレジスタの1のクロック相が与えられる電極とが電気的に共通に構成され、上記ゲート部のミニマムポテンシャルが低められた状態で、オーバーフロー制御を行つてガンマ補正を行うことを特徴とする固体撮像装置。

発明の詳細な説明

本発明はCCD(チャージ・カプルド・デバイス)形構成を有する固体撮像装置、特にインター

ライントランスファ方式による固体撮像装置に係わる。

通常インターライントランスファ方式によるCCD形固体撮像装置は、共通の半導体基体、例えばシリコン基体に第1図に示すように、夫々絵素となる受光部、即ちセンサー部(1)が一方向(以下水平方向という)とこれと直交する方向(以下垂直方向という)に夫々複数個配列され、各垂直方向の同一ライン上に配列されたセンサー部(1)の一侧にはCCD構成の垂直シフトレジスタ(2)が配位され、各シフトレジスタ(2)の一端には同様にCCD構成の水平シフトレジスタ(3)が設けられる。そして、例えばテレビジョン映像においては、垂直ブランキング期間において、センサー部(1)の受光量に応じて生じた信号電荷を対応する垂直シフトレジスタ(2)に転送し、各水平ブランキング期間において、順次各垂直シフトレジスタ(2)の各水平ラインの信号電荷を水平シフトレジスタ(3)に転送し、各水平映像期間において出力端子1より順次読み出すようになされる。この場合、各センサー

ンサー部(1)の受光量に応じた信号電荷を垂直シフトレジスタ(2)の対応する転送部(1)に転送(以下読み出しという。)し、シフトレジスタ(2)の端子 t_{r1} 及び t_{r2} に第6図A及びBに示すように、2相クロック ϕ_{v1} 及び ϕ_{v2} を与えて水平ブランキング期間において、この信号電荷を順次隣合う一方方向の転送部へと転送し、第1図に示した水平シフトレジスタ(3)へと1水平ライン毎の信号を転送し、水平映像期間中で水平ライン毎の信号を端子 t より読み出しに行くものである。第7図ないし第9図は、第3図に示す断面における各部のミニマムポテンシャル図で、オーバーフロー領域(9)、オーバーフロー制御部(8)、センサー部(1)の各ミニマムポテンシャルを ϕ_d 、 ϕ_c 、 ϕ_s 、 ϕ_g 、 ϕ_b で表わし、各印加電圧状態におけるポテンシャルにサフイツクスを付して示したものである。第7図は受光・蓄積モードを示し、この受光・蓄積状態では端子 t_s に、センサー部(1)に深いポテンシャルの井戸を形成する電圧、即ち正の大なる電圧 ϕ_s を与える。そして、奇数番目のフィールド期間の頭

初に対応する垂直ブランキング期間の時点 t_0 で、第6図A及びBに示すように、シフトレジスタ(2)の端子 t_{r1} 及び t_{r2} への印加電圧 ϕ_{v1} 及び ϕ_{v2} として正の所要の電圧を与えた状態で、端子 t_s に与える電圧 ϕ_s を第6図Cに示すように、低めて第8図にそのミニマムポテンシャル図を示すように、センサー部(1)のポテンシャルの井戸を十分浅くするポテンシャル ϕ_{s1} とし、このセンサー部(1)に対応する転送部(1)のストレージ部におけるポテンシャルの井戸を十分深めるポテンシャル ϕ_{b2} にする。このようにすると、各センサー部 S_1 、 S_2 、 S_3 ……に受光量に応じて発生蓄積されていた信号電荷(キャリア)は、各転送部 T_1 、 T_2 、 T_3 ……のストレージ部へと第8図に矢印 b で示すように転送、即ち読み出される。次に、この垂直ブランキング期間内において、第6図A及びBに示すように、例えば端子 t_2 の電圧 ϕ_{v2} を上記正の所要の電圧に保持した状態で、端子 t_1 の電圧 ϕ_{v1} を例えば0Vに低める。このようにすると、1つ置きの転送部 T_1 、 T_3 、 T_5 ……の各電荷が、他

の1つ置きの転送部 T_2 、 T_4 、 T_6 ……へと転送されて2つの転送部の電荷が加えられる。即ち、センサー部 S_1 、 S_3 、 S_5 ……の各信号電荷が夫々隣合うセンサー部 S_2 、 S_4 、 S_6 ……と重畳される。この電荷は垂直シフトレジスタへと垂直及び水平ブランキング期間において通常のように転送させるが、特に本発明においては、適当な水平ブランキング期間において、ガンマ補正の操作を行う。即ち、水平ブランキング期間の端子 t_{r1} 及び t_{r2} への印加電圧が、共に例えば低い電圧の0Vの状態、各転送部 T_1 、 T_2 、 T_3 ……と各センサー部 S_1 、 S_2 、 S_3 ……間のゲート部のポテンシャルバリア ϕ_g が第9図に ϕ_{g1} として示すように比較的高い状態で、水平ブランキング期間内の各時点 t_1 、 t_2 、 t_3 ……で、端子 t_s に第6図Cで示すように漸次高い電圧 ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} ……を与え、第9図に示すように、センサー部 S_1 、 S_2 、 S_3 ……のポテンシャル ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} ……を浅くすると共に、オーバーフロー制御部(8)のポテンシャルを ϕ_{c1} 、 ϕ_{c2} 、 ϕ_{c3} とする。この場合、第5図で説

明したように、印加電圧を高めるにつれ、センサー部とオーバーフロー制御部とのポテンシャルの差即ちポテンシャルバリアは低められるので、オーバーフローの量が増大する。したがって今、光の強度 I が、 $I_0 < I_1 < I_2 < I_3 < I_4$ の関係を有する光を受光した場合の、時点 $t_0 \sim t_4$ におけるセンサー部(1)に蓄積される電荷量 q をみると、第10図に示すように各時点 t_1 、 t_2 、 t_3 、 t_4 での夫々の $\phi_s - \phi_c$ の値で決るセンサー部(1)の電荷 $q_1 \sim q_4$ はオーバーフローされて除去されるので、光の強度 I に対する電荷量は、第11図に示すように指数関数曲線、即ちガンマ補正がなされる。

そして、次の偶数番目のフィールドにおいても、同様の操作をすることによつてガンマ補正を行うことができるが、この偶数番目のフィールドにおいては、第6図に示すように、その頭初に対応する垂直ブランキング期間における各センサー部 S_1 、 S_2 、 S_3 ……からシフトレジスタ(2)の転送部 T_1 、 T_2 、 T_3 ……への読み出し後前述の奇数番目のフィールドの場合とは逆に、端子 t_1 の電圧を正の

のミニマムポテンシャルが、常にゲート部において小さくなるように各部(10,11)の不純物濃度或いは絶縁層の厚さ等を選定するものとする。そして、1つ置き of 転送部(11)を共通に接続され、端子 t_{r1} 及び t_{r2} が導出される。

また、オーバーフロー制御部(8)は、例えば、基体(4)と同導電型を有するもこれに比し高い不純物濃度を有する領域(16)が主面(4a)に臨んで形成され、これの上に絶縁層(5)を介して制御電極(17)が被着されて成る。

センサー部(1)は、光透過性の絶縁層(5)を介してこれの上にセンサー電極(18)が被着されて構成される。このセンサー電極(18)と、これに対応するオーバーフロー制御部(8)の制御電極(17)は、連続した共通の透明電極によつて構成するか、電気的に接続して共通の電圧を与える端子 t_s が導出される。

尚、各領域(6)、(7)、(9)、(14)、(16)は、夫々周知の技術、例えば選択的拡散法、イオン注入法等によつて形成し得る。又、電極(19)(12A)及び(12B)は夫々不純物がドーブされて低抵抗とされた多結晶

シリコン層を順次化学的気相成長法によつてデポジットすることによつて形成し得、これらの表面を酸化することによつて絶縁層を形成してこれら電極(12A)及び(12B)上を含んで、全面的にセンサー電極(18)及びオーバーフロー制御電極(17)を構成する透明電極を全面的に被着して形成し得る。

そして、センサー部(1)以外の部分上に、遮光層(19)を被着する。この遮光層(19)は、例えばアルミニウム層によつて構成し得、このように遮光層(19)を導電体によつて構成する場合は、各電極を覆つて絶縁層(5)を形成し置き、これの上に遮光層(19)を被着する。

上述したように本発明装置においては、各センサー部(1)のセンサー電極(18)と、之に対応するオーバーフロー制御部(8)の制御電極(17)とを電気的に共通とするものであるが、両電極(18)及び(17)に共通の電圧が与えられた状態で、センサー部(1)とオーバーフロー制御部(8)とのミニマムポテンシャル(図示の例ではミニマムポテンシャルが表面に生ずるようにした場合で、この場合ミニマムポテンシヤ

ルは表面ポテンシャルに相当する)に差が生ずるようになすと共に、印加電圧によつてこのポテンシャルの差が変化するようになす。上述の例ではセンサー部(1)の表面濃度を基体(4)の濃度に選定し、オーバーフロー制御部(8)の表面濃度をセンサー部(1)のそれより大にした場合で、この場合において、センサー部(1)とオーバーフロー制御部(8)の各絶縁層(5)の厚さを 3000 \AA とし、センサー部(1)の表面濃度を $5 \times 10^{14} \text{ cm}^{-3}$ とし、制御部(8)のそれを $5 \times 10^{15} \text{ cm}^{-3}$ としたときの、センサー電極(18)及び制御電極(17)への共通の印加電圧、即ち端子 t_s への印加電圧 ϕ_s に対するセンサー部(1)と制御部(8)における夫々の表面ポテンシャル ϕ_s 及び ϕ_c は夫々第5図中曲線(10)及び(11)に示すように、印加電圧 ϕ_s が大になるにつれ両者の差は大となる。尚、上述した例では、センサー部(1)と制御部(8)の表面ポテンシャルに差が生ずるよう両者の表面濃度を選定した場合であるが、或る場合はセンサー部(1)と制御部(8)との表面濃度は一定にして、或いはこれらを異ならしめると共に、各部(1)及び(8)の電極(18)及び

(17)の絶縁層の厚さを互に異ならしめ、センサー部における絶縁層の厚さを制御部(8)におけるそれより小に選定するようになすこともできる。このような構成としたことによつて、後に詳述するようになり、端子 t_s への印加電圧 ϕ_s の大小によつて制御部(8)とセンサー部(1)の表面ポテンシャルの差 ($\phi_s - \phi_c$) に大小の変化が生ずるようになり、即ち制御部(8)によるセンサー部(1)とオーバーフロー領域(9)との間のバリアの高さを変化させてセンサー部(1)よりのキャリアのオーバーフロー量を制御する。

尚、後の説明の便宜上、第2図に示すように各水平ライン上のセンサー部(1)を順次 S_1 、 S_2 、 S_3 、 \dots と、夫々に対応するシフトレジスタ(2)の転送部(11)を T_1 、 T_2 、 T_3 、 \dots とし、1つ置き of 転送部 T_1 、 T_3 、 T_5 、 \dots の電極が端子 t_1 に、他の1つ置き of 転送部 T_2 、 T_4 、 T_6 、 \dots の電極が端子 t_2 に接続されるものとする。

次に、本発明装置の動作を説明するに、この場合においても垂直ブランキング期間において、セ

ンサー部(1)の受光量に応じた信号電荷を垂直シフトレジスタ(2)の対応する転送部(1)に転送(以下読み出しという。)し、シフトレジスタ(2)の端子 t_{r1} 及び t_{r2} に第6図A及びBに示すように、2相クロック ϕ_{v1} 及び ϕ_{v2} を与えて水平ブランキング期間において、この信号電荷を順次隣合う一方方向の転送部へと転送し、第1図に示した水平シフトレジスタ(3)へと1水平ライン毎の信号を転送し、水平映像期間中で水平ライン毎の信号を端子 t より読み出しに行くものである。第7図ないし第9図は、第3図に示す断面における各部のミニマムポテンシャル図で、オーバーフロー領域(9)、オーバーフロー制御部(8)、センサー部(1)の各ミニマムポテンシャルを ϕ_d 、 ϕ_c 、 ϕ_s 、 ϕ_g 、 ϕ_b で表わし、各印加電圧状態におけるポテンシャルにサフイツクスを付して示したものである。第7図は受光・蓄積モードを示し、この受光・蓄積状態では端子 t_s に、センサー部(1)に深いポテンシャルの井戸を形成する電圧、即ち正の大なる電圧 ϕ_s を与える。そして、奇数番目のフィールド期間の頭

初に対応する垂直ブランキング期間の時点 t_0 で、第6図A及びBに示すように、シフトレジスタ(2)の端子 t_{r1} 及び t_{r2} への印加電圧 ϕ_{v1} 及び ϕ_{v2} として正の所要の電圧を与えた状態で、端子 t_s に与える電圧 ϕ_s を第6図Cに示すように、低めて第8図にそのミニマムポテンシャル図を示すように、センサー部(1)のポテンシャルの井戸を十分浅くするポテンシャル ϕ_{s1} とし、このセンサー部(1)に対応する転送部(1)のストレージ部におけるポテンシャルの井戸を十分深めるポテンシャル ϕ_{b2} にする。このようにすると、各センサー部 S_1 、 S_2 、 S_3 ……に受光量に応じて発生蓄積されていた信号電荷(キャリア)は、各転送部 T_1 、 T_2 、 T_3 ……のストレージ部へと第8図に矢印 b で示すように転送、即ち読み出される。次に、この垂直ブランキング期間内において、第6図A及びBに示すように、例えば端子 t_2 の電圧 ϕ_{v2} を上記正の所要の電圧に保持した状態で、端子 t_1 の電圧 ϕ_{v1} を例えば0Vに低める。このようにすると、1つ置きの転送部 T_1 、 T_3 、 T_5 ……の各電荷が、他

の1つ置きの転送部 T_2 、 T_4 、 T_6 ……へと転送されて2つの転送部の電荷が加えられる。即ち、センサー部 S_1 、 S_3 、 S_5 ……の各信号電荷が夫々隣合うセンサー部 S_2 、 S_4 、 S_6 ……と重畳される。この電荷は垂直シフトレジスタへと垂直及び水平ブランキング期間において通常のように転送させるが、特に本発明においては、適当な水平ブランキング期間において、ガンマ補正の操作を行う。即ち、水平ブランキング期間の端子 t_{r1} 及び t_{r2} への印加電圧が、共に例えば低い電圧の0Vの状態、各転送部 T_1 、 T_2 、 T_3 ……と各センサー部 S_1 、 S_2 、 S_3 ……間のゲート部のポテンシャルバリア ϕ_g が第9図に ϕ_{g1} として示すように比較的高い状態で、水平ブランキング期間内の各時点 t_1 、 t_2 、 t_3 ……で、端子 t_s に第6図Cで示すように漸次高い電圧 ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} ……を与え、第9図に示すように、センサー部 S_1 、 S_2 、 S_3 ……のポテンシャル ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} ……を浅くすると共に、オーバーフロー制御部(8)のポテンシャルを ϕ_{c1} 、 ϕ_{c2} 、 ϕ_{c3} とする。この場合、第5図で説

明したように、印加電圧を高めるにつれ、センサー部とオーバーフロー制御部とのポテンシャルの差即ちポテンシャルバリアは低められるので、オーバーフローの量が増大する。したがって今、光の強度 I が、 $I_0 < I_1 < I_2 < I_3 < I_4$ の関係を有する光を受光した場合の、時点 $t_0 \sim t_4$ におけるセンサー部(1)に蓄積される電荷量 q をみると、第10図に示すように各時点 t_1 、 t_2 、 t_3 、 t_4 での夫々の $\phi_s - \phi_c$ の値で決るセンサー部(1)の電荷 $q_1 \sim q_4$ はオーバーフローされて除去されるので、光の強度 I に対する電荷量は、第11図に示すように指数関数曲線、即ちガンマ補正がなされる。

そして、次の偶数番目のフィールドにおいても、同様の操作をすることによつてガンマ補正を行うことができるが、この偶数番目のフィールドにおいては、第6図に示すように、その頭初に対応する垂直ブランキング期間における各センサー部 S_1 、 S_2 、 S_3 ……からシフトレジスタ(2)の転送部 T_1 、 T_2 、 T_3 ……への読み出し後前述の奇数番目のフィールドの場合とは逆に、端子 t_1 の電圧を正の

所定電圧に保持した状態で、端子 t_2 を例えば 0V としてセンサー部 $S_2, S_3, S_4 \dots$ の電荷を、夫々奇数フィールドにおける組合せとは異なる他の隣合うセンサー部 $S_1, S_2, S_3 \dots$ と加え合せられるようにする。即ち、奇数フィールドにおいては S_1 と S_2, S_3 と S_4, S_5 と $S_6 \dots$ の組合せによつて夫々1つの絵素信号を構成し、偶数フィールドにおいては他の組合せの S_2 と S_3, S_4 と S_5, S_6 と $S_7 \dots$ の組合せによつて夫々1つの絵素信号を形成する。

このようにして2フィールドで1画面(1フレーム)を形成し、飛越し走査と同様の効果を得る。

尚、上述の構成において、感度調整を行うには、オーバーフロー制御部(8)の幅を十分小となし置き、第12図に示すようにオーバーフロートレイン領域(9)のバイアスを深めこれのポテンシャルが制御部(8)に影響し、このバリアを低めてセンサー部(1)のキャリアを領域(9)へと逃がしめるようにすることによつて行い得る。

上述したように、本発明によれば、オーバーフ

ロー制御部に電氣的に独立の電極を設けることなくガンマ補正が行うことができるので電極構造が複雑化することによる製造の煩雑さ、信頼性の低下、歩留りの低下等の招来を回避でき、実用に供してその利益は大である。

また、上述の構成による場合は、各フィールドの頭初において、全センサー部 $S_1, S_2, S_3 \dots$ よりの電荷を読み出すので、残像の問題を解消できる。即ち、従来のように各フィールドで1つ置きのセンサー部の電荷を読み出す場合は、各センサー部において、互に他の1つ置きのセンサー部の読み出しがなされるフィールド区間中においても受光がなされていることから夫々2フィールドの受光がなされるので、残像の問題が生ずるが、上述の本発明装置によれば、この問題が解消される。

尚、上述の例においては、センサー電極を共通として各フィールドで各センサー部の信号電荷を読み出すようにした場合であるが、或る場合はセンサー電極を1つ置きの水平ライン上のセンサー部

$S_1, S_3, S_5 \dots, S_2, S_4, S_6 \dots$ を組として分割し、各フィールドで1つ置きのセンサー部に関して読み出しを行うようにすることもできる。

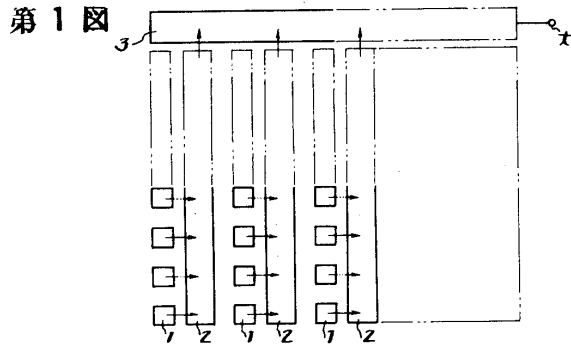
図面の簡単な説明

第1図はインターライントランスファ方式の固体撮像装置の構成図、第2図は本発明装置の要部の上面図、第3図及び第4図は夫々そのⅢ-Ⅲ線及びⅣ-Ⅳ線上の断面図、第5図はセンサー部とオーバーフロー制御部の印加電圧に対するミニマムポテンシャルの関係を示す曲線図、第6図は動作の説明に供する電圧タイミング図、第7図ないし第9図は夫々本発明装置の各モードを示すポテンシャル図、第10図は光強度を変化させた場合の各時点におけるセンサー部の蓄積電荷を示す図、第11図はガンマ補正曲線図、第12図は自動感度調整モードのミニマムポテンシャル図である。

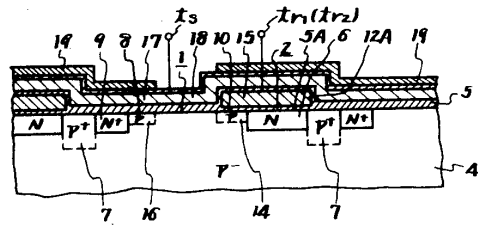
(1)、 $S_1, S_2, S_3 \dots$ はセンサー部、(2)は垂直シフトレジスタ、(3)は水平シフトレジスタ、(4)は半導体基体、(5)は絶縁層、(7)はチャンネルストツ

バー領域、(8)はオーバーフロー制御部、(9)はオーバーフロートレイン領域、(10)はゲート部、(11)、 $T_1, T_2, T_3 \dots$ はシフトレジスタ(2)の転送部、(13A)及び(13B)は転送電極、(15)はゲート電極、(17)はオーバーフロー制御電極、(18)はセンサー電極である。

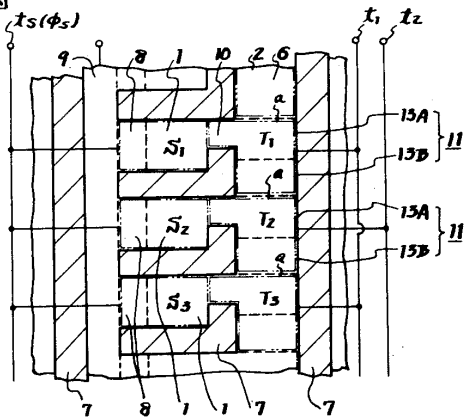
代理人 伊 藤 貞



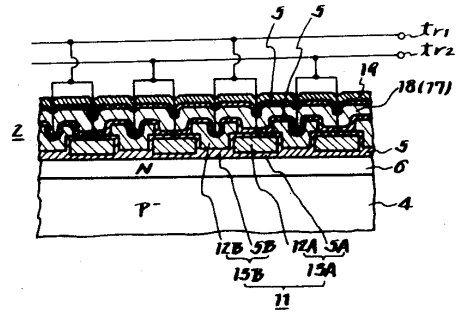
第3図



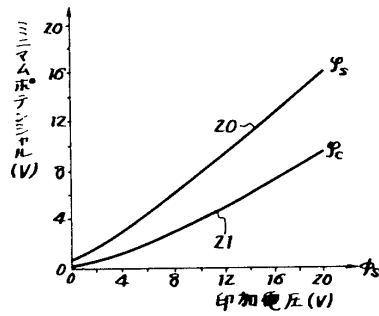
第2図



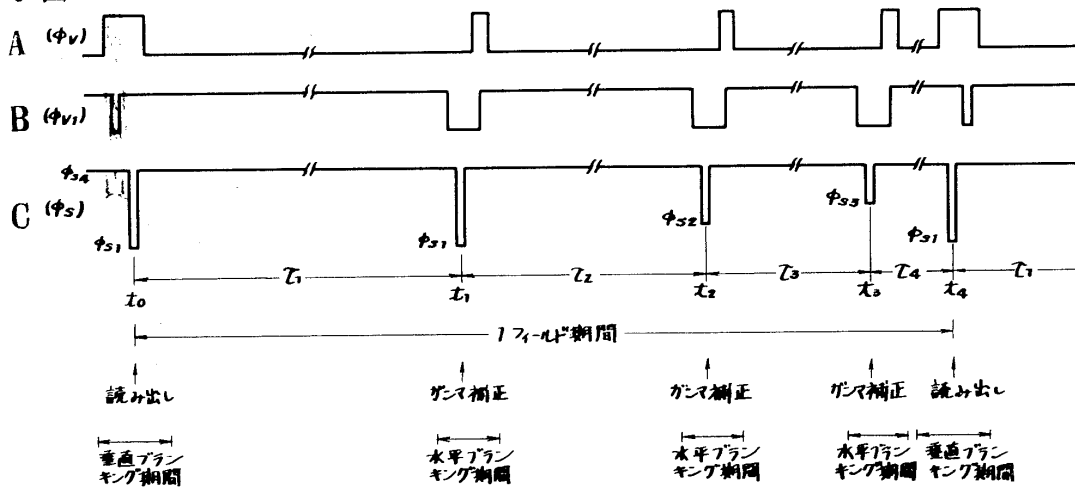
第4図



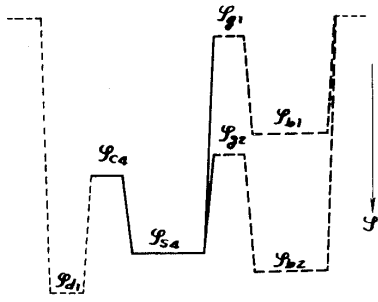
第5図



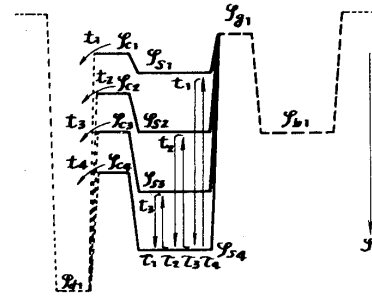
第6図



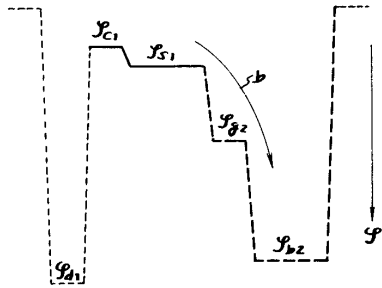
第7図



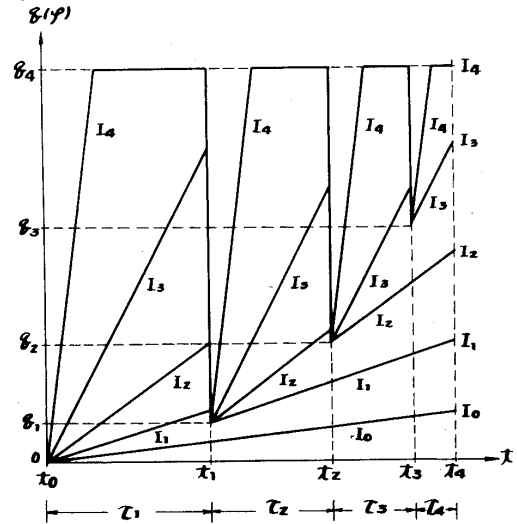
第9図



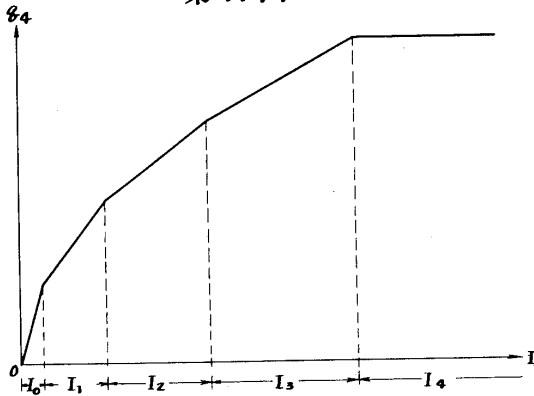
第8図



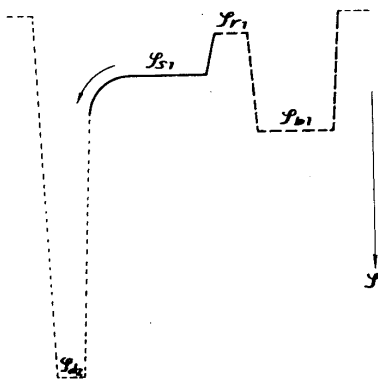
第10図



第11図



第12図

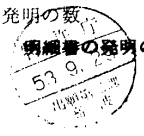


手続補正書

昭和53年9月28日

特許庁長官 藤谷善二 殿
(特許庁審判長)

1. 事件の表示
昭和52年特許願第 126885 号
2. 発明の名称 固体撮像装置
3. 補正をする者
事件との関係 特許出願人
東京都品川区北品川6丁目7番35号
(218) コニエ株式会社
代表者 岩間和夫
4. 代理人 東京都新宿区西新宿1丁目8番1号(新宿ビル)
TEL東京(03)343-5821(代表)
(3388) 弁理士 伊藤 貞
5. 補正命令の日付 昭和 年 月 日
6. 補正により増加する発明の数
7. 補正の対象 明細書の発明の詳細な説明の欄
8. 補正の内容



- (1) 明細書中、第6頁3～4行「ストレージゲート部(13A)とトランスファゲート部」を「トランスファゲート部(13A)とストレージゲート部」と訂正する。
- (2) 同、同頁6～7行「接続される。」の後に次の文を加入する。
「第4図の例では垂直シフトレジスタのトランスファゲート部とストレージゲート部にポテンシャルの深さを異らしめるため電極(12A)(12B)下の絶縁層(5A)(5B)の厚さを異らしめたものであるが、酸化膜厚差を用いずに半導体基体の不純物濃度差を用いてポテンシャルの深さを異らしめることもできる。この場合ストレージ電極(12B)およびトランスファ電極(12A)下の絶縁層の厚みは等しいが、かわりにトランスファ電極(12A)の下にP型導電型の浅い領域が形成される。このP型領域はたとえば選択的にイオン注入を行うことによつて形成できる。」
- (3) 同、同頁12行「(5A)」を「(5B)」と訂正する。

ϕ_{s4} およびオーバーフロー制御部のポテンシャル ϕ_{c4} の差で決められる電荷量 q_4 以上の電荷はオーバーフロードレインへと捨てられ、センサー部に蓄積される電荷量は q_4 で飽和する。次に定められたある水平ブランキング期間中の一時点 t_1 において、端子 t_1 には比較的低い電位 ϕ_{s1} が与えられることによりセンサー部のポテンシャル ϕ_{s1} とオーバーフロー制御部のポテンシャル ϕ_{c1} で決まる蓄積量 q_1 以上の電荷はオーバーフロードレインへと排除される。次いで端子 t_s には与えられる電位は再び ϕ_{s4} になされるため入射光の強さ I_4 にもとずいて再び電荷はセンサー部のポテンシャル ϕ_{s4} とオーバーフロー制御部のポテンシャル差で決められたセンサー部に蓄積され、電荷量 q_4 以上の余剰電荷はオーバーフロードレインに捨てられる。次に定められた別の水平ブランキング期間中の一時点 t_2 において端子 t_s には先の ϕ_{s1} よりも高い電位 ϕ_{s2} が与えられることによりセンサー部のポテンシャル ϕ_{s2} とオーバーフロー制御部のポテ

- (4) 同、第7頁2行「小さく」を「浅く」と訂正する。
- (5) 同、第11頁13行「センサー部(1)の」を「センサー部(1)、ゲート部(10)、ストレージゲート部(13B)の」と訂正する。
- (6) 同、第13頁5行「垂直」を「水平」と訂正する。
- (7) 同、同頁7行「適当な」の後に「回数の選ばれた」を加入する。
- (8) 同、同頁16行「を与え、」の前に「すなわち、 $\phi_{s1} < \phi_{s2} < \phi_{s3} \dots\dots$ 」を加入する。
- (9) 同、第14頁3行「低められる」を「高められる」と訂正する。
- (10) 同、同頁4行「増大する。したがって今」を次のように訂正する。
「減少する。この動作をたとえば I_4 の強さの光が入射する場合について、第9図、第10図を参照しながら詳細に説明する。すなわち I_4 の強さの光が入射した場合、まず端子 t_s には ϕ_{s4} が与えられた時のセンサー部のポテンシャル

ンシャル ϕ_{c2} とによつて決められる蓄積量 q_2 以上の電荷がオーバーフロードレインへと排除される。その後再び端子 t_s には電位 ϕ_{s4} が与えられて電荷は蓄積され第3の選ばれた水平ブランキング期間中の一時点 t_3 にて ϕ_{s2} よりも高い電位 ϕ_{s3} が与えられることにより蓄積量 q_3 以上の電荷は排除される。その後再び端子 t_s には電位 ϕ_{s4} が与えられるため入射光に応じて電荷は蓄積された後、垂直ブランキング期間中の一時点 t_4 において読み出される。

したがって今、」

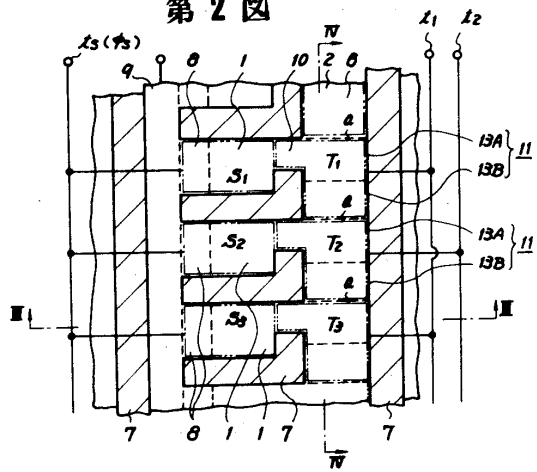
- (11) 同、同頁9～10行「電荷 $q_1 \sim q_4$ は」を「電荷 $q_1 \sim q_4$ 以上の電荷は」と訂正する。
- (12) 同、同頁12行「指数関数曲線、」を「べき乗関数曲線、」と訂正する。
- (13) 同、同頁同行「なされる。」の後に次の文を加入する。
「すなわち第10図および第11図において強さ I_{0M} 以下の光 I_0 が入射した時、センサーに蓄積される電荷量は直線 ϕ_1 で示され、 I_{0M} と

I_{1M} の間の強さの光 I_1 が入射した時、センサーに蓄積される電荷量は直線 θ_2 で示され以下同様である。」

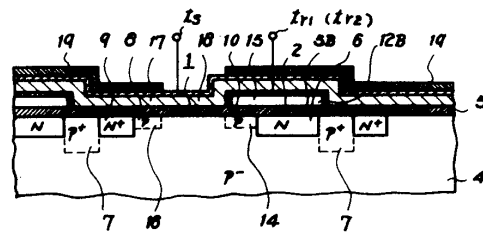
- (14) 同、第15頁5行「奇数」を「偶数」と訂正する。
- (15) 同、同頁7行「偶数」を「奇数」と訂正する。
- (16) 同、同頁19行「行い得る。」の次に次の文を加入する。
「すなわち、オーバーフローラインに大なるバイアスを加えた時はセンサー領域に生成される信号電荷はオーバーフローラインに流れこみ蓄積されない。従つて受光量に応じて受光蓄積期間を短かくすることができる。」
- (17) 図面中、第2図、第3図、第6図、第10図及び第11図を添付図のように補正する。

以上

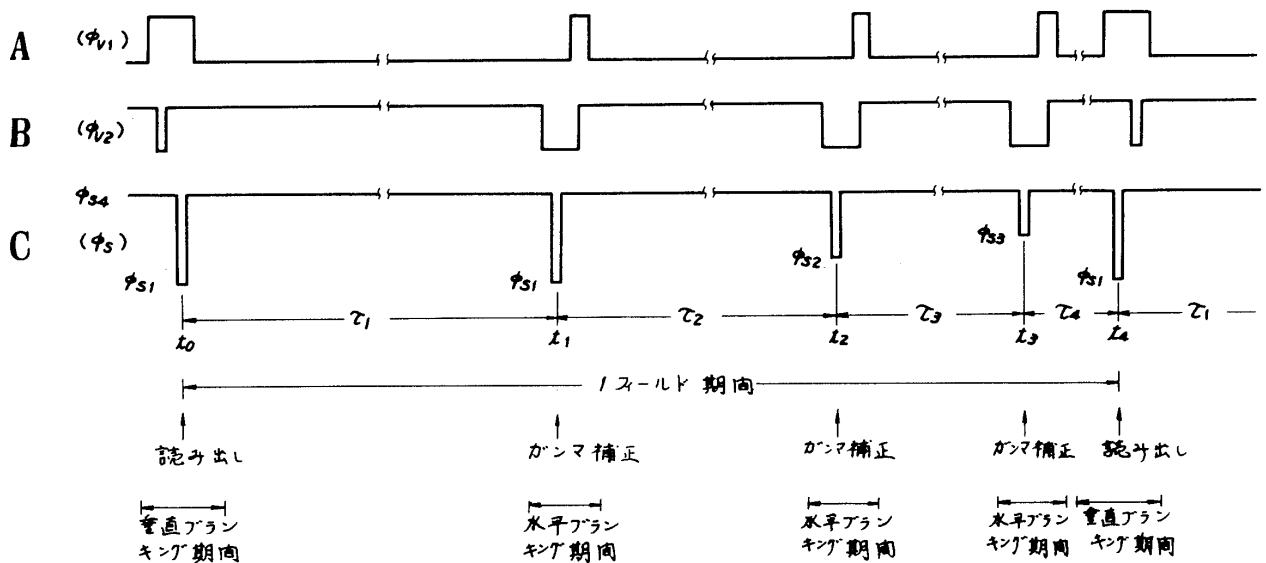
第2図



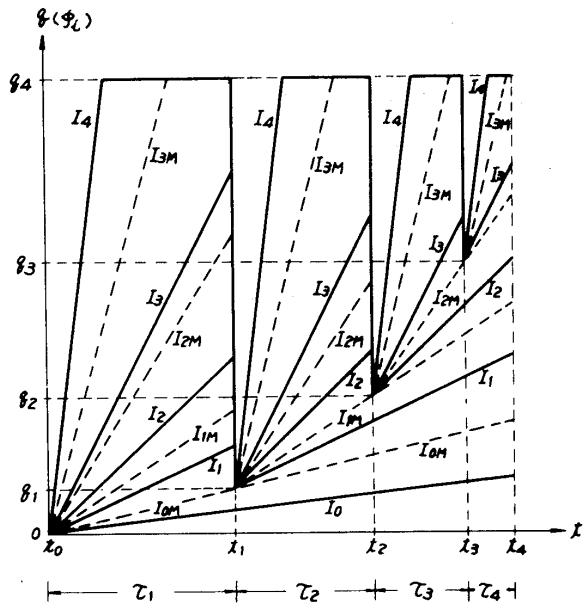
第3図



第6図



第10図



第11図

