

Grounded-surface PP-NP-P+ Double Junction type Solar Cell
JPA2020-13131 by Yoshiaki Hagiwara AIPS

- (1) 200mm Wafer から Diamond Cutter で 3 cm x 3 cm Chip に加工します。
- (2) Chipの全面 (表面 + 裏面 + 側面) に熱酸化膜 (1) を形成し保護します。
- (3) MASK01: 受光表面のみ酸化膜を残します。側面と裏面と周辺部分の酸化膜を除去します。
- (4) 側面と裏面と周辺にP+ 拡散層を形成します。
- (5) 再度 Chip の全面に熱酸化膜 (2)を形成します。
- (6) MASK02: 受光表面の酸化膜を部分 Etching し、N+出力端子用の小さい窓を開けます。**
- (7) そのN+出力端子用の小さい窓を KOHで Silicon Etchingし、埋め込みN層を露出させます。
- (8) 露出した埋め込みN層にN+拡散層を形成します。
- (9) Chipの全面に熱酸化膜 (3)を形成します。
- (10) MASK03: N+拡散領域に小さい窓開けをし同時に裏面と側面と周辺の酸化膜を除去します。
- (11) MASK04: 金属蒸着し、受光表面をEtching し、小さなN+出力金属端子を表面に形成します。
裏面と側面と周辺にも金属膜を残しP+接池端子を形成します。

