

第10章 pp.149-163

\*\*\*\*\*  
デジタル回路 演習問題 11  
\*\*\*\*\*

11.01 デジタル記憶回路の関数モデルについて説明しなさい。

- ① refresh mode で実行されることは何か？
- ② 読み書きmode で共通に実行されることは何か？
- ③ 書き込みmodeで実行されることは何か？

11.02 Decoder回路とは？

11.03 Encoder回路とは？

11.04 Pass transistor ( Switch Transistor ) の水門モデルを説明せよ。  
NMOS transistor の各動作を水門モデルを使って説明せよ。

11.05 いろいろな電子部品について説明せよ (review questions !)

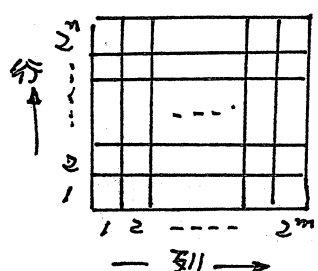
- ①抵抗体
- ②Diode
- ③Bipolar Transistor
- ④容量C
- ⑤NMOS transistor、そして、
- ⑥USBメモリの基本電子部品

Floating Gate型のNMOS transistorの断面構造を描き、  
その動作原理を説明しなさい。

\*\*\*\*\*

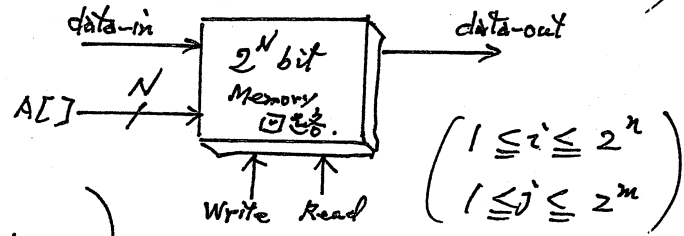
11.01 デジタル記憶装置の回路モデル

1ビットを記憶する回路が、たいてい  $2^n$  個、よに  $2^m$  個並んだ行列 (Array) 構造をとり



Memoryの配列 (Array構造)

(1つ1つの1ビット Memory 回路には  $(i,j)$  の番号 Address が付いている。i行目のj列目と指定する。回路図は単純に次の様になる。  $N=n+m$  とする。



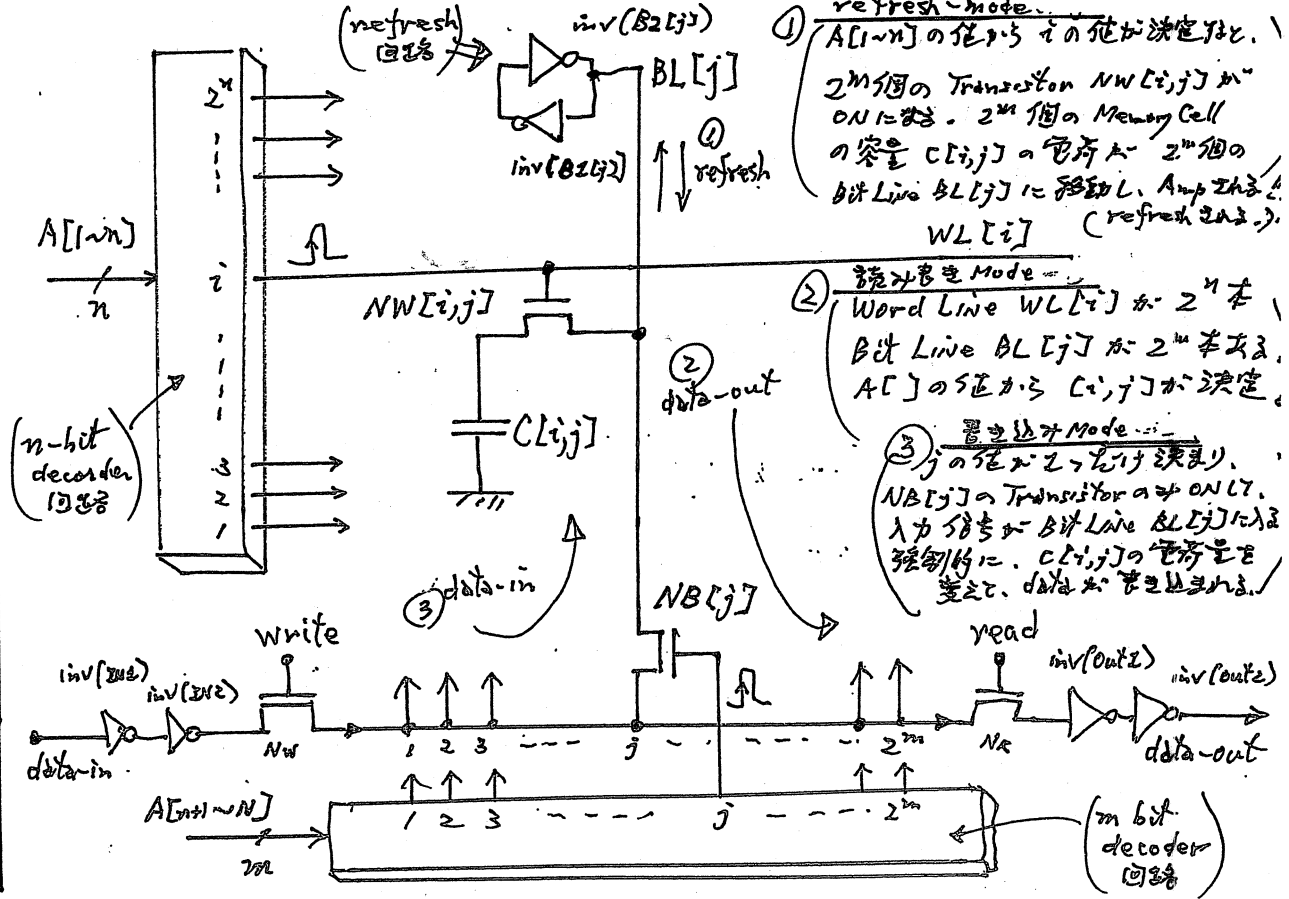
\*  $(i,j)$  の番号 Address を指定する Address 信号線は  $N=n+m$  本ある。

$N$  本のうち、 $n$  本が 行の番号を指定する。  $m$  本が 列の番号を指定する。

\* 入力信号線  $data-in$  は 1 本でその値を、 $(A[1], A[2], \dots, A[n])_2 = (i)_10$  として、 $i$  の値を決定し、 $i$  行目に信号が届くようにする。 (しかし、 $i$  行目の  $2^m$  個の Memory Cell のうち、その信号を受けとれるのは、

$(A[n+1], A[n+2], \dots, A[N-1], A[N])_2 = (j)_10$  で定まる  $j$  番目の Memory Cell だけにある。その Cell  $[i,j]$  の  $data$  の内容のみ書き換えられる。これが Write = 1 信号が入ると、実行される。

\* Read = 1 とすると、Address 信号  $A[i]$  から同様に  $[i,j]$  の値が決定し、その Memory Cell  $[i,j]$  の値が出力端子  $data-out$  に出力される。

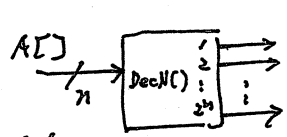


① refresh-mode  
 $A[1 \sim n]$  の値から  $i$  の値が決定され、 $2^m$  個の Transistor  $NW[i,j]$  が ON になる。  $2^m$  個の Memory Cell の容量  $C[i,j]$  の電荷が  $2^m$  個の bit Line  $BL[j]$  に移動し、Amplifier (refresh される)。  
 $WL[i]$

② 読み書き Mode  
 Word Line  $WL[i]$  が  $2^n$  本、Bit Line  $BL[j]$  が  $2^m$  本ある。  $A[j]$  の値から  $[i,j]$  が決定。

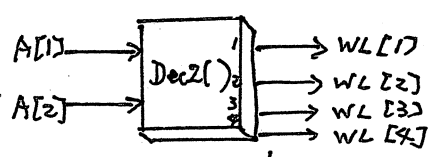
③ 書き込み Mode  
 $j$  の値から  $j$  が決まり、 $NB[j]$  の Transistor が ON になり、入力信号が Bit Line  $BL[j]$  に強制的に、 $C[i,j]$  の電荷を変え、 $data$  が書き込まれる。

11.02 Decoder とは? (少ない信号線から多数の信号線がでる)



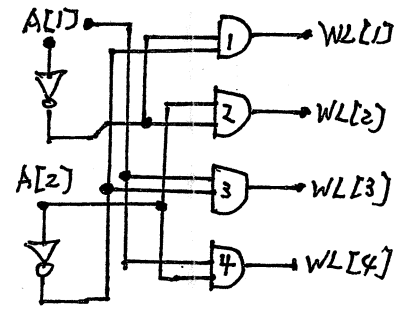
λ 入力信号 A[1] の値に 従って、 $(i)_{10} \leftarrow (A[1])_2$  の i が 決定されて、 $2^n$  本の出力信号のうち、i 番目の信号線 のみが high = 1 に なる回路のこと。

2 bit decoder 回路

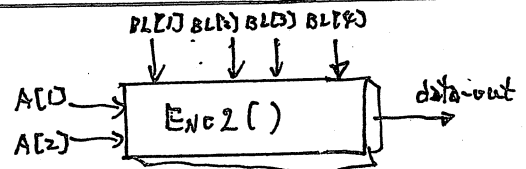


$$\begin{aligned} WL[1] &= \overline{A[1]} \overline{A[2]} \\ WL[2] &= \overline{A[1]} A[2] \\ WL[3] &= A[1] \overline{A[2]} \\ WL[4] &= A[1] A[2] \end{aligned}$$

A[1]	A[2]	WL[1]	WL[2]	WL[3]	WL[4]
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

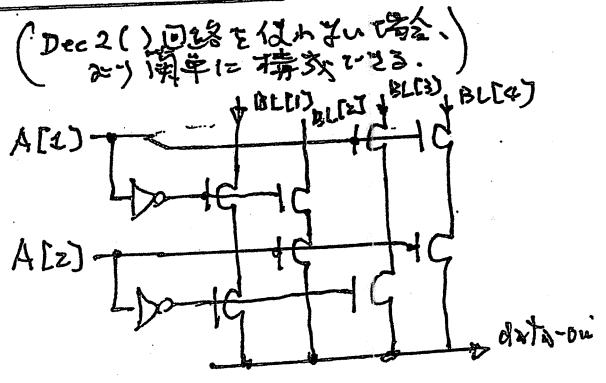
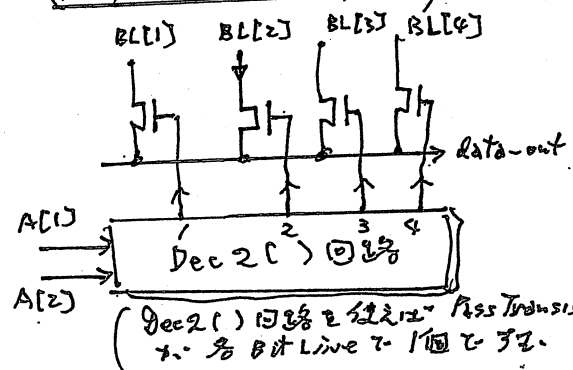


11.03 Encoder とは? (多数の信号線から 1 本の出力がでる) (2 bit Encoder 回路 Enc2() の場合)

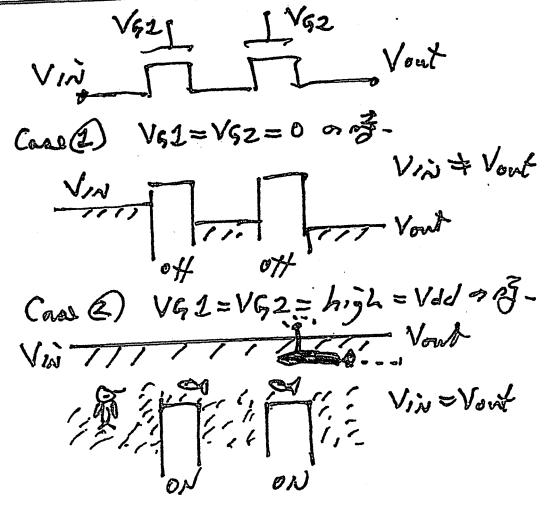


A[1]	A[2]	data-out に 出る 信号
0	0	BL[1]
0	1	BL[2]
1	0	BL[3]
1	1	BL[4]

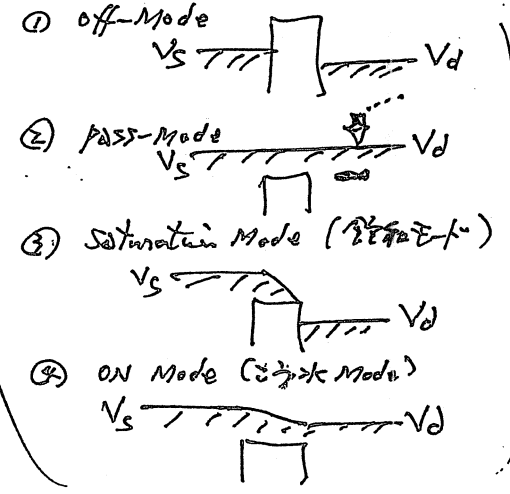
(10.1) の  $2^N$  bit Memory Array に 従って、m bit Encoder が 構成 できる。



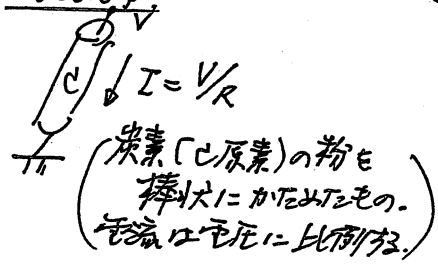
11.04 Pass Transistor (Switch Transistor) の 特性 について



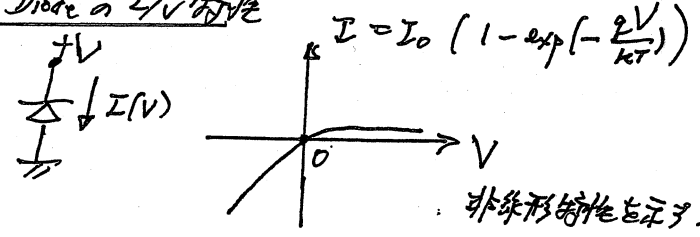
通常の NMOS Transistor の 特性 について



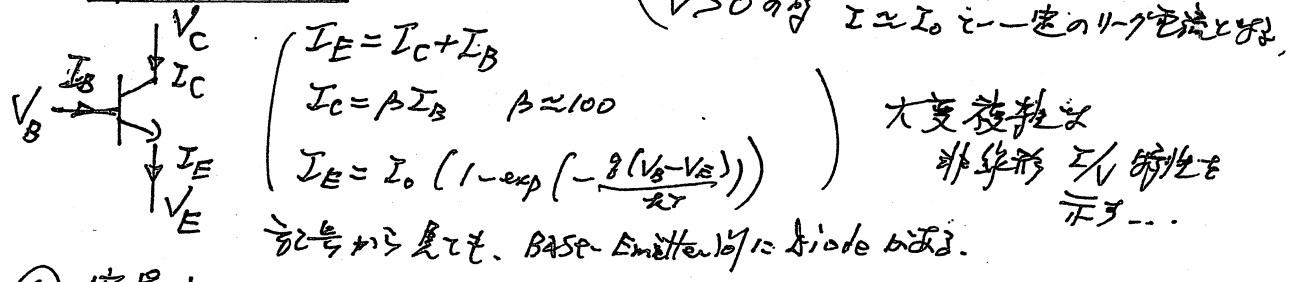
① 抵抗器



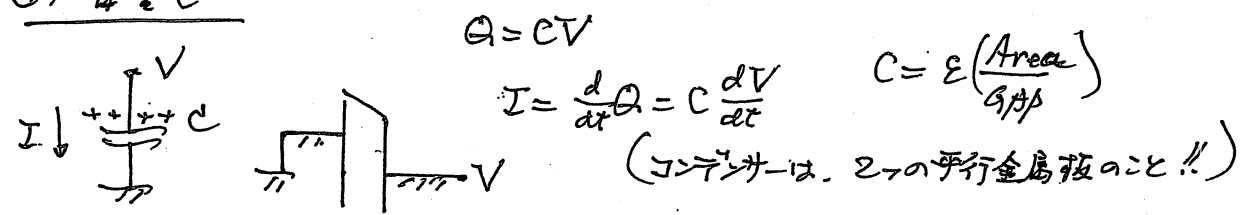
② Diode の I/V 特性



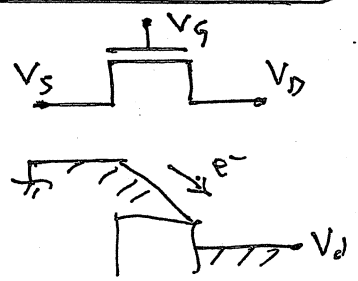
③ Bipolar Transistor



④ 容量 C



⑤ MOS Transistor



⑥ USBメモリ の電子部品 Floating Gate 型 MOS

