

19章 pp. 135-148.

\*\*\*\*\*  
デジタル回路 演習問題 10  
\*\*\*\*\*

10.01 次のDCDL codeで定義された 重み付け抵抗型A/D変換器の回路図を描け。

```
define ADCswr ( ) { input Vdd, GND, S0, S1, S2, S3; output Vout;
NO (S0, Vdd, V0); N1 (S1, Vdd, V1); N2 (S2, Vdd, V2); N3 (S3, Vdd, V3);
RO (V0, Va) = R; R1 (V1, Va) = R/2; R2 (V2, Va) = R/4; R3 (V3, Va) = R/8;
Rf (Vout, Va); [Va, GND] OpAMP (1) -> [Vout]; }
```

解析的に 入力信号 Vout の値を 入力信号の関数として求めよ。

10.02 次のDCDL codeで定義された PMOS型 Operational Amplifier の回路図を描け。

```
define OpeAmpP ( ) { input Vdd, -Vdd, Va, Vb; output Vout;
P1 (V1, Vdd, V1); P2 (V2, V1, V2); P3 (-Vdd, V2, -Vdd);
P4 (V1, Vdd, V3); P5 (Vb, V3, V4); P6 (Va, V3, V5);
N1 (V4, V4, -Vdd); N2 (V4, V5, -Vdd);
P7 (V1, Vdd, Vout); N3 (V5, Vout, -Vdd); }
```

基準電圧発生回路 (P1, P2, P3) の出力電圧 V1 の値と Vdd の関係を説明しなさい。

出力Buffer回路 (P7, N3) の入出力特性について説明しなさい。

中央の作動アンプ回路 (P4, P5, P6, N1, N2) にはどんな機能を期待するか？

10.03 次のDCDL codeで定義されたNMOS型基準電圧発生回路 NNN ( ) の回路図を描け。

```
define NNN ( ) { input Vdd, GND; output Vout;
N1 (Vdd, Vdd, V1); N2 (V1, V1, Vout); N3 (Vout, Vout, GND); }
```

出力電圧 Vout の値と Vdd の関係を説明しなさい。

10.04 次のDCDL codeで定義された 出力Buffer回路 BufferPN ( ) の回路図を描け。

```
define BufferPN ( ) { input Vdd, GND, Vin, VCG; ouput Vout ;
P (Vin, Vdd, Vout); N (VCG, Vout, GND); }
```

この出力Buffer回路の入出力特性を説明しなさい。

10.05 次のDCDL codeで定義されたLadder抵抗型D/A変換回路の回路図を描け。

```
define DACLadRRR ( ) { input Vdd, GND, S0, S1, S2, S3; output Vout;
R3 (Vdd, V2) = R; RA3 (Vdd, Va3) = 2R; P3 (S3, Va3, GND); N3 (S3, Va3, GND);
R2 (V2, V1) = R; RA2 (Vdd, Va2) = 2R; P2 (S2, Va2, GND); N2 (S2, Va2, GND);
R1 (V1, V0) = R; RA1 (Vdd, Va1) = 2R; P1 (S1, Va1, GND); N1 (S1, Va1, GND);
RO (V0, GND) = 2R; RA0 (Vdd, Va0) = 2R; PO (S0, Va0, GND); NO (S0, Va0, GND);
Rf (Vout, Va); [Va, GND] OpAmpP (1) -> Vout; }
```

10.06 二重積分型A/D変換器の動作原理を説明せよ。

10.07 逐次比較型A/D変換器の動作原理を説明せよ。

10.08 次のDCDL codeで定義された 4 bit D/A 変換回路の回路図を描き、

その出力特性を説明しなさい。

```
define DACRRR ( ) { input Vdd, GND, B0, B1, B2, B3; output Vout;
N3 (B3, Vdd, V3); R3 (V3, GND) = Ro/8; N2 (B2, Vdd, V2); R2 (V2, GND) = Ro/4;
N1 (B1, Vdd, V1); R1 (V1, GND) = Ro/2; NO (B0, Vdd, V0); RO (V0, GND) = Ro ;
Rout (Vout, GND) ; }
```

10.09 次のDCDL codeで定義された 2 bit A/D 変換回路の回路図を描き、

Encoder ( ) 回路の出力関数を求めなさい。

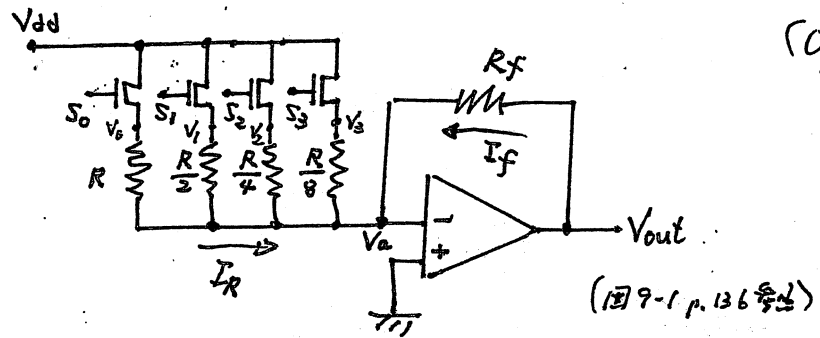
```
define ADC2RR0pAmpEnc ( ) { input Vdd, GND, Vin; output B1, B2 ;
R3 (Vdd, V2) = R; R2 (V2, V1) = R; R1 (V1, V0) = R; RO (V0, GND) = R;
[Vin, V2] OpeAmp (2) -> [Y2]; [Vin, V1] OpeAmp (2) -> [Y1];
[Vin, V0] OpeAmp (0) -> [Y0]; [Y2, Y1, Y0] Enc (1) -> [B1, B2]; }
```

\*\*\*\*\*

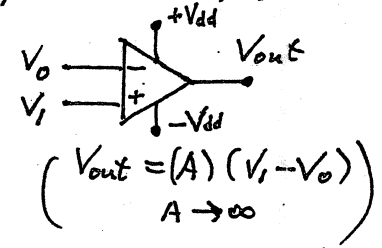
10.01

重み付き抵抗型 A/D 変換器 (p.137 ~)

教科書 p.135-148 参考



(Operational Amplifier の定義)



$$I_f = \frac{V_{out} - V_a}{R_f} \quad \text{①} \quad I_r = \frac{V_{dd} - V_a}{R_{in}} \quad \text{②}$$

$$\frac{1}{R_{in}} = \frac{S_0}{R} + \frac{2S_1}{R} + \frac{4S_2}{R} + \frac{8S_3}{R} \quad \text{③}$$

$$I_f + I_r = 0 \quad \text{④}$$

$$V_{out} = (A)(-V_a) \quad \text{⑤}$$

(ただし A → ∞)

この5つの方程式を解いて、Vout を求めよ。

OpAmp の電源は +Vdd と -Vdd を使えない!!

$$-I_f = + \frac{(1+A)}{R_f} V_a = \frac{V_{dd} - V_a}{R_{in}} = I_r > 0$$

$$\left( \frac{1}{R_{in}} + \frac{(1+A)}{R_f} \right) V_a = \frac{V_{dd}}{R_{in}} \quad V_a = \frac{V_{dd}}{1 + \frac{(1+A)}{R_f} R_{in}} = - \frac{V_{out}}{A}$$

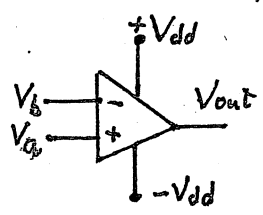
$$V_{out} = \frac{-AV_{dd} R_f}{(1+A) R_{in} + R_f} \quad \text{as } A \rightarrow \infty \quad V_{out} = - \frac{R_f}{R_{in}} V_{dd}$$

よって、

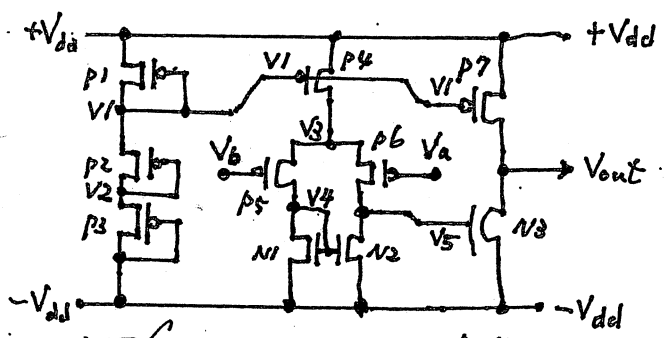
$$V_{out} = - \left( \frac{R_f}{R} \right) (V_{dd}) (S_0 + 2S_1 + 4S_2 + 8S_3) < 0 \quad \text{とわかる。}$$

10.02

オプン7°回路



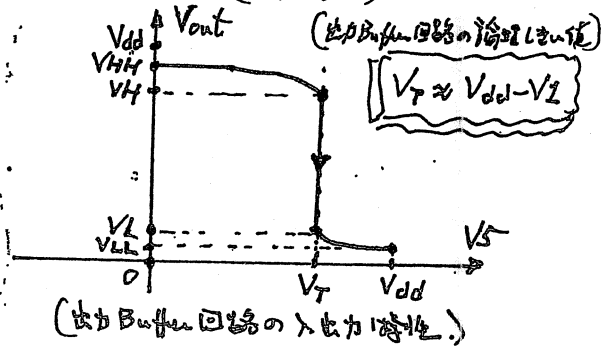
$$V_{out} = (A)(V_a - V_b)$$



①  $V_1 \approx \frac{1}{3} V_{dd}$  とわかる。  
(基準電圧値)  $= V_1 = \frac{V_{dd}}{3}$

(基準電圧 発生回路) (差動 Amp 回路) (出力 Buffer 回路)

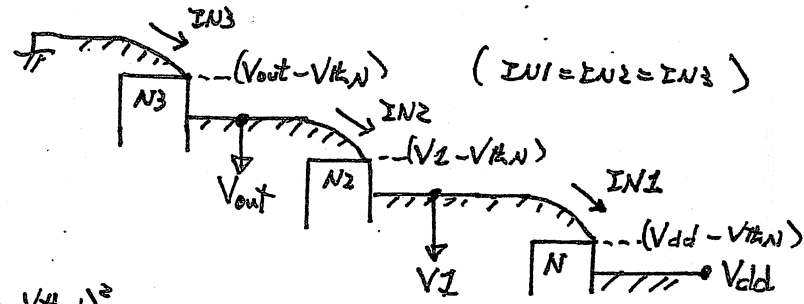
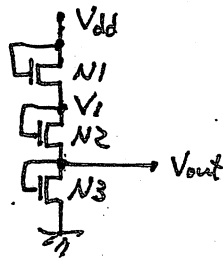
② 出力 Buffer 回路の P7 Transistor にこの基準電圧  $V_1 = \frac{1}{3} V_{dd}$  がかかっている。  
V5 の電圧が中央の差動アンプ回路の出力値で、その値は、 $V_a = V_b$  の時は  $V_5 \approx V_T$  とする。V\_T は出力 Buffer 回路の論理しきい値電圧で、 $V_T \approx V_{dd} - V_1$



(出力 Buffer 回路の入出力特性)

10.03

NAVC) 回路の基準電圧値



$$\begin{aligned} I_{N3} &= \frac{K_{N3}}{2} (V_{out} - V_{thN})^2 \\ I_{N2} &= \frac{K_{N2}}{2} (V_1 - V_{thN} - V_{out})^2 \\ I_{N1} &= \frac{K_{N1}}{2} (V_{dd} - V_{thN} - V_1)^2 \end{aligned} \quad \left( \begin{aligned} I_{N1} &= I_{N2} = I_{N3} \\ V_{out} - V_{thN} &= \sqrt{\frac{K_{N2}}{K_{N3}}} (V_1 - V_{thN} - V_{out}) \\ V_{out} - V_{thN} &= \sqrt{\frac{K_{N1}}{K_{N3}}} (V_{dd} - V_{thN} - V_1) \end{aligned} \right)$$

$$\left(1 + \sqrt{\frac{K_{N2}}{K_{N3}}}\right) V_{out} - \sqrt{\frac{K_{N2}}{K_{N3}}} V_1 = V_{thN} \left(1 - \sqrt{\frac{K_{N2}}{K_{N3}}}\right)$$

$$V_{out} + \sqrt{\frac{K_{N1}}{K_{N3}}} V_1 = V_{thN} \left(1 - \sqrt{\frac{K_{N1}}{K_{N3}}}\right) + V_{dd} \sqrt{\frac{K_{N2}}{K_{N3}}}$$

$$\left(2 + \sqrt{\frac{K_{N2}}{K_{N3}}}\right) V_{out} = V_{thN} \left(2 - \sqrt{\frac{K_{N2}}{K_{N3}}} - \sqrt{\frac{K_{N1}}{K_{N3}}}\right) + V_{dd} \sqrt{\frac{K_{N2}}{K_{N3}}}$$

$$V_{out} = \frac{1}{2 + \sqrt{\frac{K_{N2}}{K_{N3}}}} \left\{ V_{dd} \sqrt{\frac{K_{N2}}{K_{N3}}} + V_{thN} \left(2 - \sqrt{\frac{K_{N2}}{K_{N3}}} - \sqrt{\frac{K_{N1}}{K_{N3}}}\right) \right\}$$

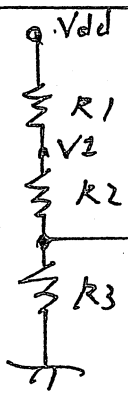
When  $K_{N1} = K_{N2} = K_{N3}$  の時、 $V_{out} = \frac{1}{3} V_{dd}$  となる。

$$\left(1 + \sqrt{\frac{K_{N2}}{K_{N3}}}\right) V_{out} + \left(1 + \sqrt{\frac{K_{N2}}{K_{N3}}}\right) \sqrt{\frac{K_{N2}}{K_{N3}}} V_1 = \left(1 + \sqrt{\frac{K_{N2}}{K_{N3}}}\right) \left\{ V_{thN} \left(1 - \sqrt{\frac{K_{N1}}{K_{N3}}}\right) + V_{dd} \sqrt{\frac{K_{N1}}{K_{N3}}}\right\}$$

$$\left(1 + \sqrt{\frac{K_{N2}}{K_{N3}}}\right) V_{out} - \sqrt{\frac{K_{N2}}{K_{N3}}} V_1 = \left(1 - \sqrt{\frac{K_{N2}}{K_{N3}}}\right) V_{thN}$$

$$\left[1 + \sqrt{\frac{K_{N2}}{K_{N3}}}\left(1 + \sqrt{\frac{K_{N1}}{K_{N3}}}\right)\right] V_1 = \left(1 + \sqrt{\frac{K_{N2}}{K_{N3}}}\right) \sqrt{\frac{K_{N2}}{K_{N3}}} V_{dd} + \left\{\left(1 + \sqrt{\frac{K_{N2}}{K_{N3}}}\right)\left(1 - \sqrt{\frac{K_{N1}}{K_{N3}}}\right) - \left(1 - \sqrt{\frac{K_{N2}}{K_{N3}}}\right)\right\} V_{thN}$$

When  $K_{N1} = K_{N2} = K_{N3}$  の時、 $V_1 = \frac{2}{3} V_{dd}$  となる。



抵抗体の場合、 $R_1 = R_2 = R_3$  の時、 $V_1 = \frac{2}{3} V_{dd}$   
 $V_{out} = \frac{1}{3} V_{dd}$

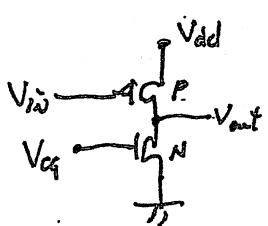
$$V_1 = \frac{R_2 + R_3}{R_1 + R_2 + R_3} V_{dd}$$

$$V_{out} = \frac{R_3}{R_1 + R_2 + R_3} V_{dd}$$

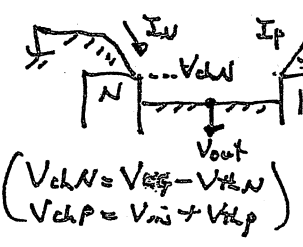
MOS Transistor を  
 一種の固定抵抗体として  
 利用していることに注意。

10.04

PN Buffer ( ) 回路の特性



Case (1) PMOS ( ) と NMOS ( ) 両方が飽和 (saturation) のとき



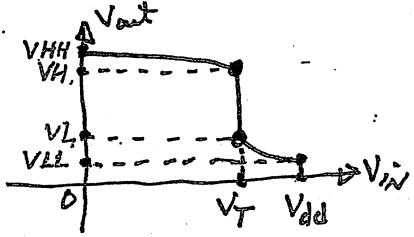
$$\begin{aligned} I_N &= \frac{k_N}{2} (V_{gs} - V_{thN})^2 \\ I_P &= \frac{k_P}{2} (V_{dd} - V_{in} - V_{thP})^2 \end{aligned}$$

$(I_P = I_N)$   
 $(V_{chN} = V_{gs} - V_{thN})$   
 $(V_{chP} = V_{in} + V_{thP})$

$$k_N (V_{gs} - V_{thN})^2 = k_P (V_{dd} - V_{in} - V_{thP})^2$$

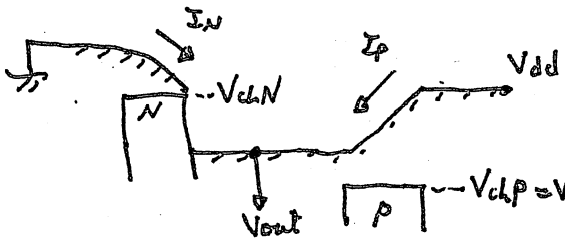
$$V_{in} = (V_{dd} - V_{thP}) - \sqrt{\frac{k_N}{k_P}} (V_{gs} - V_{thN}) = V_T$$

$V_{in} = V_T$  のときのみ可能である。



$$V_T = (V_{dd} - \sqrt{\frac{k_N}{k_P}} V_{gs}) - (V_{thP} - \sqrt{\frac{k_N}{k_P}} V_{thN})$$

Case (2) When  $V_{out} > V_{in} + V_{thP}$



$$\begin{aligned} I_N &= \frac{k_N}{2} (V_{gs} - V_{thN})^2 \\ I_P &= \frac{k_P}{2} (V_{dd} - V_{out}) [V_{dd} + V_{out} - 2(V_{in} + V_{thP})] \\ V_{dd}^2 - V_{out}^2 - 2(V_{dd} - V_{out})(V_{in} + V_{thP}) &= (\frac{k_N}{k_P})(V_{gs} - V_{thN})^2 \end{aligned}$$

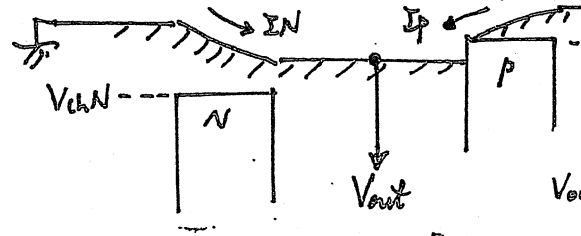
$$V_{out}^2 - 2V_{out}(V_{in} + V_{thP}) = V_{dd}^2 - 2V_{dd}(V_{in} + V_{thP}) - (\frac{k_N}{k_P})(V_{gs} - V_{thN})^2$$

$$[V_{out} - V_{in} - V_{thP}]^2 = [V_{dd} - V_{in} - V_{thP}]^2 - (\frac{k_N}{k_P})(V_{gs} - V_{thN})^2$$

$$V_{out} = (V_{in} + V_{thP}) + \sqrt{[V_{dd} - V_{in} - V_{thP}]^2 - (\frac{k_N}{k_P})(V_{gs} - V_{thN})^2}$$

When  $V_{in} = 0$  のとき,  $V_{out} = V_{HH} = V_{thP} + \sqrt{[V_{dd} - V_{thP}]^2 - (\frac{k_N}{k_P})(V_{gs} - V_{thN})^2}$   
 When  $V_{in} = V_T$  のとき,  $V_{out} = V_H = V_T + V_{thP}$  と決る。

Case (3) When  $V_{out} < V_{chN} = V_{gs} + V_{thN}$  のとき



$$I_P = \frac{k_P}{2} [V_{dd} - (V_{in} + V_{thP})]^2$$

$$I_N = \frac{k_N}{2} (V_{out}) [2(V_{gs} - V_{thN}) - V_{out}]$$

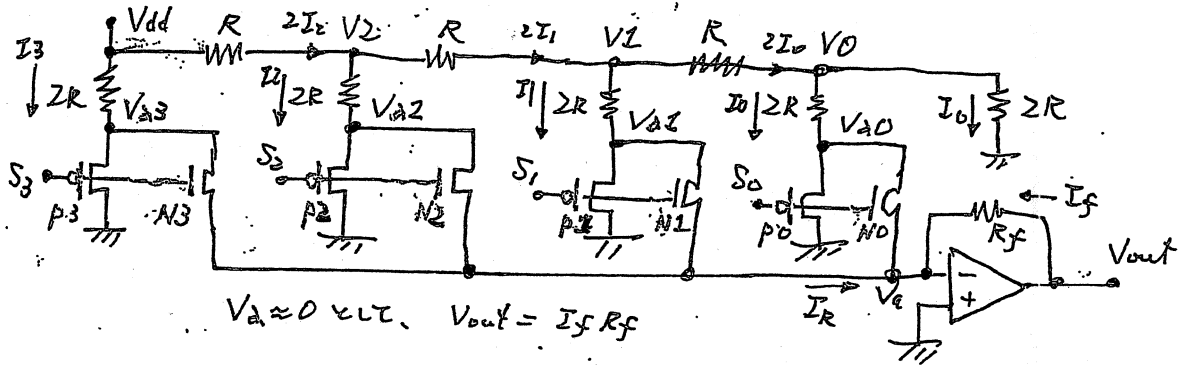
$$V_{out}^2 - 2V_{out}(V_{gs} - V_{thN}) = -\frac{k_P}{k_N} [V_{dd} - (V_{in} + V_{thP})]^2$$

$$[V_{out} - V_{gs} + V_{thN}]^2 = (V_{gs} - V_{thN})^2 - \frac{k_P}{k_N} [V_{dd} - (V_{in} + V_{thP})]^2$$

$$V_{out} = (V_{gs} - V_{thN}) - \sqrt{(V_{gs} - V_{thN})^2 - (\frac{k_P}{k_N})(V_{dd} - V_{in} - V_{thP})^2}$$

When  $V_{in} = V_{dd}$ ,  $V_{out} = V_{LL} = (V_{gs} - V_{thN}) - \sqrt{(V_{gs} - V_{thN})^2 - (\frac{k_P}{k_N})(V_{thP})^2} > 0$   
 When  $V_{in} = V_T$ ,  $V_{out} = V_L = V_{gs} - V_{thN}$  と決る。

10.05 Ladder 抵抗型 D/A 変換回路



$V_A \approx 0$  として、 $V_{out} = I_f R_f$

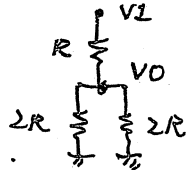
$I_f + I_R = 0$  より  $V_{out} = -I_R R_f$  となる。

$(S_0, S_1, S_2, S_3)$  の値が ON とき off とき、 $(V_{A0}, V_{A2}, V_{A2}, V_{A3})$  の値はほぼ GND  $(S_0, S_1, S_2, S_3)$  の値は、電流  $I_R$  に  $(I_0, I_1, I_2, I_3)$  が加算されるか減算されるかを決める。

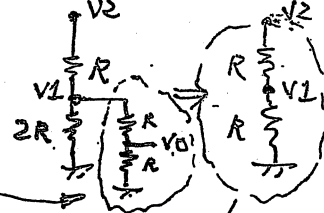
$I_R = S_3 I_3 + S_2 I_2 + S_1 I_1 + S_0 I_0$

$V_1$  に注目すると、 $V_A = GND$  として

$V_2$  に注目すると、 $V_A = GND$  として

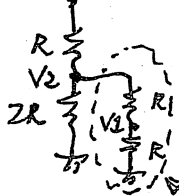


$V_0 = \frac{V_1}{2}$



$V_1 = \frac{V_2}{2}$

同様に、 $V_{dd}$



$V_2 = \frac{V_{dd}}{2}$

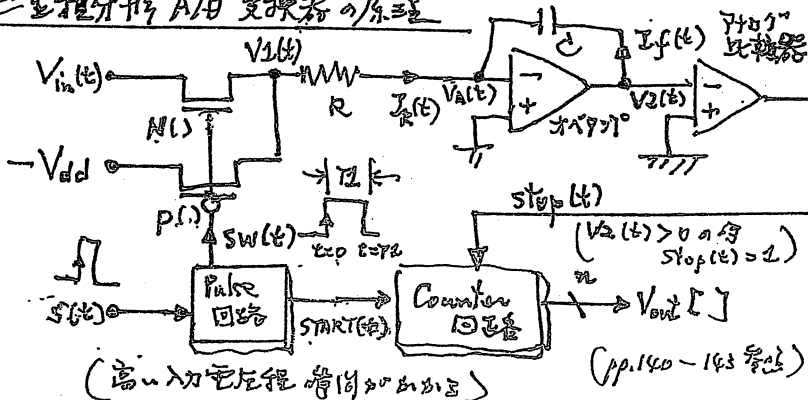
$V_2 = \frac{V_{dd}}{2}$   
 $V_1 = \frac{V_{dd}}{4}$   
 $V_0 = \frac{V_{dd}}{8}$

$I_0 = \frac{V_0}{2R} = \frac{V_{dd}}{16R}$     $I_1 = \frac{V_1}{2R} = \frac{V_{dd}}{8R}$     $I_2 = \frac{V_2}{2R} = \frac{V_{dd}}{4R}$     $I_3 = \frac{V_{dd}}{2R}$

よって、 $I_R = (I_0)(8S_3 + 4S_2 + 2S_1 + S_0)$  (p.140, Eq. (9-13) 参照)

$V_{out} = -I_R R_f = -\left(\frac{R_f}{16R}\right) (V_{dd})(8S_3 + 4S_2 + 2S_1 + S_0)$  となる。

10.06 二重積分形 A/D 変換器の原理



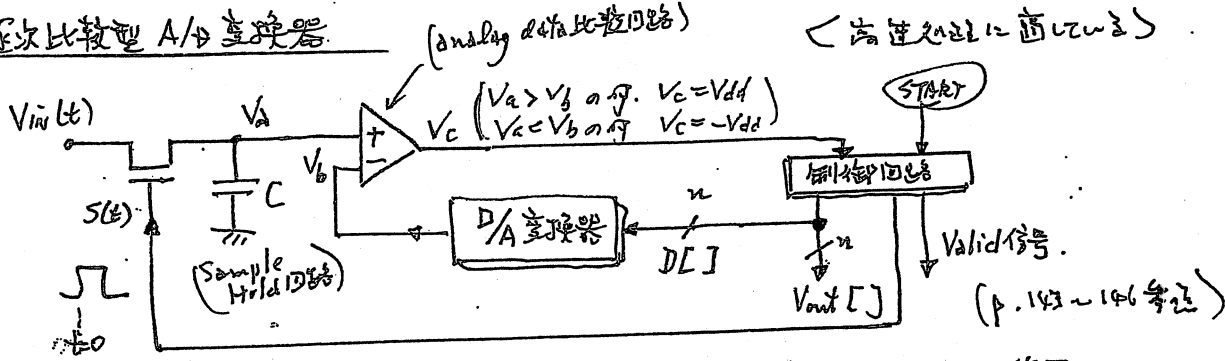
- $S(t)$  が High になると、 $N=0$ 、 $V_1(t) = V_{in}(t) > 0$  となり、 $I_{in}(t) < 0$  となり C が充電される。  $V_2(t) < 0$  となる。
- $SW(t)$  が  $x=T_1$  になると off に切り替え  $P=ON$  となり、 $V_2(t) = -V_{ref}$  となる。  $I_{in}(t) < 0$  の電流が流れる。 Counter 回路がカウントされる。 C が充電される。  $V_2(t) = GND$  となる。 Counter 回路が止まる。

(高入力電圧程 時間が増える)

(pp.140-143 参照)

10.07

逐次比較型 A/D 変換器



初. (start) 信号で,  $S(t)$  が High になり, 入力信号  $V_{in}(t)$  の値を容量  $C$  に保持する.  
 制御回路がまず,  $-\frac{1}{2}V_{dd}$  の値に対応する  $DC$  の 2進10進信号を発生させ.  
 D/A 変換器で電圧  $V_b = \frac{1}{2}V_{dd}$  を出力する. アナログ比較器が  $V_a$  と  $V_b$  を  
 比べる. 先,  $V_a > V_b$  なら,  $V_c = V_{dd}$  を出力する. その場合は,  $\frac{1}{2}V_{dd} < V_{in} < V_{dd}$   
 のため, 次に, 制御回路は  $\frac{3}{4}V_{dd}$  の値に対応する  $DC$  信号を発生させ.  
 2分法を繰り返して, 両方があわせめて,  $V_{in}(t)$  の値の範囲をせばめて行く.  
 対応度の精度 ( $n$ -bit の精度) が出たら, 有効信号 (Valid = 1) を出力する.

10.08

4 bit D/A 変換逐次回路

(p. 146 章末問題 102 参考)

$R_3 = \frac{R_0}{8}; R_2 = \frac{R_0}{4}; R_1 = \frac{R_0}{2}$  とする. ( $R \ll \frac{1}{8}R_0$  とする)

$B_3$	$B_2$	$B_1$	$B_0$	Case	$V_{out}$
0	0	0	0	0	$\frac{R}{R+R_0} V_d \approx \frac{RV_d}{R_0}$
0	0	0	1	1	$\frac{2R}{2R+R_0} V_d \approx \frac{2RV_d}{R_0}$
0	0	1	0	2	$\frac{R}{R+R_0/2} V_d \approx \frac{2RV_d}{R_0}$
0	0	1	1	3	$\frac{R}{R+R_0/4} V_d \approx \frac{4RV_d}{R_0}$
0	1	0	0	4	$\frac{RV_d}{R+R_2} \approx \frac{RV_d}{R_2} = \frac{4RV_d}{R_0}$
0	1	0	1	5	$\frac{RV_d}{R+R_2/R_0} \approx \frac{RV_d}{R_2/R_0} \approx \frac{5RV_d}{R_0}$
0	1	1	0	6	$\frac{RV_d}{R+R_2/R_1} \approx \frac{RV_d}{R_2/R_1} \approx \frac{6RV_d}{R_0}$
0	1	1	1	7	$\frac{RV_d}{R+R_2/R_1/R_2} \approx \frac{RV_d}{R_2/R_1/R_2} \approx \frac{7RV_d}{R_0}$
1	0	0	0	8	$\frac{RV_d}{R+R_3} \approx \frac{RV_d}{R_3} = \frac{8RV_d}{R_0}$

$R_0 || R_1 = \frac{R_0 R_1}{R_0 + R_1} = \left(\frac{2}{1+2}\right) R_0 = \frac{2}{3} R_0$

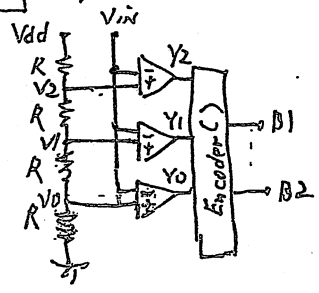
$\left( \frac{R_0 || R_1 || R_2}{(R_0 || R_1) + R_2} \right) = \left( \frac{R_0}{\frac{2}{3}} \right) : \left( \frac{R_0}{\frac{1}{2}} \right) = \frac{R_0}{\frac{5}{3}} = \frac{3}{5} R_0$

10.09

2 bit A/D 変換器

$V_i$	$Y_2$	$Y_1$	$Y_0$	$B_1$	$B_0$
$0 \leq V_i \leq V_0$	0	0	0	0	0
$V_0 < V_i \leq V_1$	0	0	1	0	1
$V_1 < V_i \leq V_2$	0	1	1	1	0
$V_2 < V_i$	1	1	1	1	1

$(B_1 = Y_1, B_0 = Y_1 Y_0 + Y_2)$  とする.



(p. 146 章末問題 103 参考)