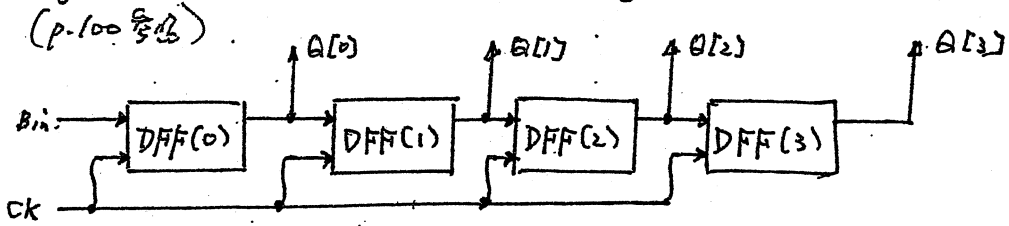


デジタル回路 ツー | (8)
9章 pp. 99-116

デジタル回路 演習問題 08

- 8.01 Shift Register とは?
4-bit shift register ShiftReg4()回路を 定義せよ。
- 8.02 preset/clear 付き D-FF()回路とは?
- 8.03 parallel to serial data 変換回路を定義し、
その回路を DFF() 回路で構築せよ。
- 8.04 非同期 Binary Counter とは?
その欠点は?
- 8.05 同期型8進Counter回路とは?
- 8.06 ①非同期Counterと同期Counterの長所と短所について説明せよ。
②1入力NAND回路NAND()回路を複数個使って、
4入力NAND回路 NAND4() を 構築する場合の、
各構築方法で、信号遅延時間について説明せよ。
③10進Counterを設計せよ。
まず、 $B[] = [B[3], B[2], B[1], B[0]]$ の State Vector 表を作成せよ。
特に B[1]の状態値(State Value)が high=1 になるための条件を
B[3]とB[0]の値から見極めて、付属論理回路の創案設計構築に挑戦せよ。

8.01 shift register とは? 4 bit shift register Shift Reg 4 () 回路の定義



```
define shift Reg 4 ( ) {
  input CK, Bin ;
  output Q[ ] ;
  for (k=3 to 1) {
    [CK] Q[k-1] DFF(k) -> Q[k] ;
  }
  [CK] [Bin] DFF(0) -> Q[0] ;
}
```

(DCDL Code 734)

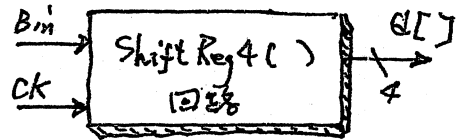
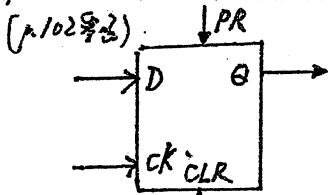


図7.3 と図7.4 を参照 (p.101)
 入力 data Bin (k) は、11 回 (serial) に
 入力され、並列 (parallel) に出力
 される。出力信号線は、4 本である。

8.02 preset/clear 付き D-FF () 回路とは?



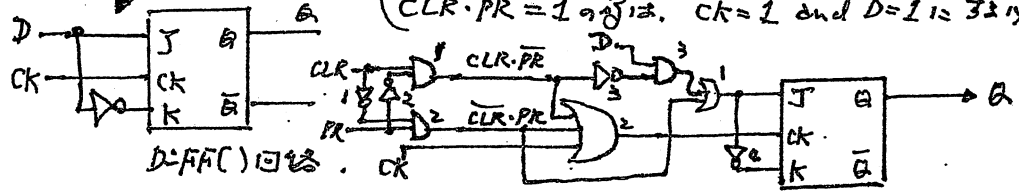
データは D 端子に「0」を一つずつ送り、
 従来の clear と preset (PR) に対し、
 反対の値で設定し、誤作動を
 防ぐ原因になる。「0」を省くべき。
 (clear と preset は、
 data に戻す事で all zero を意味する!!
 Preset は逆に all one を意味する!!)

* 表 7.1 CLR=PR=1 の時は、
 CLR も PR も 0 に
 する必要が有る。
 CLR・PR と CLR・PR
 の信号を合流する必要が
 有る。従来の D-FF ()
 回路は、JK-FF () 回路
 から合成した.. (p.95)

CLR	PR	D	CK	Q	Q̄
1	0	—	—	0	1
0	1	—	—	1	0
1	1	—	—	Q ₀	Q̄ ₀
0	0	0	1	0	1
0	0	1	1	1	0
0	0	—	それ以外	Q ₀ Q̄ ₀	

表 7.1 とは CLR と
 PR が互いに
 異なるのは
 注意 (p.103)
 (動作が異なる下、
 「0」を省くべき)

(CLR・PR=1 の時は、CK=1 and D=0 と有る。
 CLR・PR=1 の時は、CK=1 and D=1 にする必要が有る。)



(この JK-FF 回路を
 実装 MSJK-FF ()
 回路である..)
 (MSJK-FF () 回路では CK の直下列に出力が出る。)
 (注意、これは大変だ!!)
 (Inverter 回路が 4 つと、
 AND 回路が 1 つと、
 OR 回路が 2 つ以上必要!)

8.03 parallel to serial data 変換とは? (図7.6参照) (p.102参照)

1 bit の preset/clear 付き D-FF (1) 回路に data を書き込む方法は 2 種類ある!!

- ① 1つ の方法は 従来 の方法で preset=clear=0 を 保持し、ck が 来ると、d 端子の data を 取り込むことができる。
- ② もう 1つ の方法は、まず、clear=1 として、内部 data を 0 に clear して、1 を 入れたら、preset=1 にすればいい!!

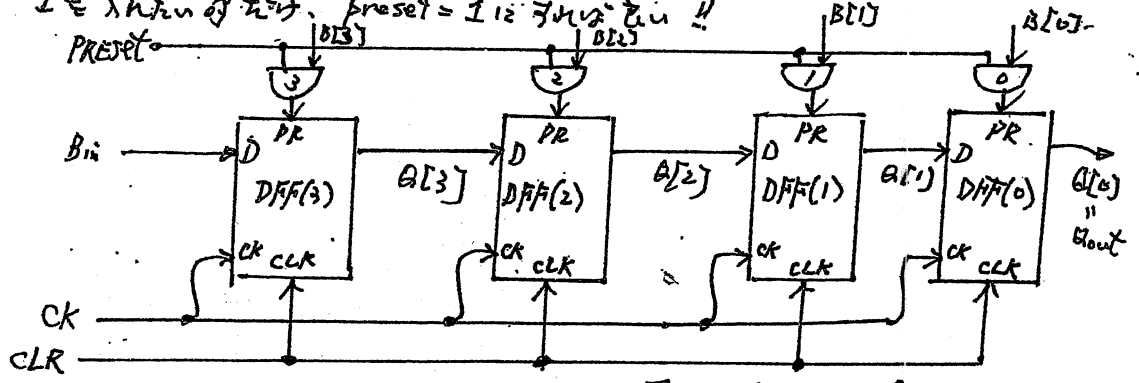


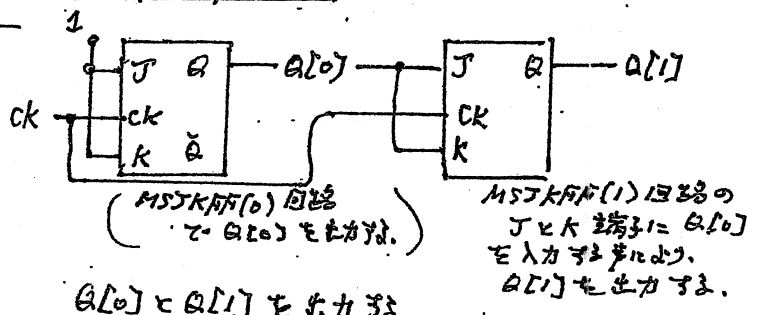
図7.6に対応した (p.102)

8.04 非同期 Binary Counter 回路とは? 図7.9 (p.105参照) (p.104参照)

Toggle 回路とは $J=K=1$ にした回路のこと (p.99参照)
 Toggle 回路を n 個つなげば、その数 n-bit の Counter になる。非同期である...
 n 番目の Toggle 回路が 反応するまでに、 $n \Delta t$ の遅延が必要。(これは Toggle 回路 1 個分の遅延時間) 図7.13 参照... これは、遅延!! 弊、hazard もある!! (p.107)

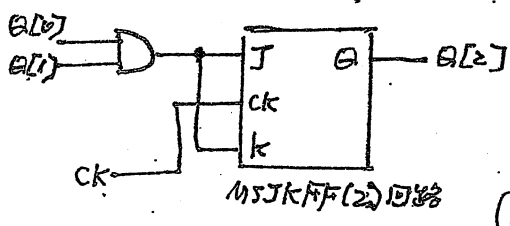
8.05 同期型 8進 Counter 回路とは? 図7.20 (p.110参照)

	Q[2]	Q[1]	Q[0]
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
0	0	0	0
1	0	0	1
2	0	1	0

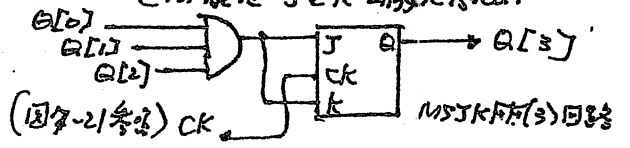


Q[0] と Q[1] を出力する回路は 非同期型と同じではない。

(例. Q[2] を出力する為には、MSJKFF(2) 回路の入力端子には、Q[0] と Q[1] の AND() 回路の出力を J と K 端子に入力。



同期型 16進 Counter 回路の場合は、Q[0], Q[1], Q[2] の AND() 回路出力を同様に J と K 端子に入力。

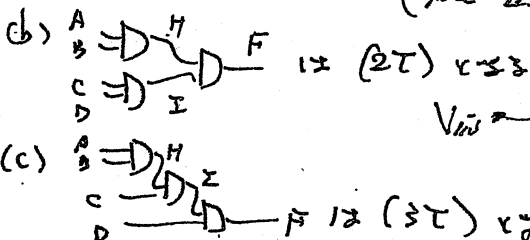
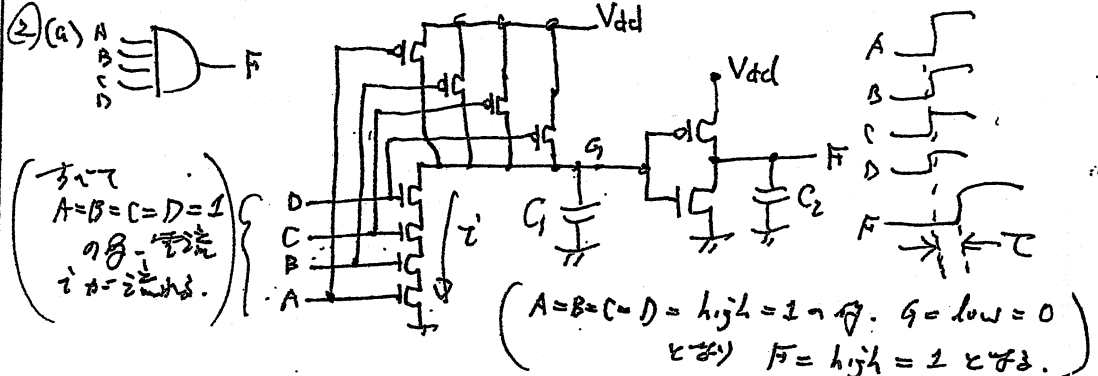


(図7.21参照)

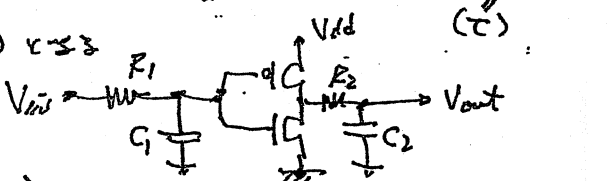
8.06 非同期カウンタと同期カウンタの長所と短所

- ① 非同期カウンタ - (遅い, かつ, 単純な実現)
- 同期カウンタ - (基本回路が複雑/高価)

中々 幸村問題 (p.114) 参照



(Gate 遅延は Transistor Gate 2 段階より)

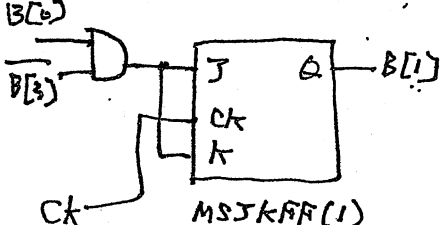


(RC 定数による遅延時間がある)

③ 10進 Counter 回路の設計

	B[3]	B[2]	B[1]	B[0]
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
0	0	0	0	0
1	0	0	0	1

$B[1]$ は $B[0]=1; B[3]=0$ とする。次は $A[1]=1$ とする。
Next $B[1] \leftarrow B[0] \cdot \overline{B[3]}$

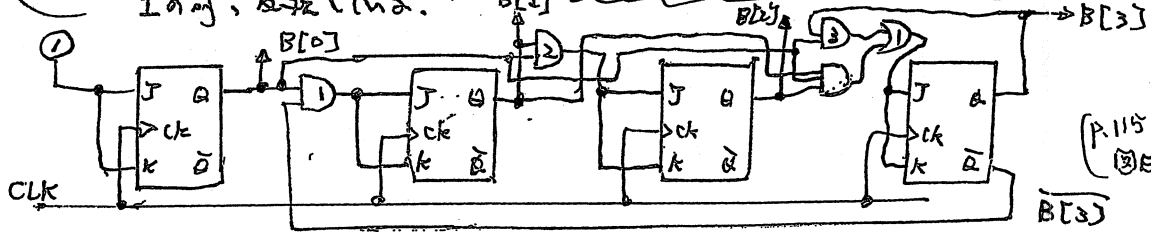


(図 E 7.3 参照) p.115.

$B[3]$ は $B[0]=B[1]=B[2]=1$ の時反転し、また $B[3]=B[0]=1$ の時、半反転する。

MSJKFF(1) 回路を 4 つ使う。

$B[2]$ は $B[0]$ と $B[1]$ の $and()$ 回路の出力が 1 の時、反転している。



(p.115 図 E 7.3 参照)

他に先 AND() 回路が 3 つ、AND3() 回路が 2 つ、ORC() 回路を 1 つ使う。