

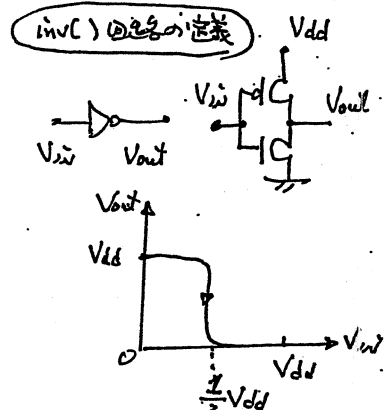
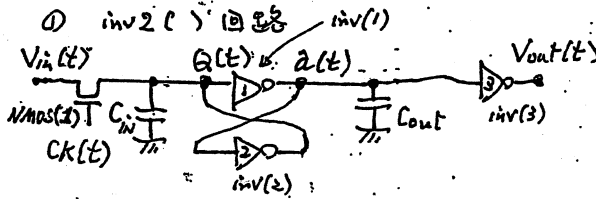
デジタル回路 ノート ⑦

第6章 pp.83-98

デジタル回路 演習問題 07

- 7.01 単純な 1 bit 記憶回路の回路図を描け。
inverter 回路の大きさが、data の書き込み時に、
重要な影響を与えることを説明せよ。
- 7.02 Reset&Set の Flip Flop 回路 RSFF()を定義せよ。
- 7.03 Reset&Set の Flip Flop 回路 RSFF()において
入力が $R=S=1$ となることが禁止されている理由を説明せよ。
- 7.04 Chattering 現象とは？その防止策はなにか？
- 7.05 $R=S=1$ を許す RRSFF()回路と RSSFF()を定義せよ。
- 7.06 data Flip Flop 回路 DFF() を定義せよ。
- 7.07 toggle Flip Flop 回路 TFF()を定義せよ。
- 7.08 非同期回路と同期回路の違いは？
- 7.09 帰還形 J-K Flip Flop 回路 JKFF()の問題点を説明せよ。
- 7.10 Master-Slave型 Flip Flop 回路 MSJKFF()を定義せよ。
- 7.11 いろいろな種類(タイプ) の1 bit 記憶回路を説明せよ。
特に USB メモリーの記憶回路は何タイプ回路か？
- 7.12 大容量メモリーの構成について説明せよ。
- 7.13 大容量メモリーで書き込み動作に必要な信号制御回路とは何か？
- 7.14 大容量メモリーで読み出し動作に必要な信号選別回路とは何か？

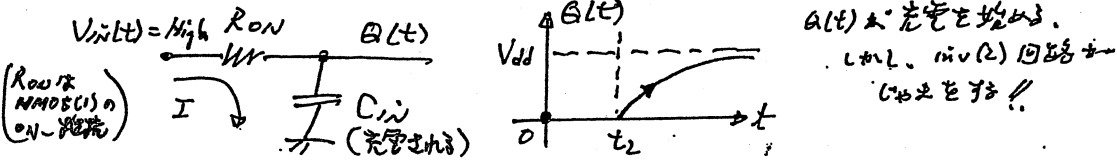
① 単純な記憶回路にはどういふものがあるか?



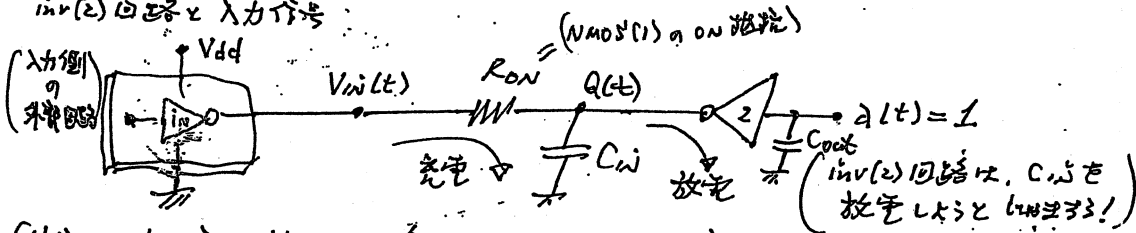
① 初期条件 $t < 0$ で、 $Q(t) = 0$ とする。 $\alpha(t) = 1$ とする。
 $V_{out}(t) = 0$ が出力されている。
 $CK(t) = 0$ で off のままである。

② 今、 $V_{in}(t)$ が 0 から 1 (V_{dd} の電圧) に変わる。
 また、 $CK(t) = 0$ の間は変化がない。(x = t_1)。 [CMOS inverter 回路は電圧に敏感]

③ 次に $CK(t)$ が 0 から 1 に変わる。(x = t_2)
 C_{in} が充電される。NMOS(1)のトランジスタがONになり、実効的にON抵抗 R_{on} の値をもつ。 C_{in} を $C_{in} R_{on}$ の時定数で充電を始める。



④ $t = t_2$ の時は、まだ、 $Q(t) = 1$ のままで、inv(2)回路の出力は 0 に固定されていく。
 inv(2)回路と入力信号



⑤ (外部回路の方が大きい回路でなければなりません)
 ということです。inv(2)回路に勝つ必要があります!!

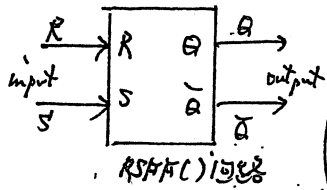
⑥ 強かす外部回路があると、 $Q(t) \rightarrow 1$ (V_{dd} の電圧) に近づき、 $Q(t) = 1$ になると、
 $\alpha(t)$ が inv(1)により、 $\alpha(t) \rightarrow 0$ (GND の電圧) に近づき、
 結局、 $\alpha(t) = 0$ に落ち着くと、inv(2)回路の出力が 1 となり、 $Q(t) = 1$ が
 入力側の外部回路の「支持・命令」に従ったこととなる。
 「強いものが勝つ世界」である...

⑦ V_{out} は、inv(1)とinv(3)の2段の反転信号を伝播して、
 $Q(t) = 1$ の信号を出力する事になる。

⑧ $CK(t)$ が off になると、 $Q(t) = 1$; $\alpha(t) = 0$; $V_{out}(t) = 1$ は維持され、記憶される。

[inverter 回路 2 個 (inv(1) と inv(2)) を構成する 1bit の記憶回路 inv2M(1) である。
 内部の data を変更 (1 から 0 あるいは 0 から 1) に書き換えるには、外部 inverter 回路 inv(IN) と
 内部 inv(2) 回路の出力線が電圧に一致する必要がある。]

7.02 RS-FF()回路の定義 (p.88参照)



RSFF()回路

reset-set-flip-flop 回路と読み.

RS-FF() 又は RSFF() と記述する。
 デジタル回路も関数 $y=f(x)$ と同様、関数で表す。
 入力信号 (R, S) で出力が (Q, \bar{Q}) とする。
 \bar{Q} を $\text{inv } Q$ と表す。Q は正出力、 \bar{Q} は逆出力 (補出力) とする。

RS	Q, \bar{Q}
1 0	0 1
0 1	1 0
0 0	Q, \bar{Q}
1 1	禁止

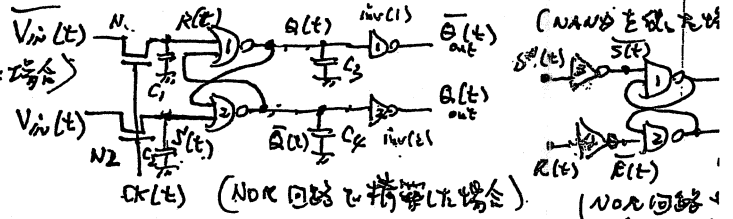
回路の定義 (入出力特性)

- (1) (R=1, S=0) の時は、Reset される。出力は (Q, \bar{Q}) = (0, 1) とする。
- (2) (R=0, S=1) の時は、Set される。出力は (Q, \bar{Q}) = (1, 0) とする。
- (3) (R=0, S=0) の時は、現状態維持。出力は、変化しない。(Q, \bar{Q}) = (Q₀, \bar{Q} ₀)。

RSFF回路の構成

Case ① (NOR回路で実現した場合は)

(実際の動作には容量 C_1, C_2, C_3, C_4 の4つの充放電動作を考慮する必要がある!!)



7.03 R=S=1 が禁止される理由

(まず NOR回路の定義から)

A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

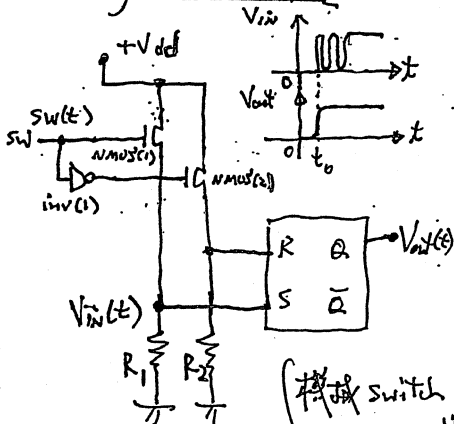
(入力が (R, S) = (1, 1) の時、結論として出力が (1, 0) 又は (0, 1) に定まらない為 使用不可、不安定とする)

Step ① の時、 $V_{in}(t) = \bar{V}_{in}(t) = ck(t) = 1$ とする。すると、
 $Q(t) = \bar{Q}(t) = 0$ とする。(NOR回路の性質より)
 Step ② 次に、 $ck(t) = 0$ に切り off したとする。

(NOR回路は A, B のうち一方が 1 にすると、出力は必ず 0 にする。)

R(t) と S(t) の値は、いずれ C_1 と C_2 で放電される事になる。... C_1 と C_2 の大きさを、NOR(1) 回路と NOR(2) 回路と大きくかたしすれば、
 いずれかの回路が先に 0 に落ちる。R(t) と S(t) が同時に 0 になる事は不明である。
 もし、R(t) が先に 0 に落ちると、NOR(1) の入力は (0, 0) となり、出力が (1, 0) とする。
 もし、S(t) が先に 0 に落ちると、NOR(2) の入力は (0, 0) となり、出力が (0, 1) とする。
 その信号が、最終的に、 $Q_{out}(t)$ と $\bar{Q}_{out}(t)$ に出力される。どちらに落ちるかは不明である。
 この信号は使えないことになり、(1, 1) の入力は、出力が定まらない理由で禁止としておく。

7.04 Chattering 現象の防止 (p.97)



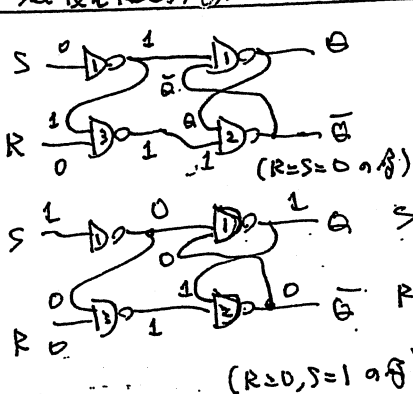
(この場合、R(t) は 1 とおいておく。0 としない。)

(機械 switch では chattering を避けるが、NMOS switch では chattering は避けない!!)
 (p.97 参照、t) とおいて S(t) は定常値 0 とする。)

(入力が (0, 0) の時 NOR(1) の出力は 1, NOR(2) の出力は 0 とする。最終的に、Q_{out}(t) と $\bar{Q}_{out}(t)$ に出力される。どちらに落ちるかは不明である。この信号は使えないことになり、(1, 1) の入力は、出力が定まらない理由で禁止としておく。)

7.05 R=S=1 を許す RSFF() 回路

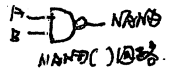
① Set 優先 RSFF() 回路の定義 (p.97-98) (NAND() 回路を用いた場合) 参考問題図 p.97 参照



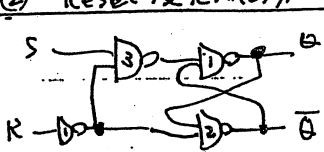
R	S	Q	Q̄
0	0	0	1
0	1	1	0
1	0	0	1
1	1	1	0

NAND() 回路は
 - 一方の信号が 1 の時、
 もう片方の信号の反転を出力
 - 一方の信号が 0 の時は、
 出力は必ず 1 になる。

A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0



② Reset 優先 RRSFF() 回路の定義 (p.97-98)



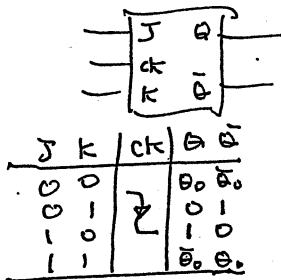
この図は (Q と Q̄) を入れ替えば、Set 優先 RSFF() 回路と同じになる。

R	S	Q	Q̄
0	0	0	1
0	1	1	0
1	0	0	1
1	1	0	1

(R=S) と (Q-Q̄) を入れ替えば、Set 優先 RSFF() と同じになる。

7.06 ① D-FF の構成図 (p.98)

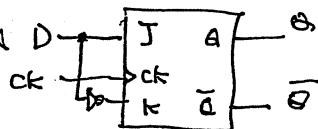
おまけ JKFF() 回路の定義から...



(J=K=1) の時、反転する

define JKFF() {
 input D, ck;
 output Q, invQ;
 [D] inv(1) → [ck]
 [D] → [J]
 [J][ck][ck] JKFF(1) → [Q][invQ]; }

DFF() 回路の定義



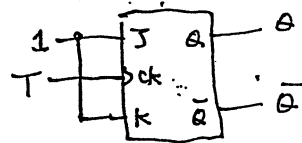
ck の立ち上がりで動作。
 立ち上がりで Trigger する。
 入力 data D を内部に
 取り込む回路が 1 つある。

7.07 Toggle-FF 回路の構成図 (1)

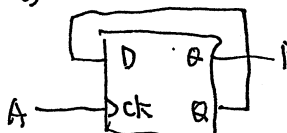
define TFF() { input T; output Q, invQ;

Toggle は data は 2, 2 のみかえる (toggle 動作) 回路になる。

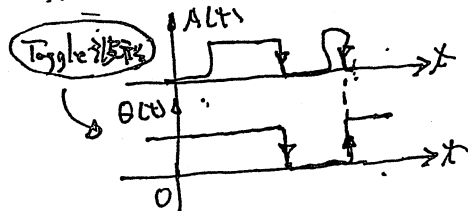
1 → [J]; 1 → [K]; T → [ck];
 [J][ck][ck] JKFF(1) → [Q][invQ]; }



Toggle-FF 回路の構成図 (2) (参考問題図 p.98 参照) (A(t) の立ち下りで toggle する)

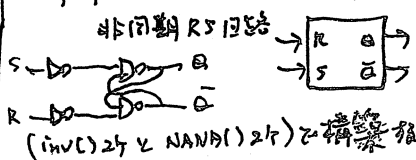


A の信号が入ると、Q の data が D 端子に入り、data が反転する。たぶん、toggle 動作。

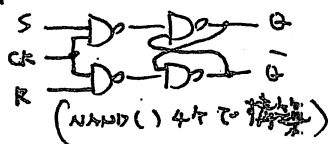


7.08 非同期回路と同期回路の違い

同期回路の方が安定になる!!

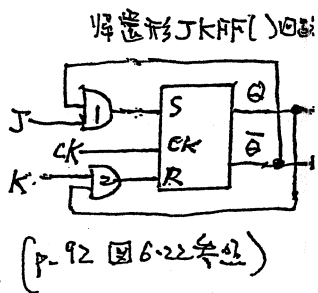
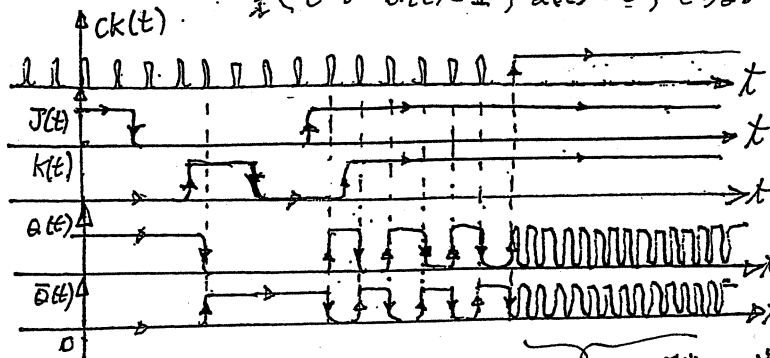


同期 RS 回路 (参考問題図 p.98 参照)



7.09 降置形 JK-FF回路 JKFF()の周波数

入力 $CK(t)$, $J(t)$, $K(t)$ の波形は下図のように与えられる場合を考慮。
 $t < 0$ のとき $A(t) = 1$; $\bar{A}(t) = 0$; とする。

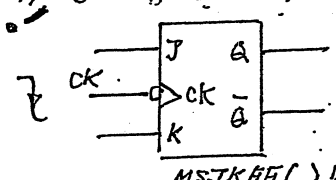


7.10 MASTER-SLAVE型 の MSJKFF()回路の定義

(図 6.23 参照) 通常の回路は Negative Edge Trigger 動作をさせる。standby の時は通常 $low = 0$ が普通。信号が入る時は low から $high$ になる場合が普通。しかし、回路は逆には動作しない。遅延がある。入力信号が low から $high$ になり、また low になると通常内部状態が変化する。これを (negative trigger) 動作という。

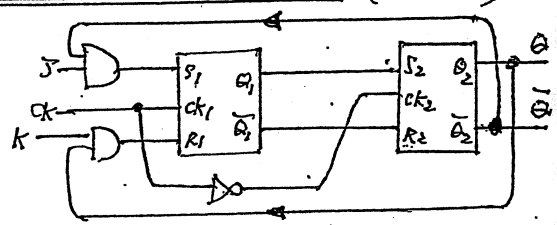
CKの周波数と遅延が、RSFF()回路の信号伝播時間と、発振の周波数が決まってしまう!! RSFF()回路の信号伝播時間よりはるかに遅い(遅い)にCK(t)の周波数(周期)を設定する。

長々前 (negative edge trigger type master-slave type Jack-knife flip flop 回路)



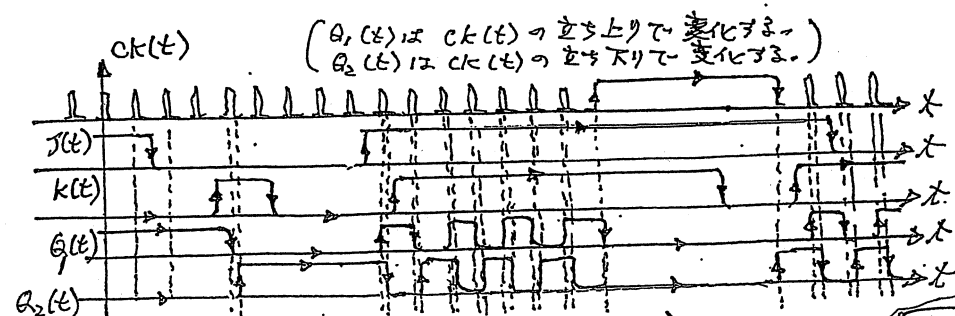
CK(t) (negative trigger) 動作という。MSJKFF()回路がその展型である。(p. 92~93)

回路が内部処理をし、互に遅延する。

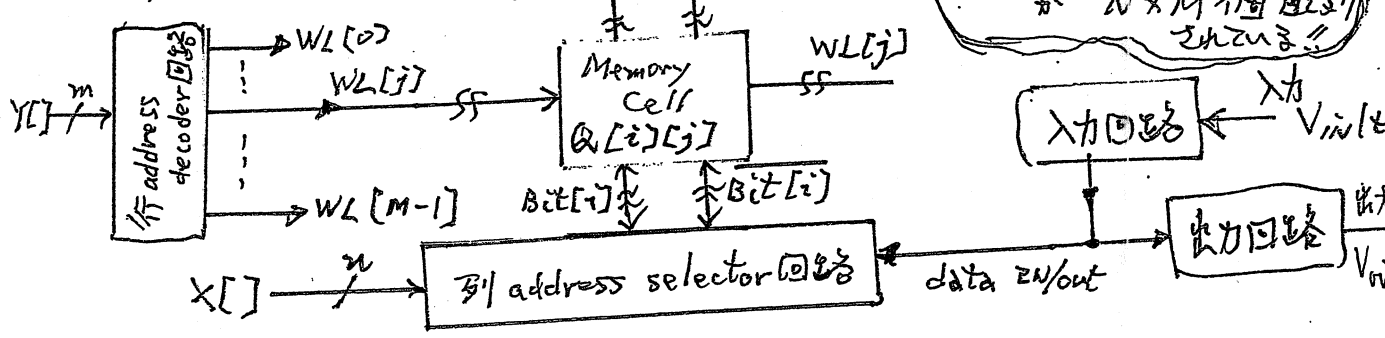


$t < 0$ のとき $Q_1(t) = Q_2(t) = 1$ とする。

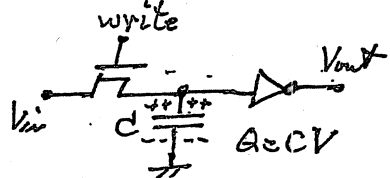
⑦.92 negative edge trigger type MSJKFF()回路



★ Memory 回路の全体図 (7.11 ~ 7.14)



7.11 1 bit xメモリ-回路 (USBメモリ-は type ① xメモリ-不揮発性)

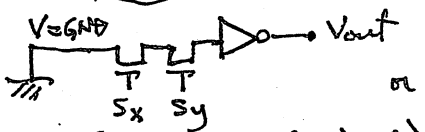


Type ① 容量に電荷が蓄えられ、よいか、この電圧を出力する回路

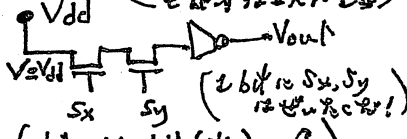
Type ② Read Only Memory (読み出し専用メモリ)

工場段階で、製造して出荷する。

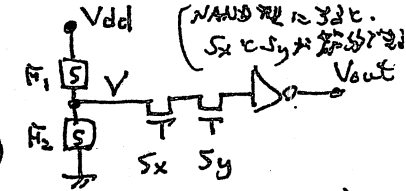
(Pass Transistor S_x, S_y) を駆動する決まり電圧



(data $V=GNB$ (Low) の時)



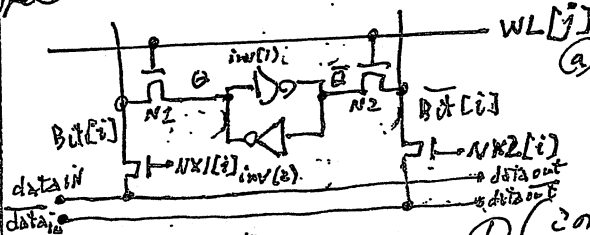
(data $V=high$ (V_{dd}) の時)



(工場で、Fuse F_1 か F_2 を切、こから出荷する。)

Type ③ STATIC RAM (1bit) 回路

Type ④ (ROMに似ては、Pass TransistorのGate容量に電荷が蓄えられ)



① inverter 1つ有り、MOS Transistorが NMOS() と PMOS() 2つずつ必要である。1bitのSRAM回路では、合計6個のTransistorが必要で、6 transistor Cellと呼ぶ。

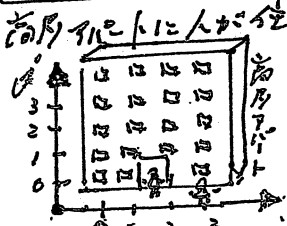
7.12 大容量メモリ-の構成

この $N \times M$ のRAMの data 入力線が2本(1bit) 出力の場合、 $(N \times M)$ 個の xメモリ-data を保存する場所の配置

② この1bit RAMを横(行)に M 個、たて(列)に N 個 ずらして、 $(M \times N)$ bit の RAM が構成可能である。

③ Word Line が $WL[0] \sim WL[M-1]$ の M 本、 Bit Line と Bit Line が $Bit[0] \sim Bit[N-1]$ と $Bit[0] \sim Bit[N-1]$ の各々 N 本必要とす。

Address (住所) を指定する必要があり、出力信号線も1本の場合も、このAddressを利用する。



高層シリコンに人が住んでおるのに似ている。高層テナントの出入口は1つ。そこから人が出入りする。data $[i][j]$ がメモリ-情報である。今では三次元メモリ-構造も可能！ (人間の頭は三次元だが、実際は、2次元の平面神経系か、頭の中の中でしか七かみにたたまれておる!! 2次元の平面神経系にも) 細かく見ると、厚さがあり、三次元メモリ-構造をえている...

7.13 data書き込み動作の説明 (lambdaから人が入る場合に打点する)

[m-bit Selector 回路 SelectM() 回路の説明]

Step ① まず、何階に行かかを決定。 $M=2^m$ として、 $0 \leq j \leq (M-1)$ として、 j の値を m bit の 2進法数に決定させる。これを $[j]$ 階に57c番号決定する。

Step ② 今 j 階のどの部屋かを決定。 $N=2^n$ として、 $0 \leq i \leq (N-1)$ として、 i の値を n bit の 2進法数に決定させる。部屋の address $[i][j]$ が決定する。

Step ③ 7.9の回路では、これを、 $Bit[i]$ と $Bit[j]$ に lambda 番号の入力信号を、

$N1[i][j]$ と $N2[i][j]$ の Pass Transistor を ON して、data を書き込む事にす!

$WL[j]$ の電圧が High = V_{dd} にする必要があり、その場合には、

m bit の Y-Address 信号 $Y[j]$ の値、(信号線が m 本) から、Word Line $WL[j]$

を (1本だけ) High にする。 $Bit[i][j]$ の値が $0[i][j]$ に書き込まれ、その

反転情報 $Bit[i][j]$ の値が $1[i][j]$ に書き込まれる。この回路を m -bit Selector

回路 SelectM() 回路と呼ぶ。入力信号線は m 本だが、出力線の本数は $M=2^m$ とす!!

7.14 data読み出し動作の説明

読み出しの時、 m bit の Y-Address 信号 $Y[j]$ から Word Line $WL[j]$

を (1本だけ) High にする。と同時に、data 書き込み時と同じように、 $Bit[i]$ と $Bit[j]$ 信号線と

出力線 V_{out} と V_{out} をつなぐ Pass Transistor $NX1[i]$ と $NX2[i]$ を ON にする。その場合には n bit の X-Address 信号線 $X[i]$ から Bit 線 Gate $NX1[i]$ と $NX2[i]$ を ON (=high) する n -bit Multiplexer

回路 $MUX(X, N())$ 回路が必要とす。おぼろげに!! 結局、USBメモリ-が完成...