

デジタル回路 ノート (2)
第1章, pp.1-10.

$$(\text{実力}) = \int_0^t (\text{努力}) dt$$

デジタル回路 演習問題 02

今週の目標: まず、教科書 (pp.39~76) を精読すること。

また同時に、教科書全体にも目を、何度も通すこと。

期待される仕事は、まず教科書 (pp.39~76) の 76ページの精読です。

次に、教科書全体の基本にかかわる演習問題02を、基本から理解すること。

理解した内容は必ずメモ書きし、提出シート02に記載すること。

忘れても、再度読めば理解できるように自分のために記載すること。

暗記力にたよらない作業ですが、しっかり時間をかけて努力してください。

提出シートは
授業時間効率
記入効率、速読
で身につけること
B4シートウラ表に
このシートの中の
大事なことを入
すこと!

2.01 2つの n-bit数 A[]とB[]を加算する n-bit加算回路 ADD()を定義せよ。

c = Carry Bit とは何か?

$$\{ A[], B[] \} \text{ADD}() \rightarrow \{ c, D[] \};$$

2.02 2進法1bitの Half Adder 回路 HA()の入出力特性を定義し、

さらに、基本論理回路 inv(), AND(), OR(), EXOR()を定義し、

Half Adder 回路 HA()を構築せよ。

$$\{ a, b \} \text{HA}() \rightarrow \{ c, d \};$$

2.03 NMOSトランジスター と PMOSトランジスターを組み立てて、

次の基本論理回路を構築せよ。

inv(), NAND(), AND(), NOR(), OR(), EXOR() 回路

2.04 Half Adder 回路 HA() を inv(), AND(), OR()回路だけで構築せよ。

2.05 2進法1bitの Full Adder 回路 FA()の入出力特性を定義し、

FA() を inv(), AND(), OR()回路だけで構築せよ。

次の2つのcodeの違いの意味は何か?

$$\{ a, b, c \} \text{FA}() \rightarrow \{ d, e \};$$

$$\{ a[m], b[m], c[m] \} \text{FA}(m) \rightarrow \{ d[m], c[m+1] \};$$

2.06 2つの n-bit数 A[]とB[]を 加算する n-bit加算回路 ADD()を

n個の Full Adder 回路 FA(m) for m=0 to (n-1) を連結して構築せよ。

2つのn-bitの2進法数A[]とB[]を加算する回路

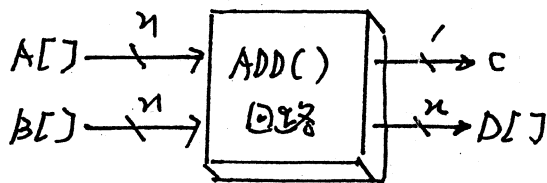
現在の100Vコンは n=32bit または n=64bit Systemである。

2020年には 128bit System が登場すると期待される。

ここでは n=4bit とし、説明する。たとえば、

(n-bit 加算回路)

$$\begin{array}{r} A[] = (1011)_2 \\ +) B[] = (0111)_2 \\ \hline (10010)_2 \end{array} \quad \text{と} \quad \text{する。}$$



5 bit とするのは、4 bit System では Over する。

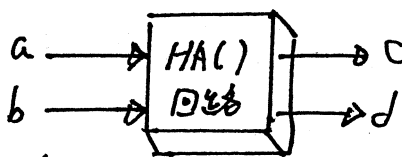
そこで、D[] = (0010)₂ ; C = 1 とし出力する。

信号線 C のことを Carry Bit と呼ぶ。

1 bit の加算回路 HAC() 回路の定義 (HA = half Adder の略)

1 bit 数 a と b の加算は以下の通りしか行い。

$$\begin{array}{r} 0 \\ +) 0 \\ \hline 00 \end{array} \quad \begin{array}{r} 0 \\ +) 1 \\ \hline 01 \end{array} \quad \begin{array}{r} 1 \\ +) 0 \\ \hline 01 \end{array} \quad \begin{array}{r} 1 \\ +) 1 \\ \hline 10 \end{array}$$



a	b	c	d
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

c は a=b=1 の時のみ 1

c = a · b とする。AND() 回路である。

d は (a=0, b=1) または (a=1, b=0) の時のみ 1

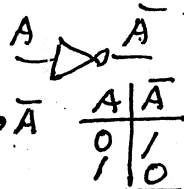
d = $\bar{a}b + a\bar{b}$ とする。EXOR() 回路である。

AND 回路



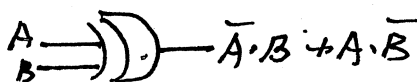
A	B	A·B
0	0	0
0	1	0
1	0	0
1	1	1

inverter 回路



{A} inv() → A-bar

EXOR 回路



{A, B} EXOR() → $\bar{A}·B + A·\bar{B}$

A	B	$\bar{A}·B$	$A·\bar{B}$	$\bar{A}·B + A·\bar{B}$
0	0	0	0	0
0	1	1	0	1
1	0	0	1	1
1	1	0	0	0

HAC() 回路は AND() と EXOR() で作る。

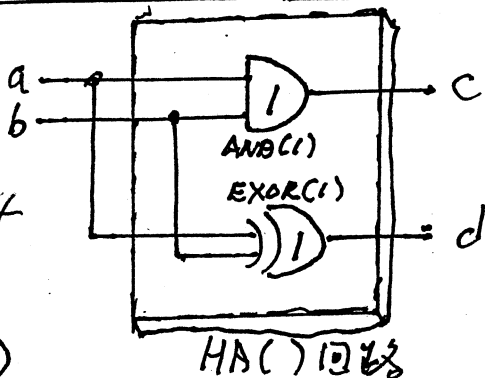
HAC() = {AND(), EXOR()}
 {a, b} {AND(), EXOR()} = {c, d}

{a, b} HAC() → {c, d}

{a, b} AND() → {c}

{a, b} EXOR() → {d}

p.74



HAC() 回路

約束として

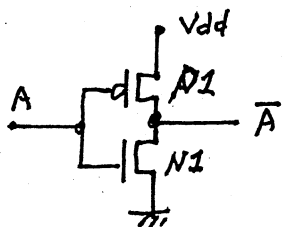
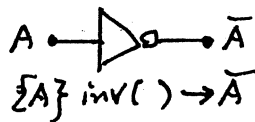
{AND() 回路を 1 個 Copy し、1 番目の AND() 回路という
 意味で AND(1) と書く。同様に EXOR() 回路を 1 個
 Copy し、1 番目の EXOR() 回路という意味で EXOR(1) と書く。

と記述する!

2.03 Transistor Level での基本論理回路を構築する。

① inverter 回路

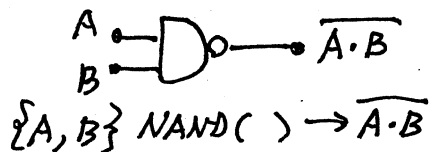
p.54



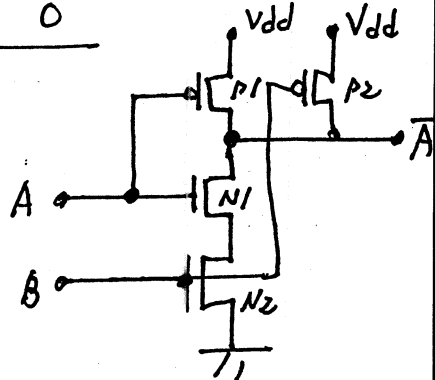
A	\bar{A}
0	1
1	0

② NAND 回路

p.55-56

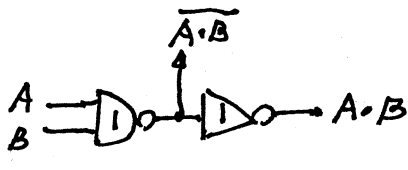
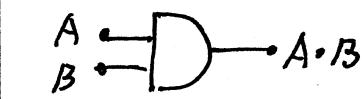


A	B	$\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0



③ AND 回路

p.53

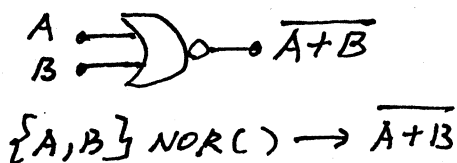


A	B	$A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

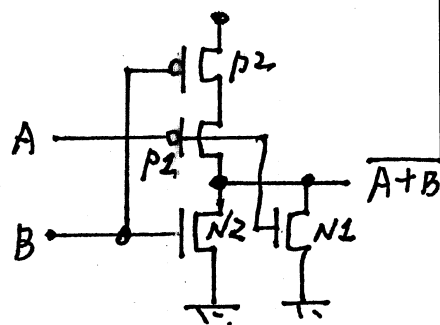
AND(1) 回路は NAND(1) 回路と inv(1) 回路で構築する。

④ NOR 回路

p.56

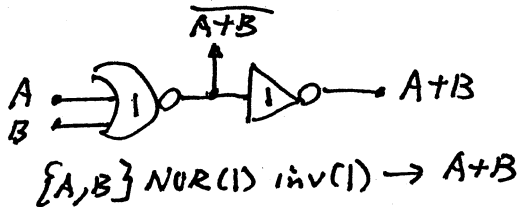
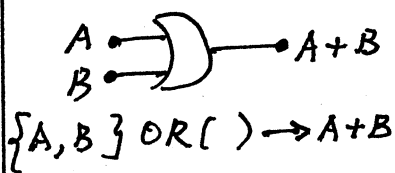


A	B	$\overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0



⑤ OR 回路

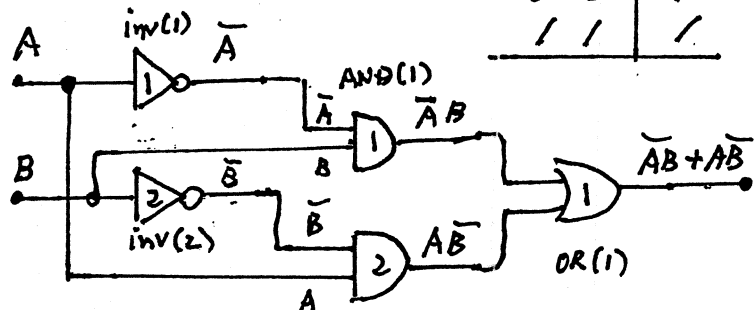
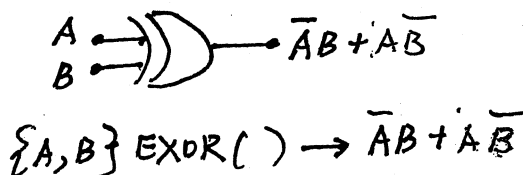
p.52



A	B	$A + B$
0	0	0
0	1	1
1	0	1
1	1	1

⑥ EXOR 回路

p.58

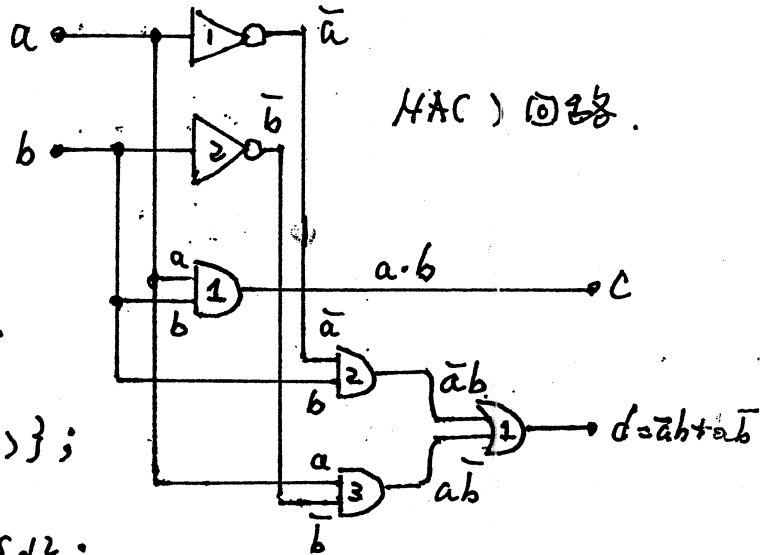
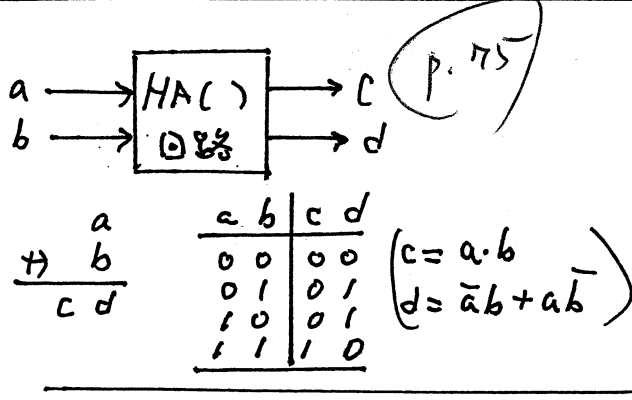


- $\{\bar{A}B, A\bar{B}\} \text{OR}(1) \rightarrow \bar{A}B + A\bar{B}$
- $\{\bar{A}, B\} \text{AND}(1) \rightarrow \bar{A}B$
- $\{A, \bar{B}\} \text{AND}(2) \rightarrow A\bar{B}$
- $\{A\} \text{inv}(1) \rightarrow \bar{A}$
- $\{B\} \text{inv}(2) \rightarrow \bar{B}$

A	B	$\bar{A}B + A\bar{B}$
0	0	0
0	1	1
1	0	1
1	1	0

(5,7 の基本論理回路を構築する。)

2.04 Half Adder 回路 HAC) の設計



$\{a, b\} HAC \rightarrow \{c, d\}$;
 $HAC = \{AND(), EXOR()\}$;
 $\{a, b\} AND() \rightarrow \{c\}$;
 $\{a, b\} EXOR() \rightarrow \{\bar{a}b + a\bar{b}\} = \{d\}$;

define HAC) { input a, b;
output c, d;

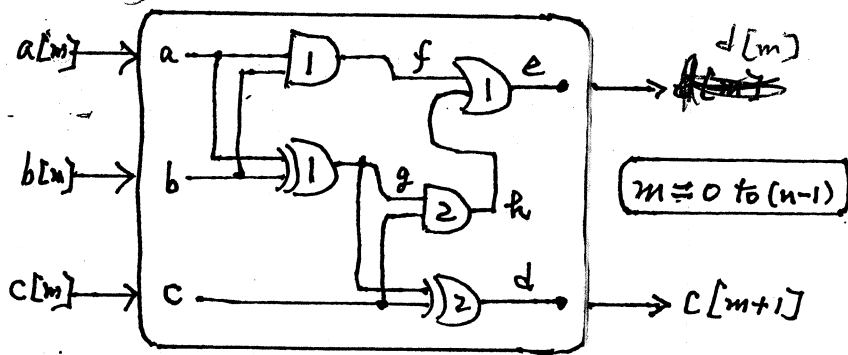
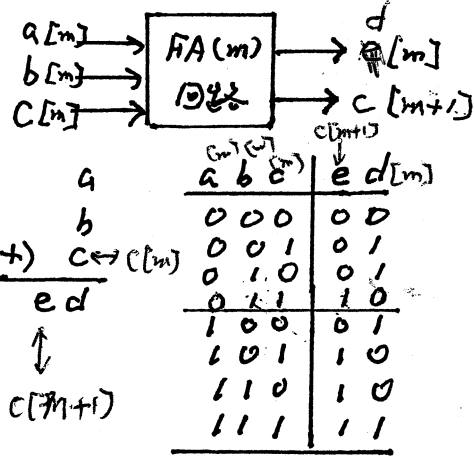
$\{a\} inv(1) \rightarrow \bar{a}$; $\{b\} inv(2) \rightarrow \bar{b}$; $\{a, b\} AND(1) \rightarrow c$;
 $\{\bar{a}, b\} AND(2) \rightarrow \bar{a}b$; $\{a, \bar{b}\} AND(3) \rightarrow a\bar{b}$;

(DCDL = Digital Circuit Description Language) $\{\bar{a}b, a\bar{b}\} OR(1) \rightarrow d$;

(AND() 回路が 3 個)
 (OR() 回路が 1 個)
 (inv() 回路が 2 個) 構築可能。

2.05 Full Adder 回路 FAC) の設計

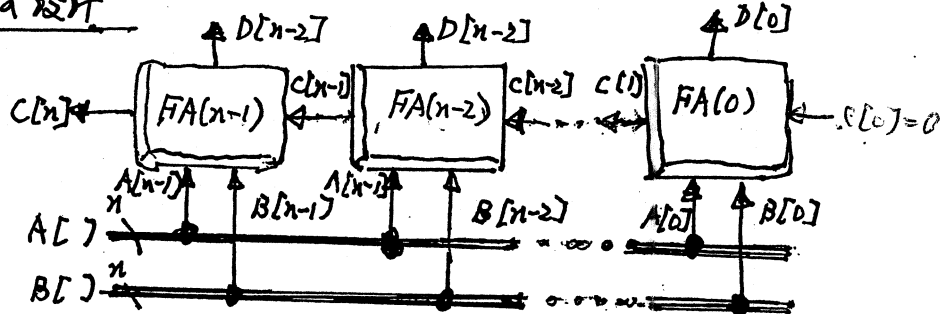
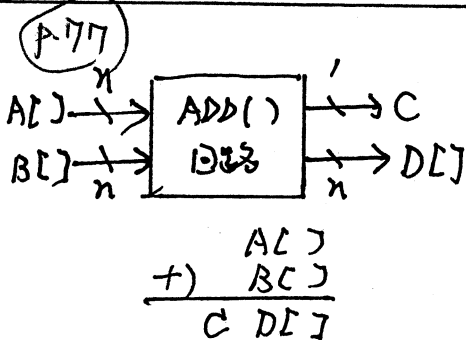
FAC(m) = m 個の FAC) 回路



Full Adder 回路 FAC(m)

$f = a \cdot b$; $g = \bar{a}b + a\bar{b}$; $h = c \cdot g$;
 $d = f + h$; $c[m+1] = \bar{c}g + c\bar{g}$;

2.06 n-bit 加算回路 ADD() の設計



(ADD() 回路は FAC(0) から FAC(n-1) の n 個の FAC) 回路を連続すれば OK!

p. 77