PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf 3_JP1975-127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf 4_JP1975-127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf 5_JP1975-134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf 6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf 7_JP2014-135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf 8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf 9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf 10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf 11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf 12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf 13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf 14_P2017_CoolChips_Panel_170419_29_pages.pdf 15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf 16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf

SONY- Fairchild Patent War (1991-2000) on Pinned Photo Diode with Vertical OFD

こうによると、 ニューヨーク ニーが十五日明らかにした を世習しているとの開 同様の趣旨で訴えてお 開めの ニーの時時は他社の 学 (CCD) 同に出てい も与えそうだ。 する観メーカー 語幹部品である声 フェアチャ 东 東三など 王祖 From Japanese News Paper, July 16, 1996. はロー 東部地域は 1996年7月 日刊工業新聞記事から え・フェ るなどうかの態度を実 (2000年1月米国最髙裁で最終決着ソニー勝訴) 「ソニー」劇のCCD In January 2000, the US supreme court made the final judgement favoring Sony claims. And the long SONY-Fairchild Patent War on the PDD with the built-in vertical overflow drain (VOD) ended. だ表明していないという Dの製造プロセスと構造に関 BFI) CCDはカメラー体図> 一件の特許を 百姓の大手各社を訴えてい 戦遣プロセスと構造を採用 ソニーは「当社のしつ」は アチャイルドの特許とは温 一種が認められた」として いると主張してきたが、そ ドは自社が保有すること たたフェアチャイルドが 一年九月 も残っている 、沖西気工業、 裁判が再び長期化 提供していると ソニーのほか NY東部地裁 笭

SONY 本社の大賀会長と出井社長が注目する中、1991 年から 2001 年まで、Loral 社と SONY との特許戦争に おいて、1975 年萩原発明の、受光面がピン留め固定された P+NPN 接 Triple 接合型の HAD センサー (VOD 機付きの Pinned Photodiode)を、自己の発明でもあり、原良昭は半導体技術企画室の Staff とし守り通した。

米国 Fairchild 社とSONYとの特許戦争(1991-2000)の真相 萩原が1975年発明した Pinned Photo Diode は、 米国 Fairchild 社とののからのでは、

SONY 2000年度	米国Fairchild社との特許戦争(1991-2000)に勝利し またNEC社との特許戦争にも勝利し、SONY社内で の評価も確立し、やっと萩原は特許褒賞を受けた。
発明考案実施褒賞	Case(1) Hagiwara Diode 1975 (Sony HAD) Application with a Charge Transfer Device (a CCD type CTD case) defined in Hagiwara 1975 Japanese Patent 58-1215101 Charae Transfer
1 級	light beam
萩原 良昭 殿 特許第1215101号	Pinned Photo \rightarrow P+ N- buried channel Diode buried N e^- N
固体撮像装置 費登明は卓越した創造性および先見性により	HAD Nsub and CTD Nsub
会社に対し顕著な貢献がありましたので 発明考案規定に基づき	Case(2) Hagiwara Diode 1975 (Sony HAD) Application with a Charge Transfer Device (a CMOS type CTD case) defined in Hagiwara 1975 Japanese Patent 58-1215101
ここに本質を贈りこれを質します 2001年4月26日	Charge Transfer Gate Links been
CLOSTX STORAGE STORAGE STORAGE STORAGE シニー株式会社 社長 法長 法長 法長 二・株式会社 法長	Pinned Photo Diode P+ buried N e- Nub Nsub P+ P+ P+ P+ P- Nub Nsub
See Hagiwara Japanese Pater	nt Application (50-134985, 1975)

http://www.law.tohoku.ac.jp/~serizawa/Loral.html

東北大学法律事務所の芹澤英明先生による、1996 年の米国連邦地裁での判決結果のついての記載文です。連邦 地裁は、Sonyの法律問題判決(judgment as a matter of law)の申立、それが許されない場合の再審理(new trial) の選択的申立を受けた。連邦地裁は、法律問題判決の申立を認め、 '674 特許権侵害は、 prosecution history estoppel (審査手続過程の禁反言)により退けられた。'485 特許権侵害も、適切なクレームの解釈によると認め られないと判示した。(Loral Fairchild Corp. v. Victor Co. of Japan, Ltd., 931 F.Supp. 1014 (E.D.N.Y. 1996)) <これは SONY の逆転勝訴となった。 >

674 特許 第1 電極下より第2 電極の膜厚が大きい、第1 電極を酸化してからイオン打ち込みを実施する。

Amelio Patent	United States Patent 3,931,674	Jan.13,1976
Gilbert F. Amelio (Fairchild Came including Two Levels of Electrode	ra and Instrument Corporation) : Self A s and Method of Manufacture therefo.	ligned CCD Element r
第一の電極を熟酸化して絶縁層 形成. 第一の電極間の基板内にインプラ テッドバリアを形成.	100 IFRADIATI 1 1 1 1 1 53 54 43 55 6 45 57 58 47 39 53 54 54 13 15 56 45 17 58 47 39 53 54 44 46 49	50 49 ⁴¹ 52 51 53 Frank 1 1775 28 1111 26 1111 26 1111 26 1111 26 1111 26 24 50 -20
	74 <u>53</u> 43 44 46 44	$ \begin{array}{c} $

85 特許: CCD/MOS 容量型受光素子に OFD 機能を持たせた構造であるが過剰電荷は上層部に掃き出す。



従来 Intel 社などが、Polysilicon Gate をマスクにする、Source, Drain への自己整合のイオン打ち込み技術を 用いていた。Ion Implanted Barrier Buried Channel CCD の製法は、これを CCD に応用して転送方向付けを 行うのに必要な、Barrier を形成するものである。

Loral 社の USP3931674 特許(Amelio 特許、1976 年 1 月 13 日出願)と SONY のプロセスの相違点はイオン打ち込みをするシリコン表面形成のプロセスの製法順番による CCD 電極酸化膜の構造上の大きな違いにあった。



SONYのプロセスでは、第1電極を形成後、第1電極を酸化することなく、そのままの第1電極パターンが露出 している。シリコン表面の露出部の酸化膜を Light Etching されたおり、完成後の第2電極下の酸化膜は 30A から 60A と薄くなる。もう一方の第1電極下のもとの約 90A のままとしていたことが大きな相違点となった。 実際に TEM 写真と提示し、SONY の当時の社外秘の KNOWHOW だったが裁判において説明した。

更に、 Ion Implanted Barrier Buried Channel CCD の製造方法は、1973年 12月 に 米国 Hughes Aircraft Company の Dr. S. C. Su のチームにより既に学会発表されている事が判明され、Loral 社の起訴は却下された。

D.M. Erb, W. Kotycka, S.C. Su, C. Wang and G. Clough, "An overlapped Electrode Buried Channel CCD", IEDM1973, Dec 3-5, 1973.

またもう一方の2件目のLoral 社のUSP3896485 特許(Early 特許、1975 年 7 月 22 日出願)は、「シリコン受 光面の表面基板側に過剰電荷を吐き出す OFD 構造で受光素子は CCD/MOS 電極容量型の受光素子」であった。

SONYのOFD機能付きPPD 受光素子(HAD)のJPA1975-124985 特許(1975年11月10日出願)に基づくSONYのHAD構造の受光素子構造は基本的に、「受光面と反対の基板の裏面に過剰電荷を吐き出す構造であり、 受光素子もCCD/MOS容量型ではない構造」であると裁判に立ったSONY側の弁護士に要請により裁判所が 召喚した US Davisの教授の Prof. Bob Bower は説明証言をした。

その違いは簡単に理解されて、侵害しないことが認められ、SONYが勝訴した。1996年のことである。

以上 萩原良昭 2021/3/28

2021.3.28

イメージセンサーの開発における事実に基づく歴史認識の事項として重要なご指摘 だと理解しております。それに対して長文になりますが補足悦明させてください。

下記長文の結論を以下に記載します。

萩原良昭

++++++++++++++++++++++
 結論として NEC の寺西さんは PPD を発明も
 開発もしていません。彼は埋め込み Photodiode
 を ILT 方式の CCD Image Sensor に世界で初めて
 採用したことが最大の功績です。しかし開発は
 一人で実現できる仕事ではありません。また、
 正確には、PPD の発明も開発もしていません。

残像特性の特性があるべきであると詳細な説明を 理論式を提示して IEDM1982 の論文で発表し 素人さんにわかりやすく説明して評価されました。

教材として非常に意義のある論文です。多くの人が 読み学習しました。SONYの技術者も学習しました。 しかし発明者ではありません。あくまで教育者です。

川名さんも「pinned photodiode ではありません。」と 下記のように、書いていただき、断定されています。

萩原のイメージセンサーにおける事実証拠に基づく 歴史見解の結論をサポートしていただいております。

次ページ参照:

もと SONY 中央研究所の副所長を歴任されておられ SONY の半導体プロセス、特に Bipolar Process 技術の開発研究の第1人者である川名喜之様から 以下のようなコメントをいただきました。 >次に(IEDM1982 で)寺西さんは P+NP 接合のフォトダイオードを採用し、 >残像が減ったと報告しています。

>この P+NP ダイオードは論文を見る限り、
>pinned photodiode ではありません。

>N+P ダイオードは pinned に出来ません。
 >その延長で P+NP ダイオードもこの論文では
 >pinned になっていないのではと思います。

>一方ソニーは 1975 年当時から MOS トランジスタを >photo-sensor として使っていましたので >初めから pinned でした。

>こういう違いもあるのかなと思いました。

>川名喜之

はい、CCD 型受光素子は完全に Pinned 構造型の受光素子です。

また 1982 年当時はまだ NEC はピン留めの概念を理解していません。 「P+NP 構造でありさえすれば残像はなくなる」と誤解していました。

実際は IEDM1982 の論文の論文では P+NP 構造でありながら残像を 正直にあると NEC は DATA を明示していますが、その原因を理解 していなかったようです。表面の P+が完全固定電位にピン留めされ る必要があるという条件が理解されていなかったと推察します。

埋め込みチャネル型の CCD の埋め込みチャネルの電位は、金属電極と 基板の電位の両端で外部電圧端子により、電圧固定すなわちピン留め されています。

それで完全空乏化した埋め込みチャネルの電位も一定値に固定と なります。ピン留めされ電位が決定され、固定されています。

固定され浮遊状態にはありません。だから完全電荷転送が可能です。

CCD には残像がありません。

この事実を、半導体のデバイス動作原理を、NECの技術者は しっかりと理解していなかったのでないでしょうか? それで初めて、その NEC の論文に対応して、IEDM1984の 論文で KODAK が表面電位が固定ピン留めされていることの 重要性を一般学識経験者にもわかるように説明しました。 そしてこの受光素子を Pinned Photodiode と名付けました。

Pinned Photodiode と名付けたのは **KODAK** ですが どうして歴史上は **NEC** になっているのでしょうか?

その理由は、萩原の重要な1975年の3件の発明も SSDM1978での重要な学会発表の存在も KODAK も NEC もライバル企業の SONY が憎いのかわざと 自分たちの論文に Reference として引用しなかった 事が最大の問題だったと理解しています。

学会に 出席していた一般学識経験者の皆様には わかりやすい教材が提供されたことになり 満足感を与える事に KODAK も NEC も成功しました。

しかし素人さんは 萩原の仕事の引用がないことで KODAKとNEC が Pinned Photodiode と埋め込み Photodiode を「発明」したと誤解したのが最大の 問題だったと理解します。

萩原の1975年の3件の特許の存在も、英文で記載 されている萩原の1978年の論文も非常に日本人ばかり の日本応用物理学会が主催するSSDM1978の学会 ですので、英語圏に方々にはその論文が簡単に入手 できないのが最大の問題となりました。 それが今の大きな誤解を招いていると理解しています。

しかし IEDM1984 の KODAK の受光素子は、構造的には、 KODAK の Pinned Photodiode は、埋め込み Photodiode を改良したものと解釈されました。

すなわち、埋め込み Photodiode の一種が Pinned Photodiode であるという論理です。

かつ一般学識経験者にもわかるように 1982 年に NEC は残像の ない特徴を持つことを説明しています。実際の NEC の IEDM 1982 の論文には残像を報告しています。 しかし、素人さんにはその詳細な意味は理解されていませんでした。

「残像のない素子が可能だ」と理解しました。

KODAKの主張を退けて、NECが優先して Pinned Photodiode の発明者として IEEEの学会で認識されるようになりました。これは大きな誤解でした。英語圏の 技術者には 萩原の 1975 年出願の日本語特許の詳細を知る余地がありませんでした。

学会の存在意義は、一般学識経験者にもわかるように、 人類の産業技術の発展に寄与することです。

萩原は1975年に特許出願しましたが学会でその詳細を 説明したことは一度もありませんでした。それが大問題 だったと、今は痛感しています。しかし発明者は発明者だ と思っています。事実は事実ですから。

それには弁解になりますが、深い当時の日本の風潮を 守り続ける SONY の苦い経験があります。

江崎さんがトンネルダイオードを発明した時、江崎さんが 論文を発表し特許出願したとたん、外国企業が一瞬にして 多くの派生特許や応用回路の特許を出願し、SONYは、 江崎ダイオードを商品化する機会を失いビジネス的には もはや魅力のない存在になりました。

萩原が1975年にSONYに入社した当時は、当時の SONYのTOPの方針は「特許出願でさえも他社の追従を 招く」とされ、簡単には出願できる雰囲気ではありませ んでした。

萩原も当時の越智課長に特許出願の承認をもらうのに 苦労しました。国際学会で報告して詳細に発明特許の内容を 説明すること等は、到底、絶対に許されない状況でした。

それに比較して NEC や日立は学会で積極的に日米半導体 摩擦を避けるために尽力され積極的に学会発表を奨励して いた時代でした。

以下に、さらに、イメージセンサーの歴史背景の正しい認識について説明します。

現在生存しているイメージセンサーの第1人者は萩原だと 理解しています。もう萩原も7月4日で73歳になります。

ぼつぼつ遺言として残しておきたい、萩原の熱い思いが含まれる内容です。

埋め込がた型 CCD は電荷転送効率が 99.999%あります。

アナログ TV 時代の画素数は比較的少なく、 水平800画素と垂直500画素でした。

合計で一番出力回路に遠い画素でも、 最大 1300 回の電荷転送で済みます。

0.001% x 1300 = 1.3 % の信号電荷の 損失で済むわけです。

人間の目は3%以下の損失(雑音)には認識できません。

それで CCD 型電荷転送装置はアナログ TV 時代は十分 機能しました。しかしデジタル TV の時代では画素数が 水平8000H、垂直6000V となると最大 14000 回 の電荷転送が必要となります。

損失も 0.001% x 14000 では 14% にもなり、これは 人間の目では完全に画質劣化を認識できるものです。

CCD 型電荷転送はデジタル TV 時代では全く機能しません。

また CCD は大容量を充放電駆動する必要があり消費電力 がデジタル TV ではさらに大きくなりほぼ使用不可能と なります。

一方の CMOS は、CMOS の微細加工技術が発達し 1969 年 には、すでに Peter Noble により発明されていた「各画素に 信号電荷を電流増幅する 3T 型の MOS Source Follower 回路を組み込むこと」が現在は実現し、かつ CCD の時代 から採用されていた 1972 年に W. White が発明した、 CDS 雑音除去回路が微細化の進歩で各垂直信号伝送線の カラムに組み込むことが可能となりました。SONY の 技術陣がその開発成果を ISSCC2006 の学会で発表して います。それらの努力が結集して今の SONY の地位が 気づかれています。 CMOS デジタル回路で構成された AD 変換器も Image sensor の各カラムに組み込むことが可能となりました。

最終段の CMOS デジタル出力回路も当然組み込むことが 可能となり現在は低消費電力の CMOS 型電荷転送装置が 採用されることになりました。

しかし受光素子は 1975 年の萩原の発明から現在も まったく同じものです。

残像のない、超感度で、低雑音で、VOD 機能を持ち、 電子 shutter 機能を持つ、PNP double 接合型の Dynamic Photo Transistor または triple 接合型 の Dynamic Photo Thyristor が採用されています。

正確な表現として、Thyristor や Transistor は Diode を含む構造です。

従って Thyristor や Transistor は Diode 機能を持ちます。

しかし、Diode に関しては、必ずしも逆は成立しません。

Diode は Transistor 機能を持つとは言えません。

特に、VOD 機能や電子 shutter 機能 は Photo Transistor の特有の機能ということができます。

受光素子の発明開発史においては CCD が発明される前は 単純な N+P 接合型の受光素子であり、残像が問題でした。

SONY は CCD 型受光素子には残像がないことに 注目し CCD/MOS 型受光素子の開発に注力しました。

川名さんたちがわざわざ薄型電極の開発に注目した、 根本的な理由は CCD 型受光素子には残像がない特徴が あるからでした。 そうでないとわざわざ困難なプロセスを選択しなくても N+P 接合型の受光素子で十分でした。

しかし表面には金属電極があり感度が悪いので 他社は受光部に CCD 型の受光素子を採用する ことはありませんでした。

他社は残像よりも感度を優先していたので N+P 接合型受光素子を採用していました。

しかし1975年に萩原は double 接合型の Dynamic Photo Transistor を採用すれば、両端の Emitter 端子と Collector 端子の電位を外部電圧 で固定、ピン留めすることが可能で、ベース領域の 完全空乏化動作も可能であることを考案しました。

萩原の1975年の3件の特許には(1) NPN 接合型の受光素子と NPNP 接合型の受光素子の実施図があります。これは萩原が埋め込み Photodiode の発明者である証拠になります。現在、寺西さんが埋め込み Photodiode の発明者とされていますがこれは事実誤認です。

また萩原の1975年の3件の特許には(2)NPN 接合型の受光素子の両端の領域が外部端子で電圧 固定、ピン留めされている実施図が明示されています。

これは受光面が外部電位で固定された、ピン留め された Pinned Photodiode の発明の証拠になります。

従った、Pinned Photodiode は萩原の発明になります。 現在、寺西さんが埋め込み Photodiode の発明者とされて いますがこれは事実誤認です。

ここまでは牧本さんも向さんも青木さんも歴史館の 皆さまも理解されています。

VOJIN さんは、まず萩原の出願特許は日本の出願 特許なので日本で認知されることがまず第1だと 論理的におっしゃっています。これには萩原と 同意見です。 IEEEの日本支部が思惑は事実認識を正していただくために AD HOC 委員会を東京支部で活動をお願いしたいです。

まずは、日本語の理解できる技術者集団で 設立して、日本国でますは先行する特許 出願資料を証拠として吟味をおねがいいた します。

日本語で日本人が日本語資料をます吟味する必要を痛感します。まずは誤解のないように AD HOC 委員会の 見解をまとめていただき、発明協会にも投げかけていただくことが先決です。事実だけの列記は重要です。

まず萩原の1975年の3件の出願特許が証拠です。1978年のSSDM1978での論文も証拠になります。 それを証拠に Fairchild 社と SONY の特許戦争が 1991 年から 2001 年まで繰り返されていましたが SONY が勝訴しました。その判決文(英文)も公開資料のはずです。

SONY に知的財産部に協力をいただき、COPY を入手し、それも、「萩原が VOD 付き PPD の発明者であること」の証拠になります。Sony が裁判に萩原の特許 JPA 1975-134985 を発明の証拠に提出しています。

1996年にソニー勝訴の判決が降りた時、ソニーの大賀会長を始め、出井社長から感謝の謝辞を受けています。



Fairhihild 社との特許戦争の終結を祝って大賀さんと感謝の言葉を頂く。

After the US court favored Sony over the SONY-Fairchild Patent War on the **Pinned Photo Diode**, Hagiwara received a thanking signature from Sony Chairman (Mr. Ohga), with many other official stamps from Sony executives including Sony President Idei, Sony Vice President Morio, Sony Top Executives Takahashi-san and Hori-san and other.



日本歴史館の委員会はいまだに「萩原は、VOD 付き PPD の発明者ではない」との見解を示していますが、米国 最高裁判所の判決は「Fairchild 社が VOD 付き PPD の発明者だ」との主張を退け、「SONY が考案した受光構 造である」とのSONYの説明を 100%認め反論の余地のない判決となっています。萩原が PPD の発明者であ ることは以下の事実の確認で明らかだと思っています。1975年の出願特許がその根拠です。

以下に事実に基づく、皆様の個人的な見解を列記します。

- (1) SONY は萩原が PPD の発明者だと公言しました。
- (2) 半導体歴史館も「最初の PPD の概念は萩原の提案である」とまわりくどい表現になっていますが、間接 的に「PPD は萩原の発明だ」と解釈可能です。
- (3) 匿名の WEB 投稿者も「最初の PPD は萩原の発明だ」と断定しています
- (4) Image Sensor の権威者の Albert さんも IEDM2001 の国際学会で、次の様にコメントしています。

「萩原が SSDM1978 の国際学会で報告した受光素子は

(a)NEC が IEDM1982 の学会で報告した埋め込み Photodiode (BPD) や
(b)KODAK が IEDM1984 の学会で報告した Pinned Photodiode (PPD) や
(c)SONY が 1987 年に開発商品化した Hole Accumulation Device(HAD)

の3つのすべて Mother (生みの親)ではないか」と称賛しています。

Mother (生みの親) とは考案者発明者に対する称賛です。

これに対して Father(育ての親)は開発者を意味します。

Father(育ての親)は川名さんもおっしゃっていますが岩間和夫さんを意味すると思っております。

SONY の多くのかわいい子供たちが萩原の後輩が今その夢を実現してくれています。

それがしっかりと事実として歴史認識されることを切に希望しています。

萩原良昭 2021.3.28

Image Sensor も太陽電池も超光感度特性が命です。光エネルギーを電気信号に効率よく変換する 事が命です。太陽電池には紫外成分が豊富ですが、シリコンの結晶内を 0.2 µm 以上は透過しま せん。そんな近傍にP+N接合を形成することは不可能です。実際の表面のP+は表面にピーク濃 度を持つガウス関数分布となります。実際にはこれは表面濃度分布がP+ではなく、P+P分布と なります。これは製造 Knowhow です。表面には濃度勾配P+Pによりバリア電界が生じ、minority carrier の光電子をすばやく正孔から電界分離する事が可能となります。これが実は Pinned Photodiode の短波長青色光感度の特性を著しく向上する事になります。このシリコン表面でバリ ア電界による光電変換は、将来の太陽電池の変換効率の向上にも期待することができます。



Image Sensor Story

PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf 3_JP1975-127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf 4_JP1975-127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf 5_JP1975-134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf 6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf 7_JP2014-135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf 8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf 9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf 10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf 11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf 12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf 13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf 14_P2017_CoolChips_Panel_170419_29_pages.pdf 15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf

16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf

VOD 機能付きの PPD の発明者であることを支える証言資料

もとソニーの萩原良昭が1972年に出願した3つの特許は、「萩原良昭が、未来の三次元集積回路実装に適し、か つ global Shutter 機能と電子 Shutter 機能を持つ、VOD 機能付きの Pinned Photodiode(PPD)の発明者である こと」を証明するものです。しかしその他にも、その事実を明示した資料と学識見識者による証言があります。 以下にその資料と証言を列記します。

●まず、もとソニーの萩原良昭が、入社して最初に使用した実験ノートがあります。1975年2月~3月にソニー 中研時代に使用した実験ノーです。世界で初めて、Shallow Trench 方式の素子間分離技術を採用し、P+NPNsub 接合型の受光素子構造図が描かれています。埋込み N 層の過剰電荷が基板 Nsub に掃き出される様子を矢印で 明記しています。これは世界で初めての、「VOD 機能付きの Pinned Photodiode」を描いた構造図です。



The N+PNP junction type Dynamic Photo Transistor Structure Pinned Photodiode and Sony Hole Accumulation Diode (HAD) with the vertical overflow drain (VOD) function invented by Hagiwara at Sony in 1975







In 1975 at Sony, Yoshiaki Hagiwara filed three Japanese patents JPA1975-127646, JPA1975-127647 and JPA1975-134985 on the Pinned Surface Photodiode with the VOD function which is later called as Sony Hole Accumulation Diode (HAD). Hagiwara did not file a patent on the SiO2 device isolation but this lab note shows that Hagiwara had an idea of forming the Shallow Trench Isolation by the Local Oxidation Method, which was hinted by the LOCOS isolation in 1970s.



(3) No Image Lag, Complete Charge Transfer features.



(答え)光のない暗い状態でも、熱エネルギ(kT)により、電子とHoleのPairが発生します。しかし、表面のP+が外部金属 電圧で固定されていますと、表面のP+層は Sea of Holes 状態となり、電位が平らとなり、電界がありません。 熱エネルギー (kT) で生まれた電子と HOLE の Pair は その場所に留まり、いずれ再結合し、暗電流に貢献しません。

日本語 | English

積層型多機能CMOSイメージセンサーを支える代表的なソニー発明について

ソニー株式会社 ソニーセミコンダクタソリューションズ株式会社

https://www.sony.co.jp/SonyInfo/News/notice/20200626/

裏面照射型CMOSイメージセンサーに採用されたPinned Photodiode

ソニーのイメージセンサーの発明の歴史は、古くはCCDの時代までさかのぼる。中でもPinned Photodiodeは、裏面照射型CMOSセンサーの性能向上にも貢献する技術であり、その発明と製品開発の歴史を紐解く。

ソニーは1975年、裏面照射型のN+NP+N接合型とN+NP+NP接合型のPinned Photodiode (PPD)を採用したCCDイメージセンサーを発明した(出願特許1975-127646,1975-127647 荻原 良昭)。同年、その構造をヒントに、VOD(縦型オーバーフロードレイン)機能を持つ、PNP接合型PPDを発明した(特許第 1215101号 荻原 良昭)。ソニーはその後、イオン打ち込み技術により濃いP+のチャンネルストップ領域をその受光部近傍に形成したPNP接合型のPPD技術を採 用したフレームトランスファー型CCDイメージセンサーの原理試作に世界で初めて成功し、1978年のSSDM1978の学会で論文を発表した(Y. Haqiwara, M. Abe, and C. Okada, "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, Tokyo, (1978))。 1980年にはソニーはこのPNP接合型PPDを採用したワンチップのフレームトランスファーCCDイメージセンサーを使ったカメラー体型VTRの試作に成功し、東京で は当時社長の岩間が、ニューヨークでは会長の盛田が同日記者会見をして世界を驚かせた。1987年にはソニーは、VOD(縦型オーバーフロードレイン)機能を持つ 「イオン打ち込み技術により濃いP+のチャンネルストップ領域をその受光部近傍に形成したPPD」をインターライン転送型CCDイメージセンサーに世界で初めて採 用した8ミリビデオのカムコーダーの開発に成功しビデオカメラの市場を開拓した。

このような長い歴史を経て育まれてきたPPDの技術が今も裏面照射型CMOSイメージセンサーに採用されている。

SONY	Products & Services *	About Sony *	Support / Contact Us	,O Global
				Japanese English
Sonv's Rei	procontativo In	ventions Suppor	ting Stacked Multi-Eunctiv	anal CMOS

Image Sensors

Sony Corporation Sony Semiconductor Solutions Corporation

https://www.sony.net/SonyInfo/News/notice/20200626/

Pinned Photodiode Adopted for Back-Illuminated CMOS Image Sensors

The history of Sony's inventions of image sensors goes back to the CCD era. Above all, Pinned Photodiode is a technology that contributes to improving the performance of back-illuminated CMOS image sensors, and the history of inventions and product development are as below.

In 1975, Sony invented a CCD image sensor that adopted a back-illuminated N+NP+N junction type and an N+NP+NP junction type Pinned Photodiode (PPD) (Japanese patent application number 1975-127646, 1975-127647 Yoshiaki Hagiwara). In the same year, inspired by such structure, Sony invented a PNP junction type PPD with VOD (vertical overflow drain) function (Japanese Patent No. 1215101 Yoshiaki Hagiwara). After that, Sony succeeded in making a principle prototype of a frame transfer CCD image sensor that adopted the PNP junction type PPD technology, having a high-impurity-concentration P+ channel stop region formed near a light receiving section by ion implantation technology for the first time in the world, and its technical paper was presented at the academic conference, SSDM 1978 (Y. Hagiwara, M. Abe, and C. Okada, "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, Tokyo, (1978)). In 1980, Sony succeeded in making a camera integrated VTR which incorporated a one-chip frame transfer CCD image sensor that adopted the PNP junction type PPD. President Iwama in Tokyo, Chairperson Morita in New York, at the time held a press conference respectively on the same day, which surprised the world. In 1987, Sony succeeded in developing a 8 mm video camcorder that adopted, for the first time in the world, the interline transfer CCD image sensor, which incorporated "PPD having a high-impurity-concentration P+ channel stop region formed near the light receiving section by ion implantation technology" with VOD function, and became the pioneer of the video camera market. The PPD technology that has been nurtured through such a long history is still used in back-illuminated CMOS image sensors.

1975~1980年 イメージセンサ用フォトダイオードの改良

https://www.shmj.or.jp/museum2010/exhibi1005.html

半導体イメージセンサでは受光素子にフォトダイオードが用いられる。1987年、ソニーは現在 ピン留めフォトダイオード(Pinned Photodiode)と呼ばれている新型の受光素子を用いた2/3イ ンチ、38万画素のCCDイメージセンサ(ICX022)を発表した(ソニーはこのフォトダイオードを HAD: Hole Accumulation Diodeと呼んだ)[1]。

ビン留めフォトダイオードは図11に示すように、N層全体をP層で覆い、受光面のP層を高濃度 P+Iこしたフォトダイオードである。この構造では、受光面のP+表面が基板電位にビン留めされる... いダイナミックレンジに加えて、残像の発生もなく、受光表面のGRセンターの影響低下による

暗電流・白傷の大幅低減などの特長があり、イメージセンサ用フォトダイオードとして極めて 優れた性能を有する。

1975年、ソニーからPNPトランジスタを受光素子とする提案がなされた^[3]。受光部をP+層(エ ミッタ)にすることにより従来のフォトダイオードのように表面電位を制御するセンサー電極で 受光面全面を覆う必要がなくなり、受光感度を大幅に向上させた。受光部をP+層にすること は原理的に暗電流や残像を低減するピン留めフォトダイオードの基本となる提案であった。

またソニーは1978年、同じ構造のフォトダイオードを用いたアナロ グTV放送規格(SDTV)対応9.3万画素FT(Frame Transfer)-CCDイメージセンサを世界で初め て発表した[5]。それを発展させた2/3インチ型28万画素FT-CCDイメージセンサを用いた、 VTRー体型カラームービカメラの試作に1981年に成功した[6]。



図-1 最新のイメージセンサの受光部断面構造

【参考文献】

【1】浜崎正治、鈴木智行、賀川能明、石川貴久枝、宮田克郎、神戸秀夫、"可変速電子シャタ 付IT-CCD撮像素子"、テレビジョン学会技術報告、vol. 12, no. 12, pp. 31-36, (1988)

【3】萩原 良昭、"個体撮像装置"、特許公報 昭58-46905 (1975年11月10日出願)

[5] Y. Hagiwara, M. Abe, and C. Okada, "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, Tokyo, (1978): Japanese Journal of Applied Physics, vol. 18, Supplements 18-1, pp. 335-340, (1979)
[6] 梶野 功、島田 勝、中田康雄、平田芳美、萩原良昭、"ナローチャネルCCD単板カラーカメラ"、テレビジョン学会技術報告、vol. 5, no. 29, pp. 32-36, (1981)

ELECTRICALENGINEERING

Difference between Buried Photodiode and Pinned Photodiode

What is the difference between Buried Photodiode and Pinned Photodiode? I understand that the P+/N/P structure where the P+ and P layers have the same potential is the Pinned Photodiode. So what is the buried Photodiode?

https://electronics.stackexchange.com/questions/83018/difference-between-buried-photodiode-and-pinned-photodiode

PIN diode



In 1975 the first PPD was invented by Hagiwara at Sony and used in ILT CCD PDs by Hamazaki at Sony in 1987.

PPD must have the P+ channel stops nearby to pin the surface P+ layer. This is a commonly misunderstood misused set of terminologies.

First off these are not PIN Photodiodes - which stands for P - Intrinsic- N. These have large depletion regions for higher internal QE (Quantum Efficiency) and faster response. You can't make an array with this design though.

Pinning, refers to fermi-level pinning or pinning to a certain voltage level. Or also the forcing or prevention of the fermi-level/voltage from moving in energy space.

You can get surface state pinning from the dangling Si/SiO2 bonds providing trapping centers. A buried PD (Photodiode) has a shallow implant that forces the charge carriers away from these surface traps. The Si/SiO2 surface contributes to increased leakage (dark current) and noise (particularly 1/f noise from trapping/de-trapping). So confusingly a buried PD avoids pinning of the fermi-level at the surface.

A pinned PD is by necessity a buried PD, but not all buried PD's are pinned. The first Pinned PD was invented by Hagiwara at Sony and is used in ILT CCD PD's, these same PD's and the principles behind this complete transfer of charge are used in most CMOS imagers built today.

A pinned PD is designed to have the collection region deplete out when reset. AS the PD depletes it becomes disconnected from the readout circuit and if designed properly will drain all charge out of the collection region (accomplishing complete charge transfer). An interesting side effect is that the capacitance of the PD drops to effectively zero and therefore the KTC noise $q_{
m n}=sqrt(KTC)$ also goes to zero. When you design the depletion of the PD to deplete at a certain voltage you are pinning that PD to that voltage. That is where the term comes from.

I've edited this Answer to acknowledge Hagiwara-san's contribution. It has long been incorrectly attributed to Teranishi and to Fossum (in CMOS image sensors)

Hagiwara reported the Pinned Windows and Pinning Surface Potential in 1978 based on his 1975 invention of the P+NPNsub junction type Pinned Photo diode.

IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 53, NO. 12, DECEMBER 2006

The Hole Role in Solid-State Imagers

Albert J. P. Theuwissen, Fellow, IEEE

Despite these advantages, notice that parts of the depleted n-type CCD channels are not covered by gate material. In this way, their electrostatic potential is not defined! Such a structure will suffer from serious charge transport issues during its operation, because charge can and will be trapped in local potential pockets. The effect can simply be solved by defining the potential in the open areas through an extension of the p⁺-channel stopper. A simple self-aligned p-implant of $2 \cdot 10^{13}$ /cm² B-ions after the gate construction is sufficient to extend the channel stop area to the gate edge and, consequently, fix the potential in the open areas. The result after this selfaligned implant is shown in Fig. 4. The presence of enough holes plays a crucial role in fixing the potential for the regions normally "beyond control" of the gates. [Is this structure the mother of the PPD or buried diode or hole-accumulation device (HAD)?]



Albert Theuwissen quoted Hagiwara 1978 paper and explained the importance of hole role in image sensors @ Workshop on CMOS Imaging, Duisburg May 16, 2006

Direct Quotation The presence of enough holes plays a crucial role in fixing the potential for the regions normally "beyond control" of the gates. [Is this structure the mother of the PPD or buried diode or hole-accumulation device (HAD)?]

Quoted directly from IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.53, No.12, DEC 2006

Fossum insulted in his 2014 paper Sony and Hagiwara 1975 PPD invention.



SONY SSDM1978 Paper

P+ Channel Stops and no Image Lag Problem



p- _____p- Substrate

NEC

Floating P+

P⁺Layer

PD

N

SONY 1987 HAD Sensor

KODAK IEDM1984 Paper

Т

IEDM1982 Paper

0 ¢v

V-CCD

N⁻

Floating P+ Poly-Si

> Oxide n=

Serious Image Lag Problem

TG

P-

N⁻

No P+ Channel Stops and Serious Image Lag

「NECの IEDM1982 の論文は Pinned Photodiode の論文でない事」を以下に説明します。

NEC論文の図6を参照、この図は残像が存在した測定 data を明示しています。残像のなる受光素子は定義に より Pinned Photodiode とはありません。従って、NECの 1982の論文は Pinned Photodiode ではありません。



また NEC の 1980 年の特許は PN P 接合型の受光素子ですが、受光部の表面がピン止めされているという記載は特許のどこにも存在しません。逆に特許の実施例図には受光表面が空乏化され電圧が GND 電圧の固定(ピン止め)されていない実施例図を提示してこの例図、受光面の P+層がピン止めされていない場合も含むとしています。これは明らかにピン止め Photodiode の特許ではありません。本当の Pinned Photodiode には受光面の P+層の近傍に下の図の様に高濃度の P+の Channel Stops 領域が存在する必要があります。



PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

 $\label{eq:linear} 2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf$

 $\label{eq:split} 3_JP1975\mathchar`127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf$

4_JP1975-127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf

 $5_JP1975‐134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf$

6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf

 $7_JP2014 \hbox{-} 135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf$

8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf

9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf

 $10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf$

11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf

 $12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf$

 $13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf$

14_P2017_CoolChips_Panel_170419_29_pages.pdf

15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf 16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf

https://www.j-platpat.inpit.go.jp/

			ヘルプデスク (平日9:00-21:00)	└ 03-3588-2751 ☑ helpdesk@j-platpat.inpit.go.jp	English サイトマップ ヘルプー覧 独立行政法人 独立行政法人 工業所有権情報・研修會
特許·実用新案	Ę	意匠		商標	審判
Q 簡易検索					▶ ヘルプ
特許・実用新案、意匠、 分類・日付等での詳細な の四法全て	商標について、キーワードや番 検索をされる場合は、メニュー ・実用新案 🔵 意匠 🔵 商標	号を入力してください。検 から各検索サービスをご利	索対象は□ <u>コヺ</u> 用ください。	う をご覧ください。	✓ 自動絞り込み ?
出願番号 ▲	公開番号 ▲	公告番号 ▲		登録番号 ▲	審判番号
· · · · · · · · · · · · · · · · · · ·	46四四52.051915				

Japanese Patent 1975-127646

N+NP+NP junction Dynamic Photo Thyristor type Buried Pinned Photodiode with Built-in MOS Capacitor Buffer Memory Global Shutter Function and the surface N+N doping slope Barrier Electric Field Photo Pair Generation

Japanese Patent 1975-127646

N+NP+NP junction type Buried Pinned Photodiode with Built-in MOS Capacitor Buffer Memory Global Shutter Function and the surface N+N doping slope Barrier Electric Field Photo Pair Generation



Patent Claim in English Translation

- (1) Along the front surface of a semiconductor substrate (Nsub). (2) the charge transfer gate (CTG) is placed upon the oxide. (3) whereby a first region (P) is formed for charge transfer (4) On the opposite side of this region (P), (5) on the back side of the semiconductor substrate (Nsub). (6) in between the region (P) for charge transfer, (7) a base region (N) of another doping is formed. (8) Nearby, a photo sensing region (P) is formed. (9) By applying a proper clock pulse(1) to the charge transfer gate (CTG). to the base region (N). (10) The electronic charge (e+). which is stored in the photo sensing region (P), (11) is transferred to the charge transfer region (P). (12) By applying a proper clock pulse 2 to the charge transfer gate (CTG). (13) the charge is further
- transferred in the adjacent CTD.
- (14) So defined solid state image sensor with the features described above is in the scope of the patent claim.

File 1975-127646 Filed 1975/10/23 Public 1975-051815 Public 1977/04/26

Buried Pinned Photodiode Patent invented by Hagiwara in 1975 with built-in Global Shutter Function and Back Light Illumination Scheme



昭50-127646 特許の特許請求範囲の原文

- 半導体基体 (Nsub) の一方の主面側に、
- (2) 絶縁膜を介して電荷転送用電極 (CTG) が被着配列される
- (3) 1の導電型の転送領域 (P) が形成され、
- (4) 之 (P) に対向し
- (5) 且つ之より上記半導体基体 (Nsub) の 他方の主面側に
- (6) 上記転送領域 (P) との間に
- (7) 他の導電型のベース領域 (N) を介して
- (8) 受光領域 (P) が形成され、
- (9) 上記ベース領域に所定電圧①を 印加することにより
- (10) 上記受光領域に蓄積した電荷 (e+) を
- (11) 上記転送領域 (P) に転送し、
- (12) 上記電荷転送用電極(CTG) に指定の クロック電圧②を印加して
- (13) 電荷の転送を行うようにしたことを
- (14) 特徴とする固体撮像装置

File 1975-127646 Filed 1975/10/23 Public 1975-051815 Public 1977/04/26

Buried Pinned Photodiode Patent invented by Hagiwara in 1975 with built-in Global Shutter Function and Back Light Illumination Scheme





(1)日本国特許庁

公開特許公報

- - - -

①特開昭	52 - 5181	5
●公開日	昭 52, (197	7) 4,26
创特原昭	50-1276	46
创出期日	昭か (197)	AT10.23
審査請求	朱龋求	(金6 頁)
庁内整理者	番号	
6940 6655	\$9 \$7	

國日本分類 97001 990742	① Int.Cl ² HO4N 5/30 HO1L 31/00	識別 記号

	翊 網	a :	フレームトランスフア方式による固体撮像装置
発明の名称	四 体 禄 像 装 雀		は、第1回に示す如く勝律部(2)と、書積部(3)と、
核許請求の創			水平シウトレジスタ(4)とから敗る。撮像部(2)は失
半導体基体	の一方の主面側に、	絶縁膜を介して	★転送電機を有する転送部が例えば素質方向に配
氟磺 転送 用 [(徳が微着配列される	1の導電器の転	羽され、1つ置き又は2つ置きの転送電機を組と
送销输放形的	され、之に対向し直	つえより上記半	して 2 相又は 8 相の転送クロック電圧が印加され
導体基体の領	方の主衛商に上記幅	透質減との簡に	て、各電極間又は各電優を通じて受光した光量に
他の消電型の	ペース機械を介して	受光颤颤力形成	応じて各部に生じた電荷を例えば垂直方向に満合
奪れ、上記・		を印加すること	う転送郎へとシフトして行くようにしたCCD(I)
K上り上記9	光頻波に蓄積した電	省专上記転 必慎	が複数外配列されて成る。又、薯蕷部[3]は、受先
城に 転送し、	上記電荷藝透用電響	に所定のクロッ	はなされないようにするが機像節(2)を構成する
ク電圧を印か	して電荷の転送を行	うようにしたと	CCD(1)に対応するCCD(1)が設けられて成る。
とを特徴と、	る固体機像疾電。		そして、機像部(2)の各部に生じた操像光学像に応
発明の詳細な	説明		じた館荷バターンを、例えばテレビジョン映像に
本発明は、	電荷転送素子CCD	を用いた國体機	於いては、その倫種消去期間で、顧び垂直方向に
像装置长像装	× 5 .		シフトさせて著教術(3)へと転送させ。この署教部
е с р 🗞 А	いた固体操像装飾と	してはフレーム	(3)に一見電耐パチーンを蓄積し、その後シフトレ
トタンスフク	万丈によるもの、重	いはインターラ	ジステ(4)に書機部(3)の各行の電荷を最次転送即ら
イントランス	マナ方式によるもの	が投来されてい	シフトし、シフトレジスタ(4)の出力端子によりこ
ð,			の電荷による操作信号をとり出すものである。

-69-

· _

Ì

ところがこの方式による機像装置では、場線消 去期間という極めて短い時間で、博像部(2)の各行 の電荷をシフトさせて蓄積部(3)へと転送させるも のであるから、この撮像部(2)から蓄積部(3)への振送 <u>クロックの開度数は 8MH & という高い周波数とな</u> つてしまう。したがつてそのノイズは大となり回 略構成が複雑になるという欠点がある。又、上述 の撮像部(2)、蓄積器(3)、水平シフトレジスタ(4)は 浅通の半導体基体に並電配列されるので全体の面 積が大となる。又、その受光は各転送電振開助い は電電を通じて行われるので、その受光感覚が基 るいなどの欠点がある。

ー方、<u>インターライントランスフナ方</u>式による 操像装置は、第2図に示す如く天*数果となる複 数の島秋受先部(5)が行及び列方向に配列され、各 受先部(5)に勝り合つて、共通の列上の受先部(6)に 関し天*共通のCCD(1)より成る垂直シフトレジ スタ(6)が配され、これらシフトレジスタ(6)の一端 には共通の同様にCCD(1)より成る水平シフトレ 特闘 第52- 61815 (2) ジスタ(1)が殺けられ爆像せんとする光学線に応じ たパターンの電荷を受先部(5)に得、この電荷を開 合うシフトレジスタ(6)に滑稽消去期間に於いて新 送し、その後シフトレジスタ(6)の各転送部に転送 された電荷をシフトレジスタ(7)に転送し、この電 荷に応じた撮像信号を出力満子もより載次得るも のである。

ŝ

このような病族による場合、帰藤前去期間に各 受光部⑤に対応して離合つて設けられたシフトレ ジスタ(6)にその電荷を転送するのみで例えば垂直 方向へのシフトを必要としないので防迷したフレ ームトランスフア方式による場合のように高い周 放敗のクロックを用いる必要がないという利点を 有するが、この場合に於ても各受光部⑤とシフト レジスタ(6)とが道置配列されているととによつて 全体の面積が比較的大となるという欠点はある。

本発明は、このような欠点を解消した簡体機像 装置を幾件せんとするものである。

開ち、本発明に於いては、準導体差体の一主面 別に握込みテナンネル形のCCD構成を有する転 送領域を形成し、他方の悲雨像に受光領域を形成し、絵 素となる受光領域とこれに対応する転送領域との間に失 キトランジスタを介芽させた構成となして之等のトラン ジスタのペースに再定の転送電圧を削加することによつ て受光領域に整す。この受光領域から転送領域への電荷の 転送は直接的に行われるものであつて、前述したフレー 4トランスフア方式による場合のような高い局波数の転 送タロックを必要とするものではない。

第3回ないし第6回を募照して、本発明による Pナヤンネル形の埋込みチャンネル形のCCD機 成を有する固体操像装置の一例を評細に説明する に、半導体基体、例えばシリコン基体時を設ける。 この半導体基体(0)はその一志面(10a) 角に規込み CCDが形成され、之に対向して之より他方の主 面(10b) 角に受光領域が形成される。

増込みCCDは、基体(0)の主面(10a) 奥に面し て形成されたN形のチャンネルストンバ価値(0)に よつて区分されて共々主面(10a) に沿つて一方向、 例えば残方向(整直方向)に延長する奇状のP形 の比較的高い不純物態度、例えば 2×10³⁵/m³の 半導体機械協と、之の下にこの領域02下の全域に 直づて同様に 2 形を消するも頻敏(22に比し低い不 純物濃度、例えば 10¹⁵/m³ を有する P 形の半導 体領域的とが形成され所要の開催を保持して形成 された複数の転送領域的が平行配列されて成る。 基体側の主菌 (10a) には、例えば SiO2 上の成る 毛機機協が接着され、この絶機際協を介して各転 送領域的上に之等転送領域はを須切る方向部 5 行 方向(水平方向) に延長する転送電値的が複数本 所要の関係を保持して形成される。

一方、受光領域は、各転送領域(4)下に、即ち、 各転送領域(4)より基体400の地方の主面(20b)別に、 当い決えれば、整体100の場さ方向別に、各転送領 域(4)と各転送電種(4)との受叉部に対向して米。島 状の予形の電荷審視領域(6)がN形のベース領域と なる半導体層別を介して形成され、逆に各領域(5) と振して整体50の主面(10b)例にN形の共通の半 導体層69か形成されて之と各領域(5)との間に夫々 PN接合」が形成されるようになす。電荷審察領

時間 原始-- 51615(3)

3 組のクロックダI、ダ2、ダ3 を印加するようになす。 そして、基体額の裏面 (10b) 弾より受光するようになす。

このような構成による固体爆像装置は、基体加 の一方の間(16a)間に失べ転送領域国に知し、共 通の複数の転送電電調が絶機限国を介して失べ数 着された複数の堪込みテテンネルのCCDル形成 される。そして、各CCDに関し解6回にその準 価回路を示すように、CCDの、その転送領域幅 上に聴機模語を介して各転送電種師が被着された 部分即ち券転送部に対応して、天々領域加と共通 の半導体層加との間に形成された各PN袋合よよ り成るフォトダイオードすが、天々領域加を主え フタ領域とし半導体層明を共通のペース儀域とし 転送領域回家コレクタ領域とするPNP形トラン ジスタ Tr を介して接続された構成となる。

このような構成による本発明装置に放て、フォ トダイオード d の共通のカノード 助ち半導体滑的 の端子 C には、正の固定電位 Vso 例えば接地電位 を与えてフォトダイオード d に違バイアスを与え

第10日は例えば10²⁸/m³ オーターの高い不純物農便 に売定される。又、N形の半導体層的は、その微 減約と築する部分は比較的低い不純物農便例えば 10¹⁸/m³ オーターの半導体層より構成するも、 必要に応じて主面(10b) 例の裂疽にN形の高農度 例えば10¹⁶/m³ オーターの高値度層(19a) を形成 し得る。又、各電術署兼領域切開則ち各販送電紙 同間に対向する部分と、各販送電種師間に対向す る部分とに将子状に審積領域切と同導電影を有す るも、領域切に比し十分低い不純物設度、例えば 10¹⁵/m³ のオーターのP形の電荷の書着を回聴 する領域例を形成する。

サヤンネルストツバー個球印とベース領域とな る半導体層器は互に連載するようになす。又、ベ ース領域語より之に所定の電圧を用加するための 端子Bを導出する。これがため例えば第4回に示 す如くテモンネルストンバー領域的上に電種別を オーミックに被着し、端子Bを導出する。

又、潮合う2つ催きの秘密電磁船を相互に接続 して之等3組の電電船の共通の端子A1、A1、A3 に δ.

そして、との構成で、絵葉となる各フォトダイ オードすに簡優せんとする光学像を与えたことに よつて生じた電荷を、トランジスタTrの共通の ベース描子Bに負の所定電圧則ちトランジスチTr のエミック・ペース間経合 Je を原バイアスとする 電任を与えることによつて、CCDの各転送部に | 転送する。この転送は例えばテレビジラン映像に 於ける機模前去期間に於て行う。 そして、開催は 各CCDに於てその各転送電電端子 A1、A2、A3、 に転送クロック電圧を与えることによつて各転送 恋の意匠を職次離合り影送部へと転送し、例えば 3.2回で税明した水平シフトレジスタ(引へと移送) させるものである。そして、とのCCDに於ける 電荷の転送時にはフォトダイオードもに於て次の 受光がなされている。

更に、本発明装備の動作を影?回を参照して親 明すると、第7図Aに示す沸3図中AーA様の断 間に対応する不純物鉄度の分布は第7図Bに示す 如くなる。4、この断面に於ての受先状態即ち CCDに於ける電荷を転送している状態のボテン シャル状態をみると、第7回Cに示す如くなる pm 及び pu は転送電機器に対する転送クロックの 高電位レベルと低電位レベルを示す。この状態で はペース端子 B 即ち半導体層低には、任怪等電位 又は正の電圧が与えられ、接合 Je が遊べイナス 状態となり、そのエミッタ領は即ち領域的はボデ ンソヤルの井戸が生じている。したがつてこの状態で 提供光学像に応じた受光をなすと、受光量に 応じて振行J の近傍に発生したキャリナ即ちホー ル及び電子のうち、電子は端子C 間に変れて消飲 するが、ホールは蓄積額級的に拡致し、ことに答 携される。

次にこの状態から様子Bに食の電位を与えて接 合Jeに強バイアスを与える。この時、電極時に はクロック電位に比し十分低い電位レベル、即ち 負の十分大なる電圧を与える。かくする<u>と、領域</u> 切に蓄積されていた電荷、即ちホールは、深7回 Dに示す如くCCDの販送賃額的へと転送される。 そして、この状態から再び約7回Cの状態とさ れこの状態で受光がなされると共に、氷7図Dで 脱明した転送領線に転送された電荷は電極船に与 えられるクロックによる電圧 Au 〜 Au によつて消 7回に於いて紙面と意交する方向に通常の<u>増込み</u> チャンネル形のCCDに於けると同様に転送され ていく。

との場合、転送領域時に於て之に信号電荷が到 来しても常に之が空乏化されているように、又そ の運動が基体表面(10a)に強するととがないよう に領域他の表面には高度低級的が配され、且つ ベース領域的の不純物機関はその多数キャリア量 が領域時を構成する兩領域的及び時に於ける多数 キャリアの量に対応するように比較的高く通信れ る。

上述したように本第明姿置によれば、 熟体1000 実置 (10b) 関から受光をなし、 表面 (10a) 勝心 CCDで懸透するようになすもので、 受光部と転 送部とは薬体師の単み方向に云わば立体的に構成 されるので、 全体の面積の病少化をはかることが でき、ひいては受光部の面積の増大化がはかれる 参照 51815(4)

Ø	Ċ	•	父	尤	幼	Ŧ	7	£L.	1	ቆ	ζ	ይ	73	ъ.	ė	$\mathbf{\hat{\Phi}}$	٠	X	•	徒	¥
ብ	£	9	к	ť	Ø	륫	光	춯	例	Ł	11	8	結	A	¥	y	=	×	1	ņ	成
\$	Ģ	ż	π	糧	ŧ	į.	Ľ	τ	T	9	Ľ	2	¢	٤	٤	¥	(F)	e,	τ	ŧ	Ł
Ø	τ	•	劵	虝	j,	*	ŋ	Ħ	2	¢.	禯	¢	τ	Ż	光	ţ	\$	*	¢	ĸ	比
ι	4	ĸ	鐉	波	Æ	8	ĸ	於	ウ	ኤ	큇	光	ø	Æ	ø	向	Ł	Ł	Кİ	か	ŏ۵
¢	٤	が	T	ŧ	ð	\$	d)	æ	ð	è	ø	ጀ		Ż	Ħ.	傾	缺	p .	6	C,	СÐ
(B)	^	Ø	R	送	ł,	~		×	7	Ŧ	ß	ΝC	9R	虍	4	*	8	ň	去	鐗	阁
۴C	兌	ы	τ	1	м	n	2	ŧ	ķ	£	ъ	ø	Ą	Ċ	行	•	۲	ε	<i>1</i> 05	e	ŧ
ъ	ø	Ċ	剱	1	P)	к	9	ы	τ	設	明	L	n:	7	r		д	ŀ	∍	×	
7	7	方	式	ĸ	ᢙ	け	3	6 I	AH(ž	Ł	ы	,	¥	,	'n	高	h	躢	棙	R.
ø	貦	送	1	٥	-	1	Ø	周	波	¢,	ŧ	朋	5	ą	Ŀ	큧	4	'n	ы		

次に、更に本発明装置の理解を終身にするため に、第8回を容照して上述した本発明装置を待る 製法の一例をその工程順に説明しよう。

先ず、第8 躍Aに示す如く例えば厚さが150 ~ 300 mm の、不能物機関が約 10³⁶/m³ の N 形の シリコンサプストレイト 60 を用意し、その一方の 面に約 2 mm の限さを以つて P 形の不純物を夫々イ オン注入、或いは拡散法によつて選択的にドープ して不純物産度が 10³⁰/m³ 程度の複数の高校の 電御考税保護師を行及び列方向に所参の間隔を保 特して配列すると非に、各領域師師の金速に、如 も各領領師と接し、且つ之等をとり語むように格 子状に、留境師と勝し、且つ之等をとり語むように格 子状に、留境師と勝し、且つ之等をとり語むように格 子状に、留境師と勝道形を有するもとの領城師 に比し十分僅い不純物源度例えば10¹⁸/m⁹の編 頃師をイオン注入法、或いは拡散法によつて選択 的に領域師と何程度の咲さに形成する。

次に第8回目に示す如くサブストレイト制の、 領域60及び頃を有する面上にN形の不純物濃度が 10¹⁷/cm¹ 程度のシリコン層より成るベース領域 となる半導体増減を形成する。この間刻の形配は 例えば、先ずサブストレイト制上に十分低い不純 物濃度のシリコン増を1mm程度の厚さにエビタキ シヤル成長する。この時、このエビタキシヤル層 中にP形の程度60及び例よりの不純物が拡散して 各P形の領域60及び例がエビタキシヤル層に少し く喰込む如く広がるが、このエビタキシヤル層の P形領域60個が入り込まない表面部分にN形の不 純物をイオン注入法成いは拡散によつてドープし てN形の半導体帯時を形成する。或いはこの半導 体層線をそのエビタキシヤル成長に啜してN形の 不純物をドーブして形成することもできる。次い で、この増増上に十分低い不純物の半導体例えば シリコン層線を2~4ヵmの厚さにエビタキシャル 成長して基体態を構成する。

そして、毎8回Cに示す如く単沸は檜心に先に 形成した領観的と对向して転送領域的を構成する 『形の環境(線と之の上に関機にP形の領域)(3とを 夫々滋酸法 違いはイオン 迷入法 緯によつて形 庇 し 之等領域観闇に準護体層船に進する飛さをもつて N形のチャンネルストッペー領域順を例えば 10¹⁵/m³ の不純物及度を以つて過狭的に同様に拙散法或い はイオン住人法等によつて形成する。この場合各 領域国協及び知の違貨的拡散或いはイオン注入は 遼 示しない が坐導体 畳 隠上に 形成した SiOg 毎を マスタとして用いて行い、之弊領域越越的の形成 後には、第7回Dベ示す如くとのマスク膚を除去 し、半導体層級上に、啣ち基体師の面(102)上に 例えば SiO2 より成る絶量筋肉をあらためて形成 し、之の上に転送電電師を平行配列する。そして、

-72-

サブストレイト師をその裏道よりその周辺部を残 して中央部の動作領域部分をエッテングしてその 厚みを10~15 Am とし、この薄い部分のサブス トレイト 010によつて前述したダイオードせの共通 のカソード領域的ち各電商業積領域間との間に PN 接合J を形成するN 形の半導体層例を形成す る。このように周辺部の尊みは大にし、動作部の みの厚さを小とするときは、 金体の機械的強度を 保持しつト愛光効率を高めることができる。

第9 歯は本発明装置の他の例を示すもので、と の国に於いて第3 国ないし第5 回と対応する部分 には同一符号を付して重複脱明を省略するが、こ の例ではトランジスタTe のエミッタ振敏動に しー日接合J=を形成すべくそのベース儀塚協領 に協選関領域(17=)を形成し、之とは反対側に高 濃度領域(17b)を形成した場合である。このよう にエミッタ領域期にしーは接合J= 即ちエミッタ 領域期に於ける少数キャリアに対するボテンシャ ルバリアを形成するときは、ベース領域語からエ ミッタ領域期に注入されたキャリアがこのボテン 特用 作T2--- 51915-65 シャルバリアによつて押し戻されることによつて この筋液師に於ける少数キャリアの拡散電流を小 とすることができ、このトランジスタ Tr の電流 増巾率の向上をはかることができることになる。

尚、上述した本発明装置の各例に於て、そのサ ブストンイト創助ら半導体基体的の非導体層的の 表面に高不純物濃度(19m)を設けるときは、表面 再結合の防止を行うことができる利益がある。文、 図示しないが基体的の面(10b) 朝に 3iO2 巻のよ うにその屈折率が基体的と空気との中間の値を有 する層を被増することによつてこの表面の反射防 止を行つて受光効率の向上をはかることができる。 又、上述した各側に於て端子でに及の電信を与 えることによつて領域所の著紙電商を適当量消散 させ光量調整を行うよりにすることもできる。

尚、上述した各例はP形の埋込みチャンネル形 CCD構成とした場合であるが、N形の埋込みチ ヤンネル形CCDに本発明を適用して同様の効果 を得ることができることは明らかであり、この場 合に於ては各図に於ける各部の導電形と電圧の極
魅とを反転させれば良い。

図師の靖単な説明

第1回及び第2回は従来の樹準掃像装置の構成 図、第3回は本発明装置の一例の要部の拡大上面 図、第4回及び第5個はそのA ー A 部上及びB ー B 線上の拡大断面図、第6回はその等価値略図、 第7回はその説明図、第6回は本発明装置の脱法 の一例の工程図、発9回は本発明装置の他の例の 表部の新面図である。

00位半導体基体、(19x)及び(10b)はその両表 面、10位転送額状、10位その高不純物決度領状、 10位その低不純物操度領状、10位ペース領域とな る半導体層、10位エミッタ領域となる電荷署務領 状、10位半導体層、16位転送電電、16位転機能で ある。

> 特許出版人 ソュー株式会社 代 温 人 伊 岳 (▲→ ン→







第9國











- Along the front surface of a semiconductor substrate (Nsub),
 the charge transfer gate (CTG) is placed upon the oxide.
- is placed upon the oxide,
 (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),

File 1975-127646 Filed 1975/10/23 Public 1975-051815 Public 1977/04/26

(4) 之 (P) に対向し



- (1) Along the front surface of a semiconductor substrate (Nsub),
- (2) the charge transfer gate (CTG) is placed upon the oxide,(3) whereby a first region (P) is
- formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub).

Filed 1975/10/23 File 1975-127646 Public 1975-051815 Public 1977/04/26

(5) 且つ之より上記半導体基体 (Nsub) の他方の主面側に



- Along the front surface of a semiconductor substrate (Nsub),
 the charge transfer meter (CTC)
- (2) the charge transfer gate (CTG) is placed upon the oxide,
 (2) is placed upon the oxide,
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,

File 1975-127646 Filed 1975/10/23 Public 1975-051815 Public 1977/04/26

(6) 上記転送領域 (P) との間に



- Along the front surface of a semiconductor substrate (Nsub),
 the charge transfer gate (CTG)
- (2) the charge transfer gate (C10 is placed upon the oxide, (3) whereby a first region (P) is
- (3) whereby a first region (P) is formed for charge transfer
- (4) On the opposite side of this region (P),
- (5) on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,
- (7) a base region (N) of another doping is formed.

File 1975-127646 Filed 1975/10/23 Public 1975-051815 Public 1977/04/26

(7) 他の導電型のベース領域 (N) を介して





- (7) a base region (N) of another doping is formed.
- (8) Nearby, a photo sensing region (P) is formed.

File 1975-127646 Filed 1975/10/23 Public 1975-051815 Public 1977/04/26

(8) 受光領域 (P) が形成され、



- Along the front surface of a semiconductor substrate (Nsub),
 the charge transfer gate (CTG) is placed upon the oxide,
 whereby a first region (P) is formed for charge transfer
 On the opposite side of this region (P),
 on the back side of the semiconductor substrate (Nsub),
- (6) in between the region (P) for charge transfer,
- (7) a base region (N) of another doping is formed.
- (8) Nearby, a photo sensing region (P) is formed.
- (9) By applying a proper clock pulse to the charge transfer gate (CTG), to the base region (N),

File 1975-127646 Filed 1975/10/23 Public 1975-051815 Public 1977/04/26

(9)上記ベース領域に所定電圧①を 印加することにより







Nsub

Light

Vdd







(1) Along the front surface of a semiconductor substrate (Nsub). (2) the charge transfer gate (CTG) is placed upon the oxide. (3) whereby a first region (P) is formed for charge transfer (4) On the opposite side of this region (P), (5) on the back side of the semiconductor substrate (Nsub). (6) in between the region (P) for charge transfer, (7) a base region (N) of another doping is formed. (8) Nearby, a photo sensing region (P) is formed. (9) By applying a proper clock pulse(1) to the charge transfer gate (CTG), to the base region (N). (10) The electronic charge (e+), which is stored in the photo sensing region (P), (11) is transferred to the charge transfer region (P). (12) By applying a proper clock pulse (2) to the charge transfer gate (CTG),

File 1975-127646 Filed 1975/10/23 Public 1975-051815 Public 1977/04/26

(12) 上記電荷転送用電極(CTG) に指定の クロック電圧 ②を印加して



The Article States of States

(1) Along the front surface of a semiconductor substrate (Nsub). (2) the charge transfer gate (CTG) is placed upon the oxide. (3) whereby a first region (P) is formed for charge transfer (4) On the opposite side of this region (P), (5) on the back side of the semiconductor substrate (Nsub). (6) in between the region (P) for charge transfer, (7) a base region (N) of another doping is formed. (8) Nearby, a photo sensing region (P) is formed. (9) By applying a proper clock pulse(1) to the charge transfer gate (CTG). to the base region (N). (10) The electronic charge (e+), which is stored in the photo sensing region (P), (11) is transferred to the charge transfer region (P). (12) By applying a proper clock pulse 2 to the charge transfer gate (CTG). (13) the charge is further transferred in the adjacent CTD.

File1975-127646Filed1975/10/23Public 1975-051815Public 1977/04/26

(13) 電荷の転送を行うようにしたことを



(1) Along the front surface of a semiconductor substrate (Nsub). (2) the charge transfer gate (CTG) is placed upon the oxide. (3) whereby a first region (P) is formed for charge transfer (4) On the opposite side of this region (P), (5) on the back side of the semiconductor substrate (Nsub). (6) in between the region (P) for charge transfer, (7) a base region (N) of another doping is formed. (8) Nearby, a photo sensing region (P) is formed. (9) By applying a proper clock pulse(1) to the charge transfer gate (CTG). to the base region (N). (10) The electronic charge (e+), which is stored in the photo sensing region (P), (11) is transferred to the charge transfer region (P). (12) By applying a proper clock pulse 2 to the charge transfer gate (CTG). (13) the charge is further transferred in the adjacent CTD. (14) So defined solid state image sensor with the features described above is in the scope of the patent claim.



- (1) Along the front surface of a semiconductor substrate (Nsub). (2) the charge transfer gate (CTG) is placed upon the oxide. (3) whereby a first region (P) is formed for charge transfer (4) On the opposite side of this region (P), (5) on the back side of the semiconductor substrate (Nsub). (6) in between the region (P) for charge transfer, (7) a base region (N) of another doping is formed. (8) Nearby, a photo sensing region (P) is formed. (9) By applying a proper clock pulse(1) to the charge transfer gate (CTG). to the base region (N). (10) The electronic charge (e+). which is stored in the photo sensing region (P), (11) is transferred to the charge transfer region (P). (12) By applying a proper clock pulse 2 to the charge transfer gate (CTG). (13) the charge is further
- transferred in the adjacent CTD.
- (14) So defined solid state image sensor with the features described above is in the scope of the patent claim.

File 1975-127646 Filed 1975/10/23 Public 1975-051815 Public 1977/04/26

Buried Pinned Photodiode Patent invented by Hagiwara in 1975 with built-in Global Shutter Function and Back Light Illumination Scheme



- (1) Along the front surface of a semiconductor substrate (Nsub). (2) the charge transfer gate (CTG) is placed upon the oxide. (3) whereby a first region (P) is formed for charge transfer (4) On the opposite side of this region (P), (5) on the back side of the semiconductor substrate (Nsub). (6) in between the region (P) for charge transfer, (7) a base region (N) of another doping is formed. (8) Nearby, a photo sensing region (P) is formed. (9) By applying a proper clock pulse(1)
 - to the base region (N),
- (10) The electronic charge (e+), which is stored in the photo sensing region (P),
- (11) is transferred to the charge transfer region (P).
- (12) By applying a proper clock pulse (2) to the charge transfer gate (CTG),
- (13) the charge is further transferred in the adjacent CTD.
- (14) So defined solid state image sensor with the features described above is in the scope of the patent claim.

File 1975-127646 Filed 1975/10/23 Public 1975-051815 Public 1977/04/26

Buried Pinned Photodiode Patent invented by Hagiwara in 1975 with built-in Global Shutter Function and Back Light Illumination Scheme

第6国



Global Shutter Function with MOS Capacitor Buffer Memory

PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

 $\label{eq:linear} 2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf$

 $\label{eq:s_JP1975-127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf$

 $\label{eq:linear} 4_JP1975\mathchar`127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf$

 $5_JP1975‐134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf$

6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf

 $7_JP2014 \text{-} 135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf$

8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf

9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf

 $10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf$

11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf

 $12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf$

13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf

14_P2017_CoolChips_Panel_170419_29_pages.pdf

15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf 16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf

https://www.j-platpat.inpit.go.jp/

			ヘルブデスク (平日9:00-21:00)	℃ 03-3588-2751 Melpdesk@j-platpat.inpit.go.jp	English サイトマップ ヘルプー覧 独立行政法人 エ業所有権情報・研修館
特許·実用新案	噫	۱Œ		商標	審判
Q 簡易検索					▶ ヘルプ
特許・実用新案、意匠、商 分類・日付等での詳細な検 の四法全て (の)特許・第 1975-127647	標について、キーワードや番号を 索をされる場合は、メニューから行 実用新案 🔵 意匠 🔵 商標	入力してください。検索: 各検索サービスをご利用	対象は ^[1] <u>コチラ</u> ください。	をご覧ください。	✓ 自動絞り込み ?
出願番号 ▲	公開番号 ▲	公告番号 ▲		登録番号 ▲	審判番号
特願昭50-127647	<u>特開昭52-051816</u>	-	-	-	

Japanese Patent 1975-127647

N+NP+N junction Dynamic Photo Transistor type Buried Pinned Photodiode

with Built-in MOS Capacitor Buffer Memory Global Shutter Function and the surface N+N doping slope Barrier Electric Filed Photo Pair Generation

Japanese Patent 1975-127647

N+NP+N junction Dynamic Photo Transistor type Buried Pinned Photodiode with Built-in MOS Capacitor Buffer Memory Global Shutter Function and the surface N+N doping slope Rarrier Electric Filed Photo Pair Generation



Pinned Photodiode

defined in Japanese Patent 1975-127647 invented by Yoshiaki Hagiwara at Sony on October 23, 1975

- (1) 半導体基体の一方の主面側に、
- (2) 絶縁膜を介して電荷転送用電極が被着配列される
- (3) 1の導電型の転送領域が形成され、
- (4) 之より上記半導体基体の他方の主面側に
- (5) 上記転送領域に接する他の導電型の領域と
- (6) 該領域に接する1の導電型の領域とより成る
- (7) 受光部が形成され、
- (8) 上記転送用電極に所要の電圧を印加することにより、
- (9) 上記受光領域に蓄積した電荷を上記転送領域に転送し、
- (10) 上記電荷転送用電極に
- (11) 上記所要の電圧とは異なるクロック電圧を印加して
- (12) 上記基体の上記一方の主面に沿って
- (13) 電荷の転送を行うようにしたことを 特許請求範囲
- (14) 特徴とする固体撮像装置
- Visit https://www.j-platpat.inpit.go.jp/ and put the patent number 1975-127647

Sony Hagiwara Patent on the NPN junction/substrate type Pinned Photodiode with a built-in Global Shutter Operation and Back Light Illumination scheme.

Visit https://www.j-platpat.inpit.go.jp/ and put the patent number 1975-127647



龍別

記号

								明				柵				8							7	1	~ ~	ጉ	7	v	×	1	7	ĥ	π,	¢۳,	r	る	\$	Ø	₩.	撮	¥	¥.	Ħ.	τ
옃	5 4 7	Ø) 4	5 1	ħ			ja,	体	橡	(R	蠽	懁										5	ĕ	•																			-
4	i i i	÷ A	7	r 4	Di	N.	3																	7	· •	_	Д	ŀ	Ŧ	v	×	7	7	方	₹,	ю	ł	ъ	Ю	体	橡	儬	狭	
	4	ų		K a	5 1	*	Ø		Ħ	Ø	ŧ	苊	1	ĸ	•	絶	樧	嫨	Ł	Ń	1.	τ	í,	•	潮	1	ę.	٧C,	夵	4	的	۲	•	损	僚	аў.	(2)	Ł	•	¥	積	ай.	(3)	Ł.
1	育	r Ø	ă ř	ŝ ji	Ð 1		i,	ø	褄	蔳	記	例	đ	ħ.	Ą	ı	Ø	ų	寬	剋	Ø	÷.	*	ন্	2 2	7	ŀ	v	Ÿ	ж	¢	14)	չ	ή.	6	颩	ቅ	•	櫰	像	8	(2)	in,	¥
2	3	i A	t 1	ļ⊈ ji	₩ (ň,	3	n	•	z	r	9	F	記	举	壔	体	慕	体	Ø	艆	71	4	Ę	í B	1	(梅	. 8	有	•†	ቆ	ŧ.	苾		が	例	ź,	¢1	÷	Ċ	ኧ	向	¥C	Ē
¢) ŧ	ī	j 4	ų e	τ.	Ьi	E	ŧ	送	傟	堿	ю	捿	Ŧ	る	儬	Ø	ų	π	뒻	o	Ċ,	<i>7</i> 1	Ŕ	ş ‡1	•	L	?	÷.	Ż	ጲ	ជ	2	2	ŧ	ż	Ø	ι,	送	ŧ,	框	ŧ	巍	ષ્ટ
堿	t į	宥	1	A V	R I	RC :	捼	+	ح	1	Ø	導	ŧ.	憅	Ø	餼	堿	Ł	Ľ	ŋ	成	A	ι	-1	2	荰	1 2	n	3	椆	Ø	ŧ.	迭	1		y	,	۳.	Æ	%	60	肳	đ	n
- \$	ŧ÷t	4	1	R 2	5 1	K.	戌	đ	n	•	æ	R	嚇	澎	伄	t	爟	PŤ,	所	褒	Ø	ŧ,	τ	•	Ő		櫃	11	ጂ	łą	各	Ŭ,	<table-cell></table-cell>	è	递	C	τ	Ŷ	光	ι	ħ	光	ŧ	ĸ
đ		1	n t	п п	t.	ъ	ሯ	Ł	۴Ç	r	9	•	Ŀ	記	爱	光	纲	域	Æ	嘗	ł	ι	Ċ	Ľ	. τ	4	郡	к	生	Ľ	ŧ	Ξ.	荷	ŧ	例	£	r.	æ	ā	方	向	×C		æ
ħ	18	ផ្រុ	5 1	è ⊥	Εi	C	ħ.	æ	癙	埬	ĸ,	軠	嵜	ι		F	T.	氟	荷	.	送	舟	9	ŧ,	法	E HE	د م	٤	¥	7	ŀ	ι	t	行	٢	r	5	ĸ	L	ħ	\mathbf{c}	С	D	10
1	[積	i et		t i	2)	7 -	æ	ø	T.	EE	Ł	H,	異	è	1	묘	7	1	ŧ.	Æ	ŧ	ផ្	*	扨	z # 9	, M	配	列	ਣ	n.	τ	烕	る	•	ጿ		菁	檷	郤	130	ĸ		贵	π.
な	۵ L	, - 1		Ŀ 8	2 ;	5	体	Ø	£	iC.	 -	ガ	ø	违	Ri .	κ	۲Đ	9	t	Ť.	御	Ø	ß	オ	13	t n	. z	n	t	3	۶Q	+	ፊ	ø	•	撽	۲	8 5	(2)	ż	標	成	Ŧ	\$
	÷.	3 3	r 4	Ŧ :	5	r	,	¥C.	L	Ħ	٤	٤	ŧ	嗕	徽	Ł	T	\$	ð	体	撬	儠	с	c	; D	a	i ic	对	吃	7	5	c	c	Ð	₍₁₎	が	殻	H	6	n	τ	歇	æ	
影	a tij	t.,																					÷	C	,τ		捸	()	8 8	(2)	Ø	各	8 4	к	生	L	ŧ	撮	(2	党	æ	像	ĸ	R.
- 5	4	i d) ș	* *		¢ i	N.	嘲															C	78	14	荷	j .*	,	_	У	۲	•	例	£	rt.	۶	v	۲	Ŷ	평	<i></i>	睽	僄	ĸ
	本	3	ђŖ	导力	Γ,		ŧ	徛	嵌	送	墲	Ŧ	c	¢	D	ŧ	崩	n	ħ.	rði	伴	機	胫	•	، ۳۵		t .	÷	ø	ų,	簚	蕑	去	巩	nış	7		顅	次	æ	न	75	阿	NC.
1	1 雍	. 5	it #	c {	* :	ь	ъ .	•															2	2	• •	경	. 4 2	τ	鬠	積		-3)	~	Ŀ	ŧ.	送	Ę	世		٤	o	Ŧ	槚	876
	c	c	: () 7	÷,	用	n	æ	固	体	機	像	袈		Ł	ι	τ	n		7	v	_	(3)	n et	<u> </u>	• 🖪	. 1	備		Ņ		×	ŧ	著	欄	L		÷	Ø	禐		4	7	ħ
4	,)	9	• ;	, ,	x :	7	7	カ	弐	ĸ	r	ъ	1	ø		成	n	ы	4	y	ş	_	V	÷	, x	. 9	14) IC	耆	積	邂	(3)	ø	夺	行	ø	1	荀	ż	瓵	۲	舨	透	en
													_																		•								-		- 1			

.

ちシフトし、シフトレジスタ(4)の出力端子もより との市街による機像個号をとり出すものである。 ところが、この方式による操像装置では、爆殺 消去期間という痕めて憩い時間で機像開心の各行 の覚察をシフトさせて著積感問へと転送させるも のであるから、この機能節辺から蓄積亜心への転 送クロンクの局蔵数は8MH」という高い周波数と なつてしまう。したかつて、そのノイズは大とな り、國路帶班が複雑になるという欠点がある。又、 上述の機能能(2)、審領部(3)、水平シフトレジスター (4)は共通の半導体薬体に並置能列されるので、全 体の面積が大となる。又、その受光は各販盗銘種 間歌いな驚種を遂じて行われるので、その受光効 罪が低いとか、受光感覚、特に短波漫调の受光感 腹が懸るいなどの欠点がある。

→万、インターライントランスフア万式による
 撮像装置は、第2階に示す加く失々絵葉と左る複数の易状覚光範囲が、行及び列方向に配列され、
 各受光部份に時合つて、共通の列上の受光部例に
 関し、夫々処通のCCD们より取る通道シフトレ

特別「132~ 51818 @ ジスタ(6)が配列され、これらシフトレジスタ(6)の 一端には共通の同様にCCD(1)より成る水平シフ トレジスタ(7)が設けられ、俳像せんとする光学像 に応じたパターンの電荷を愛光部(5)に得、この電 弱を関合うシフトレジスタ(6)に帰線消去明瞭に於 いて転送し、その後、シフトレジスタ(6)の各転送 品に感送された電荷をシフトレジスタ(7)に販送し、 この電荷に応じた機像信号を出力端子により販次 得るものである。

このよりな構成による場合、帰線消法期間に名 受光即時に対応して融合つて設けられたシフトレ ジスタ161にその電荷を転送するのみで、 例えば感 直方向へのシフトを必要としないので前述したフ レームトランスフア方式による場合のように高い 剤提数のクロンクを用いる必要がないという利点 そ有するが、この場合に於ても各受光節時とシフ トレジスタ161とが花間配列されていることによつ て全体の面積が比較的大となるという欠点はある。 本発明はこのような欠点を解消した固体機像装 置を提供せんとするものである。

即ち、本発明に於いては、半導体基体の一主面 傷に漆蘭形CCD構成を有する転送領域を形成し、 他方の主面側に受光領域を形成し、上記転送領域 上に絶機顔を介して被着した転送電極に所被の転 遊覧圧を印加するととによつて上記受光領域に生 じた撮像せんとする光学像による電荷を敷送領域 に移す。この受光領域から販送領域への能荷の影 送は直接的に行われるものであつて、南述したフ レームトランスファ方式による場合のような高い。 周波数の販送クロンクを必要とするものではない。 第3回ないし第5回をお照して、本発明による 國体機像装置の一例を詳細に現明するに、洋導体 基件、例えばシリコン基体側を設ける。この単導 体泰体態は、その一主面(10ヵ)側に表面CCDが 形成され、之に対向して之より他方の主法(10b)

CCDは、基体的の主面(10a)側に面して形成 された例えば厚さが 2 mmのN形の比較的低い不純 物満度を有する半導体 6 mmに、之に比し十分高い

不純物濃度を有する同様にN形のチャンネルスト

ッパー備城10が、 主雨 (10a) モ治 つて一方向例え ば列方向 (垂直方向) に沿 つて 聴長する 姑 (平行。 配列され、 各テキンネルストッパー 雷坂10間に 半 導体層前より 成る 販送領域10 が 朝成される。 又、 差体10 空間 (10 m) には、 例えば 810 c より 成る 絶線膜間が 被領され、 この 絶線膜間を介して 各帳 送領域10 上に 之等販送領域間を 類切る 方向 創 ち行 方向 (水平方向) に 延長する 駆送電権100 が 被数本 所要の 間隔を保持して形成される。

二方、受光領域は、各転送領域(13下に、即ち、 各総送領域(13上)基体(10の他方の志能(10b) 例に 云い換えれば、基体(14の厚さ方向例に、各転送 火領域(13と各転送電癌(14)との交叉節に対向して夾 々最大の12形の電荷著後領域(15が形成され、更に 各領域(15)と接して基体(14の空間(14))のにN形の 共造の半導体層額が形成されて之と各領域(15)との 開に天々 PN 接合J が形成されるようになず。電 新署所領域(15)になるようになず。電 新署所領域(15)になる。又、N形の半導体層(15)に その領域)のと経する部分は比較的低い不确物濃度

側に受光領域が形成される。

部たは10¹⁵/m³ オーメーの半導体帯より帯成する も、必要に応じて主衛(10b) 倶の表面にN形の碼 健度例をは10¹⁶/m² オーターの高濃度無(19a)を 形成し得る。又、各電荷蓄積領域的間、即ち各転 送領域(時間に対向する部分と、各転送電積18間に 対向する部分とに即ち格子状に蓄積領域(時と同導 電彩を有するも、領域)のに比し十分低い不納物機 度、例えば10¹⁵/m³ オーダーのP形の障害の著 積を回避する領域脚を形成する。

义、隣合う2つ間きの転送電報明を相互に接触 して之等3組の電機幅の共通の端子A1、A2、A3 に3相のクロックタ1、タ2、タ3 を印加するようにな す。

そして、憲体順の機面(106)側エリ受光するようになす。

このような構成による関体撮機装置は、基体組 の一方の面 (10a) 働に夫々転送領域印に関し、共 連の扱数の転送電値時が総像膜的を介して夫々観 着された連数のCCDが形成され非電方向に延長 するように平行配列される。CCDのその転送領 ★13上に絶縁旗的を介して各転送電機師が被害された部分間ち、各販送邸に対応して夹々根状的と 共通の半導体層的との間に形成された各PN接合 Jより取るフォトダイオードすが、天々前と転送 発状時期に形成されるPN接合Jdより取る遵循 性をもつて後続されたダイオードす1を介して展 続された様成となる。

移開 応52-- 51816(3)

このような構成による本奏明装置に於て、フォ トダイオードすの共通のカソード即ち半導体増加 の端子でには、正の間定包位 Vas 例えば援地性位 を与えてフォトダイオードすに逆バイアスを与え る。

そして、この構成で、熱源となる各フォトダイ オードはに操像せんとする光学像を与えたことに とつて生じた院荷を、<u>CCDの各転会電種間の</u>端 予AI、AR 及びA3 に之等に与えるクロック電圧と サー分類い電圧、即ち負の大なる電圧を与えるこ とによつて、CCDの各販送部に転送する。この 販送は弾えばテレビジョン映像に於ける帰線消去 期間に於いて行う。そして成後は、各CCDに於

Complete Charge Transfer with no Image Lag

いてその各転送電極端子 A1、A3、A3 に転送クロック電圧を与えることによつて各転送部の電荷を順 次難り合う転送除へと転送し、 病えば第2 図で観 明した水平シフトレジスタ(7)へと移送させるもの である。そして、このCCDに使ける電荷の転送 時にはフォトダイオードリに於て次の受光がなさ れている。

更に、本発明強置の動作を第7回を参照して説 例すると、第7回人に示す第3関中ムー人種の新 動に於いての受光状態即ちCCDに於ける気荷を 転送している状態のボテンシャル状態をみると、 第7回日に示す如くなる oH 及び oL は転送電機綱 に対する販送クロツクの碼電位レベルと低電位レ ベルを示す。との状態では電荷落機制域的にはポ テンシャルの井戸が生じている。したがつて、こ の状態で機像光学像に応じた受光をなすと、受光 量に応じて接合すの近傍に発生したキャリア即ち ホール及び電子のうち、電子は漂子に側に続れて 内数するが、ホールは蓄積領域的に拡散し、ここ に著利される。 次にこの状態から第7隙じに示す如く端子A1、 A2、A3 にクロンクに比し十分低い電位レベルすSL 回ち負の大なる電圧を与えて領域的に蓄積されて いた電荷、回ちホールはCCDの販送領域(3へと 転送させる。

そして、この状態から再び第7勝Bの状態とさ れ、との状態で受光がなされると共に、第7回C で端明した販送領域に転送された電荷は電電網に 与えられるクロックによる電圧 4H~4L によつて 第7回に於いて秋面と菌 双する方向に通常の表面 形チャンネル形のCCDに於けると同様に転送さ れるていく。

上述したように、本発明装置によれば、基体MI の美丽(10b) 物から受光をなし、 表面(10a) 側の じじ D で転送するようになすもので、受光節と転 差別とは高体師の厚み万向に分わば立体的に構成 されるので、全体の面積の構少化をはかることが でき、ひいては受光郎の荀璞の増大化がはかれる ので、受光効率を上げることができる。 又、従来 のように、その受光を知えば多結晶シリコンより

取る販売電像を通じて行うようなととを簡確でき るので、多結晶シリコンを通じて受光する場合に 比し、特に短波長側に旅げる受光感度の向上をは かることができるものである。又、受光ਿ酸から CCD個への秘密に郁えば稀積得去期間に於いて 磁帯標瞭に1バルスを与えるのみで行うことが できるので第1回について税明したフレームトラ ンスフア方式に於けるBMHz というような高い磨 酸数の販売クロックの隔枕数を用いる必要もをい。 たに、更に本発明装置の理解を容易にするため に、来8回を参照して上述した本発明装置を得る 製法の一例をその工程岐に説明しよう。

先ず、第8階Aに示す如く、例えは厚さが150 ~ 300mmの不純物濃度が約10^{15/m3}のN形のシリ コンサブストレイト閉を用意し、その一方の面に 約24mの探さを以つて、P形の不純物を失々イオ ン注入弦、或いは拡散法によつて遊校的にドーブ して、不純物素度が10²⁰/m³ 福度の複数の島状の 或荷著積償城間を行及び列方向に所要の樹端を保 择して配列すると共に、各領域10個の金城に、即 特許 第52- 51816(4) ち各領域師と接し且つ之等をとり聞むように格子 状に領域師と阿導電影を有するもこの領域的に比 し十分低い不納物濃度務えば10¹⁸/m⁹の領域のを イオン注入法、或いば拡散法によつて選択的に領 裏師と獨程度の梁さに形成する。

次に第8回日に示す如くテブストレイト知の、 朝城加及び加を省する面上にN形の十分性い不純 物濃度が例えば10⁻¹⁰/00³ オーダーのシリコン層よ りはる準導体層加を4/m 程度の厚さにエビタキン ヤル成長して影体明を構改する。

そして第8回Cに示す如くとの挙導体量(1)上に 満訳的拡散によつて高濃度例そは10¹⁴/m³ オーダ ーのN形のテヤンネルストツバー領域108を無体加 の1 主菌 (10m) に臨んで形成し、各領域120間に半 導体層00より取る性荷転送領域108を基体1001 犯 面 (10m) に面して形成する。

その後、第7回Dに示す如く、とのマスク開発 株当し、半導体順加上に、即ち、基体間の面(10a) 上に弱えばらiO₂ より成る絶縁顔的をあらためて 形成し、之の上に転送電板的を平行院列する。そ

ι	τ	•	*	7	×	۲	r	1	۴	60	Ť	÷ŧ	Ø	Ŗ	×,	r	9	Ł	Ø	周	IJ	1	ł	Ħ		9	훞	÷	ក	3	Ŀ	•	NÇ.	Ŧ	9	c	ይ	5	T	ŧ	న	•		
聯	٤	嘰	ι	τ	æ	央	8	Ø	Đ,	作	忁	崠	1	Ð	\$	s.	٣	Ŧ	y	1	Ľ	•		尚	•	恖	Ť	Ø	4 1	٩¢	礙	6	Ŧ		9	£	ŀ.	8	承	Ø	6 4,	ĸζ	腴	47
τ	ť	Ø	<u>I</u> ,	4	Ť	10	Q -	- 1	5	٨m	Ł	L		٤	Ø	2	n	ø	分	¢	> "	F	ð	4	8	e en	4	ŧ.	形	٤	æ	Æ	ø	種	眈	٤	*	反	R.	æ	÷	×.	糯	æ
7	ж.	۲	V	1	۲	61	ĸ	r	2	τ	Ĥ,	诸	L	ħ	¢	1	₫	-	۲	d,	C	}	ራ	7	る	đ	ε	Ø	櫃	*	Ø	変	更	÷	左	L	穭	ъ	٤	Ł	и	嚬	6	7)-
共	遺	Ø	7	y	-	۴	額	坡		5	Ð	t	袎	¥	8	顤	鱥	81)	Ł	Ø	R))	Ţ	あ	5	5																		
¢Ç,	P	N	掻	ŝ	J	ŧ	硥	成	ተ	\$	N	畅	Ø	₩	ij.	体	層	LS	ŧ	形	Ø	2	ß	đ	Ø	觽	¥	ħ	祝	明														
T	る		2	Ø	1	•	۲C	a,	辺	8	Ð	4	 .	ผ	×	ĸ	L.	•	ø	仰	8	P		酁	ı	Ø	å	Ŭ	黨	2	60	¢	• ·	Æ	来	Ø	洇	体	撪	億	装		Ø	襧
Ø	4	Ø	4	đ.	÷	小	٤	す	Ф	Ł	\$	11	•	余	体	Ø	稷	橚	的	顤	服	<u>.</u>	ШĘ,	%	•	练	3	8	a	*	-	9	\$	1	Ø		99	ø	爱	85	ø	吰	×	ŀ
ŕ	僳	持	ι	2	?	贵	۴	渤	%	Ŷ	7 ,	め	る	۲	Ł	*	C	ŧ	ð	¢			ñ	Ŵ	•	氛	4	(3)	及	v	痱	5	8	ia.	ł	Ø	A	-	٨	輰	£	ě	U	в
	尚	۰	Ŀ	ŝ,	ι	ŧ,	本	莃	峢	藵	t	Ø	e n	ĸ	於	T	•	ŧ	Ф	Y	7	•	-	₿		F	Ø	鈲	×	浙	ā	8		黨	6	ø	ы	Ł	Ø	ᅄ	儞	۵	銽	84.
×	۴	v	1	ŀ	餇	ßD	5	≁	竱	#	基	体	ØØ	Ø	郴	*	#	麠	19	Ø	璛	Ł	寨	7	ø	¢	ŧ	Ø	R	蚏	64	•	8	6	<u>80</u>	h,r	本	%	ማ	蓥	矄	ø	4 1	法
đ	ИÇ	髙	不	Ħ	40	癑	度	嗋	C	19:	1)	ŧ	Ð	H	る	Ł	ŧ	ł1	•	表		Ī	Ø		M	Ø	I	穖	Ø	τ	ð	ኤ,												
再	材	÷	Ø	防	ıF:	÷	T	9	Ę,	Ł	7)5	T	ż	Ş	利	莅	%	ð	3	•	8			10	n	¥	導	体	基	体		(1	0a	J .	及	v	(1	OŁ	,)	łt	Ł	Ø	(R	疌
Ø	ጙ	L	*	n	<i>1</i> 74	蜝	伴	40	Ø	A	()	t 0 ()	18)	IC.	S :	i 0	8	R,	Ø	r		١Ŭ	•	83	a	×.	邁	僑	域	. 1	12	h i	÷ .	÷	×	*	r	R	ኑ	>	м	-	征
2	٩C	÷	Ø	風	桥	峯	が	基	体	40	ሪ	蛮	t.	Ł	Ø	ዋ	f.	Ø	٥Ľ	¥	有	г	壞	•	ÚD	ţŢ,	Ħ.	靑	Ŧ	构	9	城,	(29	kt -	Ŧ	4	体	æ	•	4	11	ŝ.	送
7	ð	檷	t	쵛	着	Ŧ	ð	ዴ	ኯ	×	ľ	2	τ	•	٤	Ø	殺	Ċ.	Ø	反	射	T	Ħ.	欍	•	â5	ia,	艴	8	縤	ť	ð	å.	•										
防	٩F	£	行	•2	τ	Ż	尤	芴	ॠ	Ø	向	F	è	Ħ	þ	ð	٤	£	ψî	T	t																							
δ	•																										辩	Ħ	趨	M				1	<u> </u>	- ;	株:	Ť,	₽	ŧ				
	L.	•	Ŀ	遨	ι	£	(74)	e.	於	τ	煤	Ŧ	C	ю	8	Ø	٩.	位	ŧ	Ş	t	,													_									
ъ	č	٤	۳C	r	0	τ	۹.	蝛	ù7)	Ø	巂	飌	π	銜	÷	瀗	当	1	M	莨	긜						1Ç		坝		^		1	PP.	J					Ø,	ر سې د فون			

-78-

Vertical Overflow (VOD)

See JP 1975-127647

.

特的 昭紀一 51316 @





第4図





第5网





酸的 55%— 5121900 錢 含 14



Back Wafer Thinning for Back Light Illumination

NPNPsub junction type Pinned Photodiode



NPNPsub junction type Pinned Photodiode




See JP 1975-127647



See JP 1975-127647

(6) With the said the first conductivity region (N) ,(7) a photo sensing structure (NP junction) is formed.

- (6) 該領域に接する1の導電型の領域とより成る
- (7) 受光部 (NP junction) が形成され、





See JP 1975-127647



Japanese Patent by Yoshiaki Hagiwara at Sony

Japanese Patent 1975-127647

N+NP+N junction Dynamic Photo Transistor type Buried Pinned Photodiode

with Built-in MOS Capacitor Buffer Memory Global Shutter Function and the surface N+N doping slope Barrier Electric Filed Photo Pair Generation



See JP 1975-127647 See 1975-127647 (October 23, 1975)

PDF Files

 $1_Sony_vs_Loral_PAtent_War_13_pages.pdf$

2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf 3_JP1975-127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf 4_JP1975-127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf 5 JP1975-134985 PNP double junction Pinned Photodiode on Nsub Patent 7 pages.pdf 6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf 7_JP2014-135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf 8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf 9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf 10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf 11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf 12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf 13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf 14_P2017_CoolChips_Panel_170419_29_pages.pdf 15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf

 $16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf$

https://www.j-platpat.inpit.go.jp/

じょう J-Piat Pat		ヘルプデスク 5 03-3588-2751 (平田K06-31181) 世 helterick() cistrat insky	habb 世纪F22 A47-R ALT 和日本語名
907-3631818	80		ēH.
Q、糖粉検索			■ A57
特許・実用新家、慶臣、 分類・日付等での詳細な	目標について、キーワードや番号を入力してくださ 検索をされる場合は、メニューから各検索サービス	い。秋東対象は凹 <u>コチラ</u> をご覧ください。 をご利用ください。	
🔿 स्टक्षेट्र 🖲 मझ	***** O 25 O 25		🛃 ABR93A 🗾
1975-134985			Q. MIR
出願番号 ▲	公開番号 ▲	公告番号 ▲	登録番号 ▲
特願昭50-134985	持開昭52-058414	<u>特公昭58-046905</u>	<u>转許1215101</u>
Ja	panese Paten	t 1975-13498	5

Hole Accumulation Diode (HAD)

P+NPNsub junction Dynamic Photo Thyristor type Pinned Photodiode with the built-in vertical overflow drain (VOD) function

PNPN junction Transistor type Pinned Photodiode

Visit https://www.j-platpat.inpit.go.jp/ and put the patent number 1975-134985

File Public	1975-134985 1975-058414	Filed Public Grant	1975/11/10 1977/05/13 1983/10/19
-		17 J. 181	1.11

Patent Claim in English Translation

 In the semiconductor substrate (Nsub), the first region(P well) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) from the light collecting part (N) is is transferred to the adjacent charge transfer device (CTD). (4) Both are placed along the main surface of the semiconductor substrate. (5) In the solid stare image sensor so defined, a rectifying Emitter junction (Je) is formed on the second region (N) of the light collecting part (N). And (6) Collector junction (Jc) is formed by the second region (N) and the first region (P well), forming a (PNP) transistor structure, (7) Photo charge is stored in the Base (N) according to illuminated light intensity and transferred to the adjacent CTD. The solid state image sensor so defined is in the scope of this patent claim.

Fig.6 shows that this is also the invention of the in pixel VOD (vertical overflow drain).



PNPN junction Transistor type Pinned Photodiode

Visit https://www.j-platpat.inpit.go.jp/ and put the patent number 1975-134985

(1)半導体基体(Nsub)に、第1電導型の第1 半導体領域(P well)と、(2) 之の上に形成された 第2導電型の第2半導体領域(N) とが 形成されて (3)光感知部(N)とこよりの電荷を転送する電荷 転送部(CTD)とが(4)上記半導体基体(Nsub) の主面に沿う如く配置されて成る(5)固体撮像 装置に於いて、上記光感知部 (N)の上記第2 半導体領域(N)に整流性接合(Je)が形成され、 該接合(Je)をエミッタ接合とし、(6)上記第1 (P well)及び第2半導体領域 (N) 間の接合を コレクタ接合(Jc)とする (PNP)トランジスタを形成 し(7) 該トランジスタのベースとなる上記第2半 導体領域(N)に光学像に応じた電荷を蓄積し ここに蓄積された電荷を上記転送部(CTD)に 移行させてその転送を行うようにしたことを 特徴とする固体撮像装置。



¹⁰特許公報^(B2)昭58-46905



Visit https://www.j-platpat.inpit.go.jp/ and type Japanese Patent Number 1975-134985

6/8

Definition of Pinned Photodiode

Surface Potential must be directly Pinned by the adjacent channel stop P+ region. Otherwise the surface P+ region becomes floating by the RC delay time. Though the surface P+ region can be connected by remote P+ channel stops, however, it will still have the RC delay time and will be floating and NOT pinned.



Japanese Patent 1975-134985 by Hagiwara at Sony on Oct 23, 1975.



In case of Fig. 5, the P+NP junction type Pinned Photodiode with the surface P+ hole accumulation layer that has a fixed or Pinned surface potential by the external metal Ohmic contact. The Excess charge flow is toward the silicon surface in this case. Light illumination direction is the opposite as the excess charge flow in case of Fig. 5.

In case of Fig. 6, Light illumination direction is the same as the excess charge flow. The VOD is formed so that the excess charge is drained to the silicon substrate.

Visit https://www.j-platpat.inpit.go.jp/ and put the patent number 1975-134985



(4,000円)

特許 願(1)

昭和50年11月/0日

- 特許庁長官 斎 藤 英 雄 殿
- 1. 発明の名称
 団体撮像装置
- 2.発明者 住所神奈川県横浜市保土ケ谷区狩場町 303の159
- - 東京都品川区北品川6丁目7番35号 (218) ソ ニ ー 株 式 会 社 代 表 者 盛 田 昭 夫
- 4.代理人 59160

	住	所	東京	都新宿区	【西新	宿1丁	「目8	番1号(新宿	ビル)
	氏	名	(3388)) 弁理士	伊	TE 藤	L 東京	(03) 343—5 貞 小歌 个	821(代表)
5.	添付書	類の	目録					E)
	(1)	明	細苔	6 7			1 通 1 词	İ	
	(3)	願	書 副 2	k			1 通		
	(4)	委	任者	بر			1 通		
		方寄	式	陳原		50	134	1985	
				明		細		車	

発明の名称 固体撮像装置

特許請求の範囲

半導体基体に、第1導電型の第1半導体領域と、 之の上に形成された第2導電型の第2半導体領域 とが形成されて光感知部と之よりの電荷を転送する 電荷転送部とが上記半導体基体の主面に沿う如く 配置されて成る固体操像装置に於いて、上記光感 知部の上記第2半導体領域に整流性接合が形成さ れ、該接合をエミッタ接合とし、上記第1及び第 2半導体領域間の接合をコレクタ接合とするトラ ンジスタを形成し、該トランジスタのペースとな る上記第2半導体領域に光学像に応じた電荷を蓄 積し、ここに蓄積された電荷を上記転送部に移行 させて、その転送を行うようにしたことを特徴と する固体操像装置。

本発明は電荷転送素子(CCD)、特に埋込み チャンネル型CCDを用いた固体撮像装置に係わ る。

19 日本国特許庁

公開特許公報

①特開昭	52 -	58414		
43公開日 21)特願昭	昭 52. <i>く</i> の-	(1977) / 34980	5. 13	
22出願日	昭√0.	(197A	11.10	
審査請求	未請	青求	(全	4頁)
庁内整理者 6940 6655	昏号 59 59	.**		
③日本分类 97的D1 99%J42	頁	(1) Int. H04N H01L 3	C12 5/30 1/00	識別 記 号

CCDを用いた固体撮像装置としてはフレーム トランスフア方式によるもの、或いはインターラ イントランスフア方式によるものが提案されてい る。

インターライントランスファ方式による団体撮 像装置は、第1図に示すように、天々絵素となる 光惑知部(センサー部)(1)が行(水平)及び列(垂直)方向に夫々複数個配列され、共通の列上の 光感知部(1)に関し、共通の垂直シフトレジスタ(2) が設けられている。この垂直シフトレジスタ(2)は CCDよりなり、その電荷転送部が、対応する列 上の光感知部(1)に夫々降台つて設けられる。又、 各シフトレジスタ(2)の一端(第1図に於いて下端) には水平シフトレジスタ(3)が設けられ、過像光学像に応 じて各光感知部(1)に生じた能荷を、例えはテレビ ション映像に於いては、その帰線消去期間に於い て垂直シフトレジスタ(2)の各転送部に転送し、と のジフトレジスタ(2)によつてとの電荷を垂直方向 に順次シフトして水平シフトレジスタ(3)に転送し、更に この水平シフトレジスタによつて各行の絵葉に関

(1)

特別 昭52-58414(2)

する電荷を水平方向にシフトして出力端子 t より この電荷に応じた撮像信号を得るようになされて いる。

このような構成による固体撮像装置の光感知部 (1)とこれに隣合う垂直シフトレジスタ(2)の転送部 の構造を第2図及び第3図に示むこの例に於いて は埋込みチャンネル型CCD構成とした場合で、 この場合、半導体基体(4)に、第1の導電型例えば P型半導体領域(5)と、これの上に基体(4)の一主面 (4a) に臨んで第2の導電型例えはN型の半導体領 域(6)とが設けられ、主面(4a)に沿つて光感知部(1) とこれに隣合つてシフトレジスタ(2)の各転送部(7) が設けられてなる。(8)は領域(5)と同導電型のチャ ンネルストッパー領域で、各感知部(1)間、及び各 シフトレジスタ(2)間を互に分離するものであり、 (9)は領域(6)と同導電型を有するもこれより低い不 純物濃度を有し、光感知部(1)とこれに隣合うシフ トレジスタ(2)との間に設けられて両者間に電位障 壁を形成する為の領域である。

光感知部(1)及び転送部(7)上の、主面(4a)上に

(3)

本発明に於いては、光感知部(1)上の少なくとも 受光領域上の絶縁膜(10)及び(2)を除去し、窓(4)を形 成すると共に、光感知部(1)の半導体領域(6)上に主 面(4a)に臨んで整流性接合Jeを形成する。この 接合Jeは例えば第4図に示す如く領域(6)と異な る導電型即ちP型の不純物がドーブされた多結晶 シリコン層より成る領域的を窓側を通じて光感知 部(1)の半導体層(6)上に被着生成させてPN接合を 形成するようになすこともできるし、或いは第5 図に示す如く光感知部(1)の半導体領域(6)上に選択 的に領域(6)と異なる導電型の不純物を例えばイオ ン注入法或いは拡散法によつてドープレ、P型の 領域旧を形成して接合Jeを形成するようになす こともできる。第5図に於いて旧は領坡四の一部 にオーミックに被着した電極即ちセンサー電極で、 第4図の例では領域旧自体をいわばセンサー電極 とした場合である。

斯くして光感知部(1)に、接合Jeをエミッタ接合とし、半導体領域(5)及び(6)間に形成されるPN 接合Jcをコレクタ接合とするトランジスタ、即 は例えば SiO2 より成る絶縁膜(10)が被着される。 そして、これの上に各シフトレジスタ(2)に対し、 その共通の行上の転送部に関して共通に転送電極 (1)が延長被着され、この電極(1)上には同様に例え ば SiO2 より成る絶縁膜(12が被着され、これの上 に跨いで特に光感知部(1)上を含んでいわゆるセン サー電極(13)が被滑される。この電極(13)は光透過性 を有するネサ、或いは不純物が高微度をもつてド ーブされて導電性が付与された多結晶シリコン層 より襟成される。

このような構成による固体撮像装置の光感知部 (1)に対する光は少なくとも電磁(3)とこれの下の絶縁膜(0)を通じて与えるので、特に短波長側における感度が低くなる欠点がある。

本発明は上述した欠点を改善した固体撮像装置を提供せんとするものである。

第4図及び第5図を参照して本発明を説明する。 之等第4図、第5図に於いて、第2図及び第3図 と対応する部分には同一符号を付して重複説明を 省略する。

(4)

ち領坡(15)、(6)及び(5)を天々エミッタ、ペース及び コレクタの各領域とするPNPトランジスタを襟 成する。

このような構成に於いて、半導体領域(5)即ちジ フトレジスタ(2)の基体領域となり前述のトランジ スタのコレクタ領域となる領域(5)の端子Cに正の 固定電位、即ち例えば接地電位を与える。一方、 受光期間即ちシフトレジスタ(2)に於ける転送期間 中にエミツタ領域(5)即ちセンサー電極(6)の端子S には、接合Jeに逆バイアスを与える所定の負の 電位Øgを与える。

斯くすると第6図Aに示すPNPトランジスタ の断面に於ける電位分布は、第6図Bに示す如く なり、撮像光学像による光照射によつて生じたキ ヤリア地ちホール及び電子のうちホール e⁺ は端 子C 側に流れて消滅するが、電子 e⁻ はベース領 域(6)に蓄積される。この場合、或る量以上の運荷 e⁻ が蓄積されると接合Je が順バイアスとなり、 この或る量以上の電荷即ち電子はエミツタ側にオ ーパーフローする。

-82-

特閒 四52-58414 (3)

そして、この光感知部(1)のペース領域(6)に蓄積 された電荷を例えば帰線消去期間に於いてシフト レジスタ(2)の転送部(7)に転送する。この転送は、 通常の如くセンサー電極(16)に対し転送電極(11)に所 要の負の電位を与えることによつて転送部(7)にポ テンシャル井戸を形成してその転送を行う。その 後はこのシフトレジスタ(2)に於いて第1図に説明 したように各転送部(7)の電荷を垂直方向に順次シ フトさせる。このシフトは通常の如く転送電極(1) にクロック電圧を与えて行う。そしてこの間、 即 ち転送期間中に前述したと同様に撮像光学像によ る受光をなす。

上述の本発明装置によれば、その光感知部(1)を 構成するトランジスタのエミッタ領域(15に於いて 直接的に受光がなされるようになしたので、冒頭 に述べたようにセンサー電極を構成する多結晶シ リコンを通じて更にその下の絶線膜を介して受光 をなす場合の感度に比し特に短波長側の感度の向 上を図ることができるものである。

更に本発明装置によれば、或る以上に生じた電

(7)

代

14

城、(16)はセンサー電極、Je及びJcは接合である。

荷をオーバーフローし得るものであるから従来の もののようにオーバーフロードレインを特設する 必要がなく、更にセンサー電極に与える電位によ つてオーバーフローの生じ始める電荷量を調整設 定できる利益もある。

尚、接合Jeとしては種々の構成をとり得、へ テロ接合、ショントキー障壁による構成をとると ともできる。又、各部の導電型を図示とは逆運運動 とするなど種々の変更をなし得ることは明らかで あろう。

図面の簡単な説明

第1 図は本発明の説明に供する固体撮像装置の構成図、 第2図はその要部の拡大平面図、第3図はそのA -A線上断面図、第4図は本発明装置の一例の要 部の拡大断面図、第5図は本発明装置の他の例の 要部の拡大断面図、第6図は本発明装置の動作の 説明図である。

(4)は半導体基体、(1)は光感知部、(2)はシフトレ ジスタ、(5)及び(6)は半導体領域、(8)はチャンネル ストッパー領域、(9)は障壁領域、四はエミッタ領





ソニー株式会社 特許出題人 珊

(9)







PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf 3_JP1975-127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf 4_JP1975-127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf 5_JP1975-134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf 6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf 7_JP2014-135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf 8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf 9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf 10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf 11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf 12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf 13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf 14_P2017_CoolChips_Panel_170419_29_pages.pdf 15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf

 $16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf$



1975年特許 1975-127646 において、萩原はすでに N+N-P+NP-P 接合型 dynamic photo thyrister の受光獅 子を発明しており、電荷蓄積部(P+)から主面の電荷転送装置部への電荷転送動作に Thyrister の Punch Thru 動作を利用している。これは電子 shutter 機能を可能にする受光素子の特長を明示したものである。

Japanese Patent 1975-127646

N+NP+NP junction type Buried Pinned Photodiode with Built-in MOS Capacitor Buffer Memory Global Shutter Function and the surface N+N doping slope Barrier Electric Field Photo Pair Generation



1975年には既に N+PNP 接合型受光素子を考案し、かつこの受光素子には、 縦型 Overflow Drain (VOD) 機能を持つことを理解していた。電子 shutter 機能実現の為の重要は基板に過剰電荷を掃き出す手法を既に萩原は 1975年2月から使用のSONY 中研 Lab Noteに記載している。

The N+PNP junction type Dynamic Photo Transistor Structure Pinned Photodiode and Sony Hole Accumulation Diode (HAD) with the vertical overflow drain (VOD) function invented by Hagiwara at Sony in 1975







Hagiwara's Lab Note at Sony in February 1975
In 1975 at Sony, Yoshiaki Hagiwara filed three Japanese patents JPA1975-127646, JPA1975-127647 and JPA1975-134985
on the Pinned Surface Photodiode with the VOD function which is later called as Sony Hole Accumulation Diode (HAD).
Hagiwara did not file a patent on the SiO2 device isolation but this lab note shows that Hagiwara had an idea of
forming the Shallow Trench Isolation by the Local Oxidation Method, which was hinted by the LOCOS isolation in 1970s.

図面の簡単な説明

第1図は本発明の説明に供する固体撮像装置の 構成図、第2図はその要部の拡大平面図、第3図 はそのA-A線上断面図、第4図は本発明装置の 一例の要部の拡大断面図、第5図は本発明装置の 他の例の要部の拡大断面図、第6図は本発明装置 の動作の説明図である。 電荷転送部(CTD)が形成される面を主面と呼ぶ。図(6)は 受光面は主面側でも裏面側でも 特許請求範囲に入る。主面が シリコンウェハー上部でも下部 裏面でも特許請求範囲に入る。





第4図は本発明装置の一例の要認の拡大断面図、 第5図は本発明装置の他の例の要認の拡大断面図、 第6図は本発明装置の動作の説明図である。



Fig.6 shows that this is also the invention of in pixel VOD (vertical overflow drain). Visit https://www.j-platpat.inpit.go.jp/ and type Japanese Patent Number 1975-134985 8.

出願特許 1977-126885

特許の名称 出願人

固体撮像装置	ソニー株式会社

文献番号

特開昭54-051318

出願番号

特願昭52-126885

出願日

1977/09/29

公知日

1979/04/23

●完全に残像のない受光部のVOD機能を使って、電子 shutter 機能を実現するための
Overflow Drain の電圧を従来は固定でしたが、それに Clock 電圧を印加することを
提案した、Overflow Drain 端子の Clock 駆動方式に関する特許です。

●実施例としては横型 OFD に適応しています。

●この特許は残像のない縦型 OFD(VOD)にも適応できる事は容易に類推できます。

●VOD付き Pinned Photodiode (Sony HAD)にも適応可能なことは容易に類推します。

●1987年にSONY(浜崎チーム)は電子 Shutter 機能を持つ SONY HAD センサーを採用した ILT CCD Image Sensor の開発と商品化を実現しました。日経マクロデバイス 1987年10月号参照。

●この出願特許 1977-126885 で提案された Clock 駆動方式を SONY の Hole Accumulation Diode (HAD) センサー(VOD 機能を持ち、残像のない、超光感度特性をもち、表面暗電流のない、P+NPNsub 接合型の 受光素子)を ILT CCD Image Sensor の採用したものです。

●これは「萩原が1975年に発明した P+NPNsub 接合型受光素子がVOD機能を持つこと」の証拠です。

19日本国特許庁(JP)

①特許出願公開

¹⁰公開特許公報(A)

昭54—51318

町田市玉川学園 5-3-38

5]Int. Cl.	2	識別記号	13日本分類	庁内整理番号	④公開 日	昭和54年(1979) 4 月23	日
H 04 N	5/30		97(5) D 1	6940—5 C			
H 04 N	5/20		97(5) A 42	6940—5C	発明の	数 1	
					審査請	求 未請求	

(全10頁)

匈固体撮像装置

					⑫発	明	者	萩原良昭
②特		願	昭52—126885					横浜市保土ケ谷区狩場町303の1
22出		願	昭52(1977)9月29日					59 狩場台アパート402
⑫発	明	者	越智成之		⑪出	願	人	ソニー株式会社
			町田市木曽町880-1	境川住				東京都品川区北品川6丁目7番
			宅37—202					35号
同			橋本武夫		個代	理	人	弁理士 伊藤貞

明細

発明の名称 固体撮像装置

特許請求の範囲

インターライントランスファ方式による固体撮 像装置において、各センサー部のセンサー電極と、 上記各センサー部に対応して設けられるオーバー フロー制御部の制御電種とが電気的に共通に構成 されると共に、該電気的共通の電極への共通電圧 に応じて上記センサー部とオーバーフロー制御部 の各ミニマムポテンジャルの差が変化するように なされ、上記各センサー部と、シフトレジスタ部 との間のゲート部のゲート電種と、上記シフトレ ジスタの1のクロック相が与えられる電極とが電 気的に共通に構成され、上記ゲート部のミニマム ポテンジャルが低められた状態で、オーバーフロ ー制鋼を行つてガンマ補正を行うことを特徴とす る固体撮像装置。 発明の詳細な説明

本発明はCCD(チャージ・カブルド・デバイス)形構成を有する固体撮像装置、特にインター

ライントランスフア方式による固体撮像装置に係 わる。

通常のインターライントランスフア方式による CCD 形固体操像装置は、共通の半導体基体、例 えばシリコン基体に第1図に示すように、夫々絵 素となる受光部、即ちセンサー部(1)が一方向(以 下水平方向という)とこれと直交する方向(以下 垂直方向という)に夫々複数個配列され、各垂直 方向の同一ライン上に配列されたセンサー部(1)の 一側にはCCD構成の垂直シフトレジスタ(2)が配 置され、各シフトレジスタ(2)の一端には同様に CCD構成の水平シフトレジスタ(3)が設けられる。 そして、例えばテレビジョン映像においては、垂 直プランキング期間において、センサー部(1)の受 光量に応じて生じた信号電荷を対応する垂直シフ トレジスタ(2)に転送し、各水平プランキング期間 において、順次各垂直シフトレジスタ(2)の各水平 ラインの信号電荷を水平シフトレジスタ(3)に転送 し、各水平映像期間において出力端子はより順次 読み出すようになされる。この場合、各センサー

ンサー部(1)の受光量に応じた信号電荷を垂直シフ トレジスタ(2)の対応する転送部(1)に転送(以下読 み出しという。)し、シフトレジスタ(2)の端子 tri 及び tr2 に第6図A及びBに示すように、2相ク ロック øv1 及び øv2 を与えて水平ブランキング期 間において、この信号電荷を顧次隣合う一方向の 転送部へと転送し、第1図に示した水平シフトレ ジスタ(3)へと1水平ライン毎の信号を転送し、水 平映像期間中で水平ライン毎の信号を端子しより 読み出して行くものである。第7図ないし第9図 は、第3図に示す断面における各部のミニマムポ テンシャル図で、オーバーフロードレイン領域(9)、 オーバーフロー制御部(8)、センサー部(1)の各ミニ マムポテンシャルを gd、9c、9s、9g、9b で表わ し、各印加電圧状態におけるポテンシャルにサフ イックスを付して示したものである。第7図は受 光・蓄積モードを示し、この受光・蓄積状態では 端子 ts に、センサー部(1)に架いポテンシャルの 井戸を形成する電圧、即ち正の大なる電圧。を 与える。そして、奇数番目のフィールド期間の顧

の1つ置きの転送部T2、T4、T6・・・・へと転送さ れて2つの転送部の電荷が加えられる。即ち、セ ンサー部 S1、S3、S5 ···· の各信号電荷が夫々隣 合うセンサー部 S2、S4、S6・・・・と重量される。 この電荷は垂直シフトレジスタへと垂直及び水平 ブランキング期間において通常のように転送させ るが、特に本発明においては、適当な水平プラン キング期間において、ガンマ補正の操作を行う。 即ち、水平ブランキング期間の端子 tri 及び tro への印加電圧が、共に例えば低い電圧の0Ⅴの状 態で、各転送部 T1、T2、T3 ···· と各センサー部 S1、S2、S3 ・・・・ 間のゲート部のポテンシャルバ リアタ。が第9図にタg1として示すように比較的 高い状態で、水平ブランキング期間内の各時点 t₁、 t₂、t₃・・・・ で、 端子 t₅ に 第 6 図 C で示すよう に漸次高い電圧 Ø_{\$1}、Ø_{\$2}、Ø_{\$3} ···· を与え、第 9 図に示すように、センサー部 S1、S2、S3 ・・・・ のポテンシャル P\$1、P\$2、P\$3 ····を浅くする と共に、オーバーフロー制御部(8)のポテンシャル $\epsilon \varphi_{c_1}, \varphi_{c_2}, \varphi_{c_3}$ とする。この場合、第5図で説

特別 昭54-51318 (4)

初に対応する垂直プランキング期間の時点 t₀ で、 第6図A及びBに示すように、シフトレジスタ(2) の端子 t₁₁ 及び t₁₂ への印加電圧 Ø_{v1} 及び Ø_{v2} と して正の所要の電圧を与えた状態で、端子t。に 与える電圧 øs を第6図C に示すように、低めて 第8図にそのミニマムポテンシャル図を示すよう に、センサー部(1)のポテンシャルの井戸を十分浅 くするポテンシャル \$s1 とし、このセンサー部(1) に対応する転送部(1)のストレージ部におけるポテ ンシャルの井戸を十分探めるポテンシャル Ph, K する。このようにすると、各センサー部 S1、S2、 S3 ・・・・ に受光量に応じて発生蓄積されていた信 号電荷(キャリア)は、各転送部 T₁、T₂、T₃・・ ・・・ のストレージ部へと第8図に矢印トで示すよ うに転送、即ち読み出される。次に、との垂直プ ランキング期間内において、第6図A及びBに示 すように、例えば端子 t₂の電圧 ∮v₂ を上記正の 所要の電圧に保持した状態で、端子 t₁の電圧 ø_{v1} を例えば0℃に低める。このようにすると、1つ 置きの転送部T1、T3、T5 ・・・・の各電荷が、他

明したように、印加電圧を高めるにつれ、センサ ー部とオーバーフロー制御部とのポテンシャルの 差即ちポテンシャルパリアは低められるので、オ ーパーフローの量が増大する。したがつて今、光 の強度 I が、 $I_0 < I_1 < I_2 < I_3 < I_4$ の関係を 有する光を受光した場合の、時点 $t_0 ~ t_4$ におけ るセンサー部(1)に書積される電荷量 q をみると、 第10 図に示すように各時点 t_1 、 t_2 、 t_3 、 t_4 での 夫々の $\varphi_s - \varphi_c$ の値で決るセンサー部(1)の電荷 q_1 ~ q_4 はオーバーフローされて除去されるので、光 の強度 I に対する電荷量は、第11 図に示すよう に指数関数曲線、即ちガンマ補正がなされる。

そして、次の偶数番目のフィールドにおいても、 同様の操作をすることによつてガンマ補正を行う ことができるが、この偶数番目のフィールドにお いては、第6回に示すように、その頭初に対応す る垂直ブランキング期間における各センサー部S₁、 S₂、S₃・・・・からシフトレジスタ(2)の転送部T₁、 T₂、T₃・・・・への読み出し後前述の奇数番目のフ ィールドの場合とは逆に、端子 t₁の電圧を正の

特词 昭54-51318 (3)

のミニマムポテンシャルが、常にゲート部におい て小さくなるように各部(1010)の不純物濃度或いは 絶縁層の厚さ等を選定するものとする。そして、 1 つ置きの転送部(1)を共通に接続され、端子 t_{r1} 及び t_{r2} が導出される。

また、オーバーフロー制御部(8)は、例えば、基体(4)と同導電型を有するもこれに比し高い不純物 濃度を有する領域(16)が主面(4a)に臨んで形成さ れ、これの上に絶縁層(5)を介して制御電極(17)が被 着されて成る。

センサー部(1)は、光透過性の絶縁層(5)を介して これの上にセンサー電極(18)が被着されて構成され る。このセンサー電極(18)と、これに対応するオー バーフロー制御部(8)の制御電極(17)は、連続した共 通の透明電極によつて構成するか、電気的に接続 して共通の電圧を与える端子 ts が導出される。

尚、各領域(6)、(7)、(9)、(4)、(6)は、夫々周知の 技術、例えば選択的拡散法、イオン注入法等によ つて形成し得る。又、電極(5)(12A)及び(12B)は 夫々不純物がドーブされて低抵抗ときれた多結晶

ルは表面ボテンシャルに相当する)に差が生ずる ようになすと共に、印加電圧によつてこのポテン シャルの差が変化するようになす。上述の例では センサー部(1)の表面濃度を基体(4)の濃度に選定し、 オーバーフロー制御部(8)の表面濃度をセンサー部 (1)のそれより大にした場合で、この場合において、 センサー部(1)とオーバーフロー制御部(8)の各絶縁 層(5)の厚さを3000Åとし、センサー部(1)の表面濃 度を5×10¹⁴m⁻³とし、制御部(8)のそれを5×10¹⁵ 08-3 としたときの、センサー電振(18)及び制御電振 (1)への共通の印加電圧、即ち端子 t_sへの印加電 圧 øs に対するセンサー部(1)と制御部(8)における 夫々の表面ポテンシャル 🕫 及び 🕫 は夫々第5 図 中曲線四及び印に示すように、印加電圧す。が大 になるにつれ両者の差は大となる。尚、上述した 例では、センサー部(1)と制御部(8)の表面ポテンシ ヤルに差が生ずるように両者の表面濃度を選定し た場合であるが、或る場合はセンサー部(1)と制御 部(8)との表面濃度は一定にして、或いはこれらを 異ならしめると共に、各部(1)及び(8)の電極(18)及び

シリコン層を順次化学的気相成長法によつてデポ ジットすることによつて形成し得、これらの表面 を酸化することによつて絶録層を形成してこれら 電極(12A)及び(12B)上を含んで、全面的にセン サー電極(18及びオーバーフロー制御電極(17)を構成 する透明電極を全面的に被着して形成し得る。

そして、センサー部(1)以外の部分上に、連光層 (19を被着する。この遮光層(19は、例をばアルミニ ウム層によつて構成し得、このように進光層(19を 導電体によつて構成する場合は、各電極を覆つて 絶縁層(5)を形成し置き、これの上に遮光層(19を被 着する。

上述したように本発明装置においては、各セン サー部(1)のセンサー電種(18)と、之に対応するオー パーフロー制御部(8)の制御電種(17)とを電気的に共 通とするものであるが、両電種(18)及び(17)に共通の 電圧が与えられた状態で、センサー部(1)とオーバ ーフロー制御部(8)とのミニマムポテンシャル(図 示の例ではミニマムポテンシャルが表面に生ずる ようにした場合で、この場合ミニマスポテンシャ

切下の絶縁層の厚さを互に異ならしめ、センサー 部における絶縁層の厚さを制御部(8)におけるそれ より小に選定するようになすこともできる。この よりな構成としたことによつて、後に詳述するよ

うに、端子 ts への印加電圧 €s の大小によつて制 御部(8)とセンサー部(1)の表面ボテンシャルの差 (𝔤s – 𝔤c)に大小の変化が生ずるように、即ち 制御部(8)によるセンサー部(1)とオーバーフロード レイン領域(𝔤)との間のバリアの高さを変化させ てセンサー部(1)よりのキャリアのオーバーフロー 量を制御する。

尚、後の説明の便宜上、第2図に示すように各 水平ライン上のセンサー部(1)を順次S₁、S₂、S₃・ ・・・と、夫々に対応するシフトレジスタ(2)の転送 部(1)をT₁、T₂、T₃・・・・とし、1つ置きの転送 部T₁、T₃、T₅・・・・の電極が端子 t_1 に、他の1 つ置きの転送部T₂、T₄、T₆・・・・・の電極が端子 t_2 に接続されるものとする。

次に、本発明装置の動作を説明するに、この場 合においても垂直ブランキング期間において、セ

ンサー部(1)の受光量に応じた信号電荷を垂直シフ トレジスタ(2)の対応する転送部(1)に転送(以下読 み出しという。)し、シフトレジスタ(2)の端子 tri 及び tr2 に第6図A及びBに示すように、2相ク ロック øv1 及び øv2 を与えて水平ブランキング期 間において、この信号電荷を顧次隣合う一方向の 転送部へと転送し、第1図に示した水平シフトレ ジスタ(3)へと1水平ライン毎の信号を転送し、水 平映像期間中で水平ライン毎の信号を端子しより 読み出して行くものである。第7図ないし第9図 は、第3図に示す断面における各部のミニマムポ テンシャル図で、オーバーフロードレイン領域(9)、 オーバーフロー制御部(8)、センサー部(1)の各ミニ マムポテンシャルを gd、9c、9s、9g、9b で表わ し、各印加電圧状態におけるポテンシャルにサフ イックスを付して示したものである。第7図は受 光・蓄積モードを示し、この受光・蓄積状態では 端子 ts に、センサー部(1)に架いポテンシャルの 井戸を形成する電圧、即ち正の大なる電圧。を 与える。そして、奇数番目のフィールド期間の顧

の1つ置きの転送部T2、T4、T6・・・・へと転送さ れて2つの転送部の電荷が加えられる。即ち、セ ンサー部 S1、S3、S5 ···· の各信号電荷が夫々隣 合うセンサー部 S2、S4、S6・・・・と重量される。 この電荷は垂直シフトレジスタへと垂直及び水平 ブランキング期間において通常のように転送させ るが、特に本発明においては、適当な水平プラン キング期間において、ガンマ補正の操作を行う。 即ち、水平ブランキング期間の端子 tri 及び tro への印加電圧が、共に例えば低い電圧の0Ⅴの状 態で、各転送部 T1、T2、T3 ···· と各センサー部 S1、S2、S3 ・・・・ 間のゲート部のポテンシャルバ リアタ。が第9図にタg1として示すように比較的 高い状態で、水平ブランキング期間内の各時点 t₁、 t₂、t₃・・・・ で、 端子 t₅ に 第 6 図 C で示すよう に漸次高い電圧 Ø_{\$1}、Ø_{\$2}、Ø_{\$3} ···· を与え、第 9 図に示すように、センサー部 S1、S2、S3 ・・・・ のポテンシャル P\$1、P\$2、P\$3 ····を浅くする と共に、オーバーフロー制御部(8)のポテンシャル $\epsilon \varphi_{c_1}, \varphi_{c_2}, \varphi_{c_3}$ とする。この場合、第5図で説

特別 昭54-51318 (4)

初に対応する垂直プランキング期間の時点 t₀ で、 第6図A及びBに示すように、シフトレジスタ(2) の端子 t₁₁ 及び t₁₂ への印加電圧 Ø_{v1} 及び Ø_{v2} と して正の所要の電圧を与えた状態で、端子t。に 与える電圧 øs を第6図C に示すように、低めて 第8図にそのミニマムポテンシャル図を示すよう に、センサー部(1)のポテンシャルの井戸を十分浅 くするポテンシャル \$s1 とし、このセンサー部(1) に対応する転送部(1)のストレージ部におけるポテ ンシャルの井戸を十分探めるポテンシャル Ph, K する。このようにすると、各センサー部 S1、S2、 S3 ・・・・ に受光量に応じて発生蓄積されていた信 号電荷(キャリア)は、各転送部 T₁、T₂、T₃・・ ・・・ のストレージ部へと第8図に矢印トで示すよ うに転送、即ち読み出される。次に、との垂直プ ランキング期間内において、第6図A及びBに示 すように、例えば端子 t₂の電圧 ∮v₂ を上記正の 所要の電圧に保持した状態で、端子 t₁の電圧 ø_{v1} を例えば0℃に低める。このようにすると、1つ 置きの転送部T1、T3、T5 ・・・・の各電荷が、他

明したように、印加電圧を高めるにつれ、センサ ー部とオーバーフロー制御部とのポテンシャルの 差即ちポテンシャルパリアは低められるので、オ ーパーフローの量が増大する。したがつて今、光 の強度 I が、 $I_0 < I_1 < I_2 < I_3 < I_4$ の関係を 有する光を受光した場合の、時点 $t_0 ~ t_4$ におけ るセンサー部(1)に書積される電荷量 q をみると、 第10 図に示すように各時点 t_1 、 t_2 、 t_3 、 t_4 での 夫々の $\varphi_s - \varphi_c$ の値で決るセンサー部(1)の電荷 q_1 ~ q_4 はオーバーフローされて除去されるので、光 の強度 I に対する電荷量は、第11 図に示すよう に指数関数曲線、即ちガンマ補正がなされる。

そして、次の偶数番目のフィールドにおいても、 同様の操作をすることによつてガンマ補正を行う ことができるが、この偶数番目のフィールドにお いては、第6回に示すように、その頭初に対応す る垂直ブランキング期間における各センサー部S₁、 S₂、S₃・・・・からシフトレジスタ(2)の転送部T₁、 T₂、T₃・・・・への読み出し後前述の奇数番目のフ ィールドの場合とは逆に、端子 t₁の電圧を正の

特別 昭54-51318(5)

所定電圧に保持した状態で、 端子 t_2 を例えば 0 V としてセンサー部 S_2 、 S_3 、 S_4 ···· の電荷を、夫 々奇数フィールドにおける組合せとは異る他の隣 合うセンサー部 S_1 、 S_2 、 S_3 ···· と加え合せられ るようにする。 即ち、 奇数フィールドにおいては $S_1 \ge S_2$ 、 $S_3 \ge S_4$ 、 $S_5 \ge S_6$ ···· の組合せに よつて夫々 1 つの絵素信号を構成し、偶数フィー ルドにおいては他の組合せの $S_2 \ge S_3$ 、 $S_4 \ge S_5$ 、 $S_6 \ge S_7$ ···· の組合せによつて夫々 1 つの絵素 信号を形成する。

このようにして2フイールドで1画面(1フレ ーム)を形成し、飛越し走査と同様の効果を得る。 尚、上述の構成において、感度調整を行うには、 オーバーフロー制御部(8)の幅を十分小となし置き、 第12図に示すようにオーバーフロードレイン領 域(9)のバイアスを探めこれのポテンジヤルが制御 部(8)に影響し、このパリアを低めてセンサー部(1) のキャリアを領域(9)へと逃がしめるようにするこ とによつて行い得る。

上述したように、本発明によれば、オーバーフ

S₁、S₃、S₅ ・・・・、 S₂、S₄、S₆ ・・・・ を組として 分割し、各フィールドで1 つ置きのセンサー部に 関して読み出しを行うようにすることもできる。 図面の簡単な説明

第1図はインターライントランスフア方式の固体撮像装置の構成図、第2図は本発明装置の要部の上面図、第3図及び第4図は夫々そのI-I線上及びIV-IV線上の断面図、第5図はセンサー部とオーバーフロー制御部の印加電圧に対するミニマムポテンシャルの関係を示す曲線図、第6図は動作の説明に供する電圧タイミング図、第7図ないし第9図は夫々本発明装置の各モードを示すポテンシャル図、第10図は光強度を変化させた場合の各時点におけるセンサー部の蓄積電荷を示す図、第11図はガンマ補正曲線図、第12図は自動感度調整モードのミニマムポテンシャル図である。

(1)、 S₁、S₂、S₃・・・・ はセンサー部、(2)は垂直
 シフトレジスタ、(3)は水平シフトレジスタ、(4)は
 半導体基体、(5)は絶線層、(7)はチャンネルストツ

ロー制鋼部に電気的に独立の電極を設けることな くガンマ補正が行うことができるので電極構造が 複雑化することによる製造の煩雑さ、信頼性の低 下、歩留りの低下等の招来を回避でき、実用に供 してその利益は大である。

また、上述の構成によるときは、各フイールド の頭初において、全センサー部 S1、S2、S3 ・・・・ よりの電荷を読み出すので、残像の問題を解消で きる。即ち、従来のように各フイールドで1 つ置 きのセンサー部の電荷を読み出す場合は、各セン サー部において、互に他の1 つ置きのセンサー部 の読み出しがなされるフィールド区間中において も受光がなされていることから夫々2 フィールド の受光がなされるので、残像の問題が生ずるが、 上述の本発明装置によれば、この問題が解消され る。

尚、上述の例においては、センサー電極を共通 として各フィールドで各センサー部の信号電荷を読 み出すようにした場合であるが、或る場合はセン サー電極を1つ置きの水平ライン上のセンサー部

バー領域、(8)はオーバーフロー制御部、(9)はオー バーフロードレイン領域、(0)はゲート部、(1)、T₁、 T₂、T₃・・・・はシフトレジスタ(2)の転送部、(13A) 及び(13B)は転送電極、(13はゲート電極、(1)はオ ーパーフロー制御電極、(18)はセンサー電極である。

代理人伊藤 貞

特词 昭54-51318(**6**)













-138-







g. 第9図 Lu Ś TITIT 24 第10図 819) 84 I4 I4 Ta La 83 L ¥z I, Τ. Io 8 · 10 ٥ -,† Ta tz **t**3 t to + Tı -

特捐 昭54-51318 (7)



-139-

- (1) 明細書中、第6頁3~4行「ストレージゲート部(13A)とトランスファーゲート部」を「トランスファゲート部(13A)とストレージゲート部」と訂正する。
- (2) 同、同頁6~7行「接続される。」の後に次の文を加入する。

「第4図の例では垂直シフトレジターのトラン スフアゲート部とストレージゲート部にポテン ジャルの探さを異らしめるため電極 (12A)(12B) 下の絶縁層 (5A)(5B)の厚さを異らしめたもので あるが、酸化膜厚差を用いずに半導体基体の不 純物濃度差を用いてポテンジャルの深さを異ら しめることもできる。この場合ストレージ電極 (12B) およびトランスフア電極 (12A)下の絶縁 層の厚みは等しいが、かわりにトランスフア電 極 (12A)の下にP型導電型の浅い領域が形成さ れる。このP型領域はたとえば遅択的にイオン 注入を行うことによつて形成できる。

(3) 同、同頁12行「(5A)」を「(5B)」と訂正する。

Øs4 およびオーパーフロー制御部のポテンシャ ル 🕫 の差で決められる電荷量 q4 以上の 電 荷 はオーバーフロードレインへと捨てられ、セン サー部に蓄積される電荷量はq4で飽和する。 次に定められたある水平プランキング期間中の 一時点 t1 において、端子 t1 には比較的低い電 位 ∮s1 が与えられることによりセンサー部のポ テンシャル 홰 とオーバーフロー制御部のポテ ンシャル øc1 で決まる蓄積量 q1 以上の 電荷は オーバーフロードレインへと排除される。次い で端子tsに与えられる電位は再び チョム になされ るため入射光の強さ I4 にもとずいて再び電荷は センサー部のポテンシャル 🔩 とオーパーフロ ー制御部のポテンシャル差で決められたセンサ ー部に蓄積され、電荷量 q 」以上の余剰電荷は オーバーフロードレインに捨てられる。次に定 められた別の水平ブランキング期間中の一時点 t2 において端子 ts に先きの #s1 よりも高い電 位 \$s2 が与えられることによりセンサー部のポ テンシャル ész とオーバーフロー制御部のポテ

- 特闘 昭54-51318(8)

- (4) 同、第7頁2行「小さく」を「浅く」と訂正 する。
- (5) 同、第11頁13行「センサー部(1)の」を
 「センサー部(1)、ゲート部(0)、ストレージゲー
 ト部(13B)の」と訂正する。
- (6) 同、第13頁5行「垂直」を「水平」と訂正 する。
- (7) 同、同頁7行「道当な」の後に「回数の選ば れた」を加入する。
- (8) 同、同頁16行「を与え、」の前に「すなわち、 4s1 < 4s2 < 4s3 ***** 」を加入する。</p>
- (9) 同、第14頁3行「低められる」を「高められる」と訂正する。
- 10 同、同頁4行「増大する。したがつて今」を 次のように訂正する。

「減少する。この動作をたとえば I4 の強さの 光が入射する場合について、第9 図、第10 図 を参照しながら詳細に説明する。すなわち I4 の強さの光が入射した場合、まず端子 ts に ダ&4 が与えられた時のセンサー部のポテンシャル

ンジャル ぐc2 とによつて決められる蓄積量 q2 以上の電荷がオーバーフロードレインへと排除 される。その後再び端子 ts には 電位 ぐs4 が与 えられて電荷は蓄積され第3の選ばれた水平ブ ランキング期間中の一時点 t3 にて ぐs2 よりも 高い電位 ぐs3 が与えられることにより蓄積量 q3 以上の電荷は排除される。その後再び端子 tsに は電位 ぐs4 が与えられるため入射光に応じて電 荷は蓄積された後、垂直ブランキング期間中の 一時点 t4 において読み出される。

したがつて今、」

- (1) 同、同頁9~10行「電荷q1~q4は」を
 「電荷q1~q4以上の電荷は」と訂正する。
- (12) 同、同頁12行「指数與数曲線、」を「べき 乗関数曲線、」と訂正する。
- (13) 同、同頁同行「なされる。」の後に次の文を 加入する。

「すなわち第10図および第11図において強 さ Iom 以下の光 Io が入射した時、センサーに 蓄積される電荷量は 直線 B1 で示され、 Iom と

補正図

特別昭54-51318 (9)



上

以



第3図



第6図



特問 昭54-51318(10)

第10図

第11図



PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

 $\label{eq:linear} 2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf$

 $\label{eq:split} 3_JP1975\mathchar`127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf$

 $4_JP1975‐127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf$

 $5_JP1975‐134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf$

6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf

 $7_JP2014 \text{-} 135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf$

8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf

9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf

 $10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf$

 $11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf$

 $12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf$

13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf

14_P2017_CoolChips_Panel_170419_29_pages.pdf

15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf

 $16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf$

(1) Japanese Patent Application 2014-135497

(2) Paper2014 related with JPA 2014-135497

ECT - 14 - 060

離散フーリエ変換(DFT)処理回路の設計と性能予想

Design and Performance Estimation of DFT Processing Circuits Weikun Liang, Yuji Yoshida, Kishi Fukakusa, Yoshiaki Hagiwara (Sojo University) DFT is essential for voice and picture recognition. Normally DFT is processed by software, and the processing time is not negligible. This paper reports a challenge to design a DFT hardware engine circuit and estimate its performance by use of a recursive design procedure. キーワード:離散フーリエ変換、再帰的手続き、デジタル回路設計、回路性能予想、 (DFT, Recursive Procedure, Digital Circuits Design, Circuit Simulation)

(3) Paper2015 related with JPA 2014-135497

一般社団法人 電子情報通信学会 THE INSTITUTE OF ELECTRONICS, INFORMATION AND COMMUNICATION ENGINEERS

信学技報 IEICE Technical Report

非均等な時間間隔サンプリングされたデータの周波数成分 ベクトルを求める演算回路

田中 優* 梁 維焜 萩原良昭(崇城大学)

E-mail: hagiwara@cis.sojo-u.ac.jp

Digital Frequency Transformation Circuit for Time-wise Unequally Sampled Data

Masaru TANAKA, Weikun LIANG, and Yoshiaki HAGIWARA

DFT is essential for voice and picture recognition. Normally DFT is processed for Time-wise Equally Sampled Data. This paper reports a challenge to design a DFT circuit for Time-wise Unequally Sampled Data.

キーワード:離散フーリエ変換、再帰的手続き、デジタル回路設計、回路性能予想

Keywords DFT , Recursive Procedure, Digital Circuits Design, , Circuit Simulation

整理番号:H1914-01	特願2014-135497	(Proof)	提出日:平成26年	7月 1日	1/E
【書類名】	特許願				
【整理番号】	H1914-01				
【あて先】	特許庁長官殿				
【国際特許分類】	G06F 17/14				
【発明者】					
【住所又は居所】	神奈川県厚木市」	:荻野43	$1 \ 3 - 1$		
【氏名】	萩原 良昭				
【特許出願人】					
【住所又は居所】	神奈川県厚木市」	:荻野43	$1 \ 3 - 1$		
【氏名又は名称】	萩原 良昭				
【代理人】					
【識別番号】	100154210				
【弁理士】					
【氏名又は名称】	金子宏				
【手数料の表示】					
【予納台帳番号】	606248				
【納付金額】	15,000円				
【提出物件の目録】					
【物件名】	明細書 1				
【物件名】	特許請求の範囲	1			
【物件名】	要約書 1				
【物件名】	図面 1				

【書類名】明細書

【発明の名称】時間領域データを周波数領域データに変換する演算回路

【技術分野】

[0001]

本発明は、時間領域データを周波数領域データに変換する演算回路、詳しくはデジタル フーリエ変換を行う演算回路に関する。

【背景技術】

[0002]

サンプリングされた信号の時間領域のデジタル値から、その信号の周波数特性を求める ために時間領域の値を周波数領域の値に変換するデジタルフーリエ変換(DFT)が知ら れている。

 $\begin{bmatrix} 0 & 0 & 0 & 3 \end{bmatrix}$

従来のDFTにおいては、時間領域のデータが等時間間隔でサンプリングされていた。 これを前提として、周波数領域の値(等周波数間隔のベクトル値)を時間領域の値(等時 間間隔のベクトル値)に変換する変換行列が既知であり、変換行列の逆行列を時間領域の 値を表すベクトルに作用させることで時間領域の値を周波数領域の値に変換していた。こ の際、逆行列の成分の値を時間領域の値に乗算するが、この乗算に演算時間を要していた

 $\begin{bmatrix} 0 & 0 & 0 & 4 \end{bmatrix}$

時間領域のデータが等時間間隔でサンプリングされた場合のDFTについて、高速化が 試みられていた(例えば特許文献1及び2)。しかし、(特に高周波数の情報を得るため) には)サンプル点の数が減少するものでなく、通常の演算に対して100倍以上のオーダ ーでの高速化は実現されていなかった。

【先行技術文献】

【特許文献】

[0005]

【特許文献1】特開2007-148623号公報

【特許文献2】特開2011-060177号公報

【発明の概要】

【発明が解決しようとする課題】

[0006]

本発明は、演算を高速に行うことができ、短時間でDFTを実行する演算回路を提供す ることを課題とする。

【課題を解決するための手段】

[0007]

時間領域のデータのサンプリングを不等時間間隔で行う。サンプリングの時間間隔の定 め方により、少ないサンプル点で高周波数の情報を得ることができる。

 $\begin{bmatrix} 0 & 0 & 0 & 8 \end{bmatrix}$

サンプリングを不等時間間隔で行う場合における変換行列は既知のものでなく、サンプ リングに合わせて決定される。この変換行列の逆行列、又はその逆行列に2のべき乗の自 然数を乗算した行列、の成分の値(の絶対値)が、0、1又は2のべき乗となるように、 サンプリングの時間間隔を定める。ビットシフトによって乗算処理が行えるので、演算を 高速に行うことができる。

 $\begin{bmatrix} 0 & 0 & 0 & 9 \end{bmatrix}$

本発明の時間領域データを周波数領域データに変換する演算回路は、

時間領域データを周波数領域データに変換する演算回路であって、

前記時間領域データは、周期Tに亘ってN個サンプリングされた時間領域N次元ベクト ルであり、

前記N個のサンプリングは、前記周期において0からTに増加する時間 t が t = (k (n) /n) · T (n $\ln \ln n = x$ 以下の自然数、k (n) $\ln h \ge 5$ に素である n 未満の自

前記周波数領域データは、Tを周期とする周波数ω(ω=1/T)について、ωのm倍 (mは0又はMmax以下の自然数)の周波数を表す周波数領域M次元ベクトルであり、 前記周波数領域M次元ベクトルを前記時間領域N次元ベクトルに変換する行列Hの逆行 列である行列H⁻¹を前記時間領域N次元ベクトルに作用させることで前記周波数領域M 次元ベクトルを求めることを特徴とする。

 $\begin{bmatrix} 0 & 0 & 1 & 0 \end{bmatrix}$

行列H-1は、後述する自然数Qを乗算することで、その成分の値(の絶対値)が、0、1又は2のべき乗となる。演算が容易である。

ここで、N、N $_{max}$ 、M、M $_{max}$ の値は、設計によって定めればよい。すなわち、 N個のnの値、M個のmの値を任意に設計することができる。これらのn、mの最大値が それぞれN $_{max}$ 、M $_{max}$ となる。

[0011]

本発明の時間領域データを周波数領域データに変換する演算回路は、

前記k(n)の値が、nによらず全て1であることを特徴とする。

[0012]

t = 0 に近い時間に全てのサンプリングを行うものである。短時間でサンプリングを行 うことができる。

[0013]

本発明の時間領域データを周波数領域データに変換する演算回路は、

前記行列H-1を前記時間領域N次元ベクトルに作用させるに当たり、

前記行列H⁻¹の成分をQ倍(Qは、2^P(pは自然数)となるような、Nmax、Mmaxのうち大きいほうに等しい又はそれ未満の最大の自然数)した行列H'を作用させて得られるN次元ベクトルを求め、

前記行列H'の成分のうち2のべき乗の値である成分について、該成分と時間領域N次 元ベクトルの要素との乗算を、該要素の値をビットシフトすることによって行うことを特 徴とする。

[0014]

2のべき乗の値の乗算をビットシフトによって高速化する。

[0015]

本発明の時間領域データを周波数領域データに変換する演算回路は、

前記行列H'を作用させて得られるN次元ベクトルを前記Qで除算する処理を含み、 前記除算を除算前の値をビットシフトすることによって行うことを特徴とする。

[0016]

2のべき乗の値の除算もビットシフトによって高速化することができる。単純にビット シフトを行うと端数を切り捨てる演算となる。切り捨て以外の端数処理は、別途に行うこ とができる。

[0017]

本発明の時間領域データを周波数領域データに変換する演算回路は、

前記時間 t が t = (k (n) / n) • T (n $\ln \ln x$ $\ln

[0018]

演算対象の時間領域データを、サンプリングによって取得する。

[0019]

本発明の時間領域データを周波数領域データに変換する演算回路は、

前記サンプリング回路は、

T/Rを(Rは前記サンプリングに用いられる全てのnの最小公倍数、又はその倍数) 周期とするクロック信号発生器と、

前記時間 t が t = $(k (n) / n) \cdot T (n \downarrow N_{max} \downarrow V \neg D \land K)$ (n) $\downarrow n$)

整理番号:H1914-01 特願2014-135497 (Proof) 提出日:平成26年 7月 1日

互いに素であるn未満の自然数)の時にトリガー信号を発生するトリガー発生器と、 前記トリガー信号を受信してサンプリングを行うサンプリング器とを備えるものである ことを特徴とする。

[0020]

サンプリングを行うべきタイミングの全てに対応するクロック信号により、トリガー信 号を発生してサンプリングを行うことができる。

[0021]

本発明の時間領域データを周波数領域データに変換する演算回路は、

前記サンプリング回路は、

t=0の時にトリガー信号を発生する一次トリガー発生器と、

抵抗とコンデンサとを含み前記トリガー信号を時間遅れを持って伝達するN個のCR回路と、

前記CR回路を経た前記トリガー信号(二次トリガー)を受信してサンプリングを行う サンプリング器とを備えるものであることを特徴とする。

[0022]

サンプリングのタイミングは、クロック信号でなくCR回路によっても調整可能である

ここで「CR回路」とは、コンデンサとレジスタ(抵抗)を組み合わせて信号を遅延さ せる回路を言う。コンデンサの容量及びレジスタの抵抗値によって遅延時間を設定するこ とができる。

【発明の効果】

[0023]

本発明の時間領域データを周波数領域データに変換する演算回路は、演算を高速に行う ことができ、短時間でDFTを実行する。

【図面の簡単な説明】

[0024]

【図1】図1は、サンプリングのタイミングを示す図である。

【図2】図2は、関数hm(t)を示す図である。

【図3】図3は、逆行列H-1の例を示す図である。

【図4】図4は、時間領域データを周波数領域データに変換する演算回路の構成を示す図である。

【図5】図5は、サンプリング回路を示す図である。

【発明を実施するための形態】

[0025]

(理論的背景)

DFTにおける変換行列Hは、各行に周波数が対応し、各列にサンプリングされた点(時間)が対応する。従来の、時間均等にサンプリングを行うDFTにおいては、複素平面の単位円を均等に分割した点に相当する値によって、変換行列Hが容易に定まった。また

、変換行列Hは、複素共役であり、その逆行列H-1も容易に求めることができた。

[0026]

サンプリングを不等時間間隔で行う場合における変換行列は、以下のように求められる。いま、変換行列Hのn行m列の値をH(n,m)と書くと、H(n、m)は、m番目の周波数に対応する周期関数hm(t)に基づいて、hm(tn)で与えられる。ここで、tnは、n番目のサンプル点がサンプリングされた時間である。

[0027]

以下、時間不均等なサンプリング、及び変換行列Hを求める手順の例を、nもmも8つ の値をとる(1~8の間である)ものとして説明する。時間領域データは8次元のベクト ル(次元数N=8)、周波数領域データも8次元のベクトル(次元数M=8)である。

[0028]

図1は、サンプリングのタイミングを示す図である。基本周期Tが定められており、時

<u>整理番号:H1914-01</u>特願2014-135497 (Proof) 提出日:平成26年 7月 1日 4 間 t が 0 から T ま で の 間 の うち、 t n = T / n (n = 1、2、... 8)において サンプ リングを 行う。

 $\begin{bmatrix} 0 & 0 & 2 & 9 \end{bmatrix}$

ここで、例えば、t₇-t₈=T/56となる。DFTにおいてはサンプル点の間隔の 2倍の周期に対応する周波数成分までが求められることが通常であり、わずか8点のサン プリングによって、Tの逆数である周波数 ω に対して、その28倍の28 ω までの周波数 成分までを求めることができる。

[0030]

図2は、関数hm(t)を示す図である。hm(t)は、T/mを周期として繰り返す 関数であり、0 \leq t \leq (T/m)においては、t=0及びt=T/mの近傍において1、 t=T/2mの近傍において-1の値となり、他のtの値についてはhm(t)=0であ る。

[0031]

図においては、 $h_m(t) = 1$ または $h_m(t) = -1$ となる箇所に d だけの幅(t 軸 方向の幅)を持たせているが、幅がないものと考えることが正しい。 d $\rightarrow 0$ の極限が h_m (t)を正確に表す。

[0032]

以上に基づき、H(n, m)は以下のとおりとなる。

(1) mがnの倍数であれば、H (n, m) = h_m (t_n) = 1

(2) 2 mが n の奇数倍であれば、H (n, m) = h_m (t_n) = -1

(3) 上記以外では、H (n, m) = h_m (t_n) = 0

変換行列Hは、以下のとおりである。

【数1】

	(1	1	1	1	1	1	1	1)
11	-1	1	-1	1	-1	1	-1	1
	0	0	1	0	0	1	0	0
	0	-1	0	1	0	-1	0	1
$\Pi_8 =$	0	0	0	0	1	0	0	0
	0	0	-1	0	0	1	0	0
	0	0	0	0	0	0	1	0
	0	0	0	-1	0	0	0	1)

なお、Hの添字8は、N=M=8であることを示す。 【0033】 上記変換行列Hの逆行列H⁻¹は、以下のとおりである。

	-								
	(4	-4	-4	0	-8	4	-8	0)	
$H_8^{-1} = \frac{1}{8}$	2	2	-4	-4	0	-4	0	0	
	0	0	4	0	0	-4	0	0	
	1	1	0	2	0	0	0	-4	
	0	0	0	0	8	0	0	0	
	0	0	4	0	0	4	0	0	
	0	0	0	0	0	0	8	0	
	(1	1	0	2	0	0	0	4)	

 \dot{U} 行列H⁻¹は、それを8倍(2³倍)した行列H[']の成分の絶対値が、0,1,2, 4,8のいずれかであり、全ての成分の絶対値が2のべき乗である。

[0034]

【数2】

以上、N=M=8の場合を例に説明した。以下、他の場合について簡単に説明する。図 3は、逆行列H⁻¹の例を示す図である。N=M=2、N=M=3、N=M=4の場合の ものである。逆行列H-1は、それを2倍(21倍)又は4倍(22倍)した行列H'の 成分の絶対値が、0, 1, 2, 4のいずれかである。逆行列H-1に2のべき乗の自然数 Qを乗算した行列H'の全ての成分(以下行列H'の成分を「逆行列整数成分」と言う。)の絶対値が2のべき乗であることは、N=M=8の場合と同様である。出願人は、次元 数(N及びMの値:N=Mとする)が1024までの逆行列H-1について、これを確認 した。

[0035]

自然数Qは、次元数が2のべき乗であれば次元数に等しく、次元数が2のべき乗でない 場合には2のべき乗となる次元数未満の自然数のうち最大のものである。図3において、 逆行列の先頭に示した分数の分母(以下「逆行列分母」と言う。)がQであるが、次元数 が2及び4のものはQが次元数に等しく、次元数が3のものは、2のべき乗となる3未満 の自然数のうち最大のものである2がQの値である。

[0036]

以上、n及びmが共に1~8の値を取るものとして説明したが、サンプリングを不等時 間間隔で行う場合には、より高周波数の(大きなmの)周波数領域データを求めることが 可能である。例えば、n=1、2、... 8としつつ、m=11, 12、... 18とす るなどの設計も可能である。

[0037]

また、t_n=T/nであるとして説明したが、t_nとして他の値を使用することもでき る。tnがT/nの倍数(k(n)倍とする)、k(n)がnと互いに素であるn未満の 自然数であれば、上記のH(n,m)は同一である。かかるk(n)を用いて、tn=T ・k(n) / nとしてもよい。特に、k(n) = n - 1とする ($t_n = T(n - 1)$ / n とする)と、時間軸に関し、tn=T/nとする場合と対称のサンプリングとなるので、 同等のDFTが行えることが明白である。

【実施例1】

[0038]

図5は、時間領域データを周波数領域データに変換する演算回路の構成を示す図である 時間領域データを周波数領域データに変換する演算回路1は、クロック信号発生器 21、トリガー発生器22、サンプリング器23、時間領域データ保存レジスタ41、行 列演算中間データ保存レジスタ42、周波数領域データ保存レジスタ、乗算器61、加算
整理番号:H1914-01 特願2014-135497 (Proof) 提出日:平成26年 7月 1日

器62及び除算器63を備え、逆行列(整数成分)のデータ51及び逆行列(分母)のデ ータ52を保持している。

6

 $\begin{bmatrix} 0 & 0 & 3 & 9 \end{bmatrix}$

(サンプリング)

まず、サンプリングの仕組みを説明する。クロック信号発生器21、トリガー発生器2 2及びサンプリング器23が全体としてサンプリング回路を構成する。

[0040]

クロック信号発生器21は、T/Rを周期とするクロック信号を発生してトリガー発生器22に送る。Rは、サンプリングに用いられる全てのnの最小公倍数である。本実施例では、n=1,2,...8のサンプリングを行うものとする。R=840である。

[0041]

トリガー発生器22は、適宜に定める開始時刻から、105クロック、120クロック、140クロック、168クロック、210クロック、280クロック、420クロック、及び840クロック後に、トリガーを発生してサンプリング器23に送る。開始時刻においてt=0とし、 $t_n=T$ /n (n=8、7、... 1)にトリガーが送られる。

[0042]

サンプリング器23は、トリガーを受けると、アナログ信号3(例えば電圧)を測定し、A/D変換を行ったデジタル値(時間領域データ)を、時間領域データ保存レジスタ41には、nの値に対応した8つの領域があり、それぞれに $a_1 \sim a_N$ (a_8)までの時間領域データを保存する。サンプリング器23は、 a_8 、 a_7 、... a_1 の順に時間領域データを格納する。その後、再び a_8 からの格納を繰り返す。

[0043]

(演算)

次に、時間領域データ保存レジスタ41の値に対する演算を説明する。制御器(非図示)は、サンプリング器23が時間領域データ保存レジスタ41の全ての領域のデータを保存した時に、演算を開始する。

[0044]

m=1とし、逆行列整数成分51のうち1行目の値(v11、v12、・・・v18) を行列演算中間データ保存レジスタに読み込む。その後、乗算器61によって、a1とv 11、a2とv12、・・・a8とv18の乗算を行う。乗算器61を8つ設け、8つの 乗算を同時に行うことができる。

[0045]

乗算器61は、v(v11等の、行列演算中間データ保存レジスタ42に保存された値の1つをvで表す。)をa(a1等の、時間領域データ保存レジスタ41に保存された値の1つをaで表す。)に乗算する際、vの値が0であれば0を乗算結果とする。vの値が0でない場合には、vの値が負であればaの値の正負を反転させた後にvの値の絶対値(2のべき乗である)に対応してaをビットシフトさせることで乗算を実行する。例えばaの値を16ビットの整数として保存している場合、正負の反転はビットごとの0/1反転であり、ビットシフトは上位桁に向けて行い下位桁に0を補えばよい。高速の乗算が可能である。

[0046]

全ての(8つの)乗算が終了すると、加算器62が、全ての乗算結果を加算する。乗算器61と加算器62とを合わせて積和計算回路となる。

[0047]

除算器63は、加算器の出力する積和値を逆行列分母52で除算する。逆行列分母Qは、全ての計算において共通である。除算器63がデータを読み込むことでも、除算器63 に予め設定されていることでもよい。逆行列分母Qは2のべき乗であり、ビットシフトによる高速演算が可能である。なお、ビットシフトによる除算では剰余が切り捨てられるが、結果値が最大でも1だけ相違するものであり大きな問題とはならない。 [0048]

また、周波数領域データを求める目的は、周波数特性を求めることである場合が多い。 かかる場合には、すべての周波数において強度がQ倍されていても問題なく、除算を行わ ないことも考えられる。

[0049]

除算器63は、除算結果を周波数領域データ保存レジスタ43に書き込む。周波数領域 データ保存レジスタ43には、nの値に対応した8つの領域があり、それぞれに $f_1 \sim f_N$ (f_8)までの周波数領域データを保存する。除算器63は、m=1の時は f_1 に除算 結果を書き込む。以下、mの値に対応して f_m に除算結果を書き込む。

[0050]

 $f_1 \sim f_N$ (f_8)までの周波数領域データが書き込まれることで、DFTの結果が周波数領域データ保存レジスタ43に格納される。

[0051]

以上詳細に説明したように、本実施例の時間領域データを周波数領域データに変換する 演算回路は、少ない数のサンプリングで高い周波数の周波数領域データを得ることができ る。また、以下の2点において、高速化されている。(1)乗算及び除算が2のべき乗の 値で行われ、ビットシフト演算が可能である。(2)サンプリング数が少ない。行列計算 のため、処理時間はサンプリング数の2乗におおむね比例する。本実施例の時間領域デー タを周波数領域データに変換する演算回路は、tNにおけるサンプリングとtN-1にお けるサンプリングの時間間隔がおおむねN²に反比例するので、時間等間隔のサンプリン グの場合のサンプリング数に対して、おおむねその平方根の数のサンプリングとすること ができる。以上の効果により、NとMの値を20程度とする場合において、時間等間隔の サンプリングの場合の100分の1以下の時間でのDFTが可能となる。

[0052]

本実施例では、k(n)=1としたが、k(n)について他の設定も可能である。本発 明は、k(n)がnと互いに素である限り、適用できる。

【0053】

本実施例の回路は、あくまで例示である。 $t_n = (k(n) / n) \cdot T$ においてサンプ リングを行うものであれば、他の回路によっても逆行列 H^{-1} を作用させることができる

【実施例2】

[0054]

本実施例は、サンプリング回路の別形態を示すものである。演算については実施例1と 同様であり、詳細な説明を省略する。

[0055]

図5は、サンプリング回路を示す図である。実施例1と比較すると、クロック信号発生器21が設けられておらず、CR回路24が設けられている点が相違する。

[0056]

トリガー発生器22は、実施例1と相違し、t=0の時点のみでトリガー信号を発生す る。トリガー信号は、N個のCR回路24に送られる。CR回路24は、抵抗(レジスタ)とコンデンサを含み、トリガー信号を時間遅れを持ってサンプリング器23に伝達する 。コンデンサは、一端がトリガー発生器22とサンプリング器23を結ぶ回線に接続され 、他端がアースされている。遅れ時間は、コンデンサの容量及びレジスタの抵抗値によっ て設定することができる。

[0057]

N個のCR回路24のそれぞれの遅れ時間を、 $t_n = T/n$ (n = 8、7、... 1) とすることで、実施例1と同様に、サンプリング器を $t_n = T/n$ (n = 8、7、... 1) に動作させることができる。

【産業上の利用可能性】

[0058]

演算を高速に行うことができ、短時間でDFTを実行する演算回路である。DFTを必要とする多くのアプリケーションにおける利用が期待される。

- 【符号の説明】 【0059】
 - 1 時間領域データを周波数領域データに変換する演算回路
 - 21 クロック信号発生器
 - 22 トリガー発生器
 - 23 サンプリング器
 - 24 CR回路
 - 3 アナログ信号
 - 41 時間領域データ保存レジスタ
 - 42 行列演算中間データ保存レジスタ
 - 43 周波数領域データ保存レジスタ
 - 51 逆行列(整数成分)
 - 52 逆行列(分母)
 - 61 乗算器
 - 62 加算器
 - 63 除算器

【書類名】特許請求の範囲

【請求項1】

時間領域データを周波数領域データに変換する演算回路であって、

前記時間領域データは、周期Tに亘ってN個サンプリングされた時間領域N次元ベクト ルであり、

前記N個のサンプリングは、前記周期において0からTに増加する時間 t が t = (k (n) / n) ・T (n は N_{m a x}以下の自然数、k (n) は n と互いに素である n 未満の自然数)の時に行われ、

前記周波数領域データは、Tを周期とする周波数 ω ($\omega = 1 / T$)について、 ω のm倍(mは0又は M_{max} 以下の自然数)の周波数を表す周波数領域M次元ベクトルであり、

前記周波数領域M次元ベクトルを前記時間領域N次元ベクトルに変換する行列Hの逆行 列である行列H-1を前記時間領域N次元ベクトルに作用させることで前記周波数領域M 次元ベクトルを求めることを特徴とする、時間領域データを周波数領域データに変換する 演算回路。

【請求項2】

前記k(n)の値が、nによらず全て1であることを特徴とする、請求項1に記載の時 間領域データを周波数領域データに変換する演算回路。

【請求項3】

前記行列H-1を前記時間領域N次元ベクトルに作用させるに当たり、

前記行列H⁻¹の成分をQ倍(Qは、2p(pは自然数)となるような、N_{max}、M_{max}のうち大きいほうに等しい又はそれ未満の最大の自然数)した行列H'を作用させて得られるN次元ベクトルを求め、

前記行列H'の成分のうち2のべき乗の値である成分について、該成分と時間領域N次 元ベクトルの要素との乗算を、該要素の値をビットシフトすることによって行うことを特 徴とする、請求項1又は2に記載の時間領域データを周波数領域データに変換する演算回 路。

【請求項4】

前記行列H'を作用させて得られるN次元ベクトルを前記Qで除算する処理を含み、

前記除算を除算前の値をビットシフトすることによって行うことを特徴とする、請求項 3に記載の時間領域データを周波数領域データに変換する演算回路。

【請求項5】

前記時間 t が t = (k (n) / n) ・T (n $\ln \ln x$ 以下の自然数、k (n) $\ln b$ 互いに素である n 未満の自然数)の時に時間領域信号をサンプリングするサンプリング回路を備えることを特徴とする、請求項1~3のいずれか1項に記載の時間領域データを周波数領域データに変換する演算回路。

【請求項6】

前記サンプリング回路は、

T/Rを(Rは前記サンプリングに用いられる全てのnの最小公倍数、又はその倍数) 周期とするクロック信号発生器と、

前記時間 t が t = (k (n) / n) ・T (n $l N_{max}$ 以下の自然数、k (n) l nと 互いに素である n 未満の自然数)の時にトリガー信号を発生するトリガー発生器と、

前記トリガー信号を受信してサンプリングを行うサンプリング器とを備えるものである ことを特徴とする、請求項5に記載の時間領域データを周波数領域データに変換する演算 回路。

【請求項7】

前記サンプリング回路は、

t=0の時にトリガー信号を発生する一次トリガー発生器と、

抵抗とコンデンサを含み前記トリガー信号を時間遅れを持って伝達するN個のCR回路 と、

前記CR回路を経た前記トリガー信号(二次トリガー)を受信してサンプリングを行う

1

<u>整理番号:H1914-01</u> 特願2014-135497 (Proof) 提出日:平成26年 7月 1日 <u>2/E</u>

サンプリング器とを備えるものであることを特徴とする、請求項5に記載の時間領域デー タを周波数領域データに変換する演算回路。 【書類名】要約書

【要約】

【課題】演算を高速に行うことができ、短時間でDFTを実行する演算回路を提供するこ と。

【解決手段】時間領域のデータのサンプリングを不等時間間隔で行う。変換行列の逆行列 、又はその逆行列に2のべき乗の自然数を乗算した行列、の成分の値(の絶対値)が、0 、1又は2のべき乗となるように、サンプリングの時間間隔を定める。ビットシフトによ って乗算処理が行えるので、演算を高速に行うことができる。例えば、周期Tにわたって 、t=T/nのタイミングでサンプリングを行うことで、変換行列の逆行列がこの要件を 満たす。

【選択図】図4





【図5】



2014年、大学院生の修士論文指導し、研究発表

題目「離散フーリエ変換回路の設計」

と題して、2014年7月4日@島根県出雲市で、 電気学会主催の集積回路研究会にて研究発表した。

離散フーリエ変換(DFT)処理回路の設計と性能予想

梁 維焜* 吉田 侑司

深草 紀志 萩原 良昭(崇城大学)

Design and Performance Estimation of DFT Processing Circuits

Weikun Liang, Yuji Yoshida, Kishi Fukakusa ,

Yoshiaki Hagiwara (Sojo University)

DFT is essential for voice and picture recognition. Normally DFT is processed by software,

and the processing time is not negligible. This paper reports a challenge to design a DFT hardware

engine circuit and estimate its performance by use of a recursive design procedure.

キーワード:離散フーリエ変換、再帰的手続き、デジタル回路設計、回路性能予想、

(DFT, Recursive Procedure, Digital Circuits Design,, Circuit Simulation)

1. はじめに

離散フーリエ変換(DFT)処理は音声認識や画像処 理に不可欠である。通常ソフトウエアで実行され処理 時間に限界がある。自動走行車やいろいろな家庭内ア プリでは Real Time 性が不可欠で、離散フーリエ変 換処理機能を Hardware Engine として高速デジタ ル回路できないか挑戦。DFT 並列処理回路の内部の 下部階層 BLOCK 回路を再帰的手続き法を使って定 義し設計。その性能シミュレーションした。

2. 背景

現在のパソコンは 64 ビットが主流である。デジタ ル信号処理にかならず登場する高速フーリエ変換回 路でも64点の離散フーリエ変換 (DFT) 技術が実用 化され、既に IEEE802.11a/g/n 等の Wireless LAN に も応用されている。

年代	ビット幅	ビン数
1970	4 bit	40 pin
1980	8 bit	100 pin
1990	16 bit	168 pin
2000	32 bit	400 pin
2010	64 bit	1200 pin
2020	128 bit(予測)	2000 pin(予測)

表1 プロセッサーのビット幅とピン数

1970年はじめにに登場した4ビットプロセッ サーから45年近くたったが、2020年にはプロセ ッサーのビット幅とピン数がどうなるかを予想して みた(表1参照)。 2020年を目標に、人工知能機能搭載の自動走行 車や消エネを追及した電子機器や総合家庭知能シス テム(ロボットハウス)などの実用化に今後期待される。 その為には処理プロセッサーの中に基本演算ALU 回 路だけでなく、高速処理演算回路(Hardware Engine)の装備拡充が重要な課題になる。

特に、人間とのインタフェースが最重要課題となる。 その為、音声認識や画像認識技術のさらなる進歩実用 化が期待される。特に認識技術に離散フーリエ変換技 術は不可欠である。実時間情報を離散フーリエ変換に して、周波数成分ベクトル情報を高速に取得し、さら にそれを高速比較判別処理し、必要な情報を即時 (Real Time)に得ることが重要になる。



図1 プロセッサーの主要部品

本研究では、プロセッサーChip内で、離散フーリエ 変換を高速に実行する特殊用途ベクトル演算回路 (Hardware Engine)の実現を目的としている。 離散フーリエ変換(DFT)演算とは実時間情報ベクト ル f[]から周波数成分ベクトル A[]を、回転因子 行列 W[][]を使って、行列演算 A[] = W[][]f[] を実行する事である。まず2点離散フーリエ変換の場 合、P=2として、演算回路 DFT2()を次式で定義する。

 $A[0] = (1/2) \{ f[0] + f[1] \} \dots (1)$

 $A[1] = (1/2) \{ f[0] - f[1] \} \dots (2)$

この単純な DFT2()回路は(1)加算回路 add()と(2)減 算回路 sub()と(3)2つの1 bit Shift 回路 half()で構 成される。図2を参照。



図2 2 点入力 DFT 演算回路 DFT2()の定義

128bit の加算回路 add() とそれを変形した減算回路 sub()、および実行的に 1/2 の割り算を実行する 1-bit Shift 回路 half() は既に事前に定義設計が完 了し、Library Data Base に格納されているものとし ている。この独自の回路 Net List 記述方式は C 言語 の Coding 形式に類似する。演算回路の階層化がその まま C 言語の Subroutine Function の定義に対応す る。その上位回路であるこの DFT2()の定義では、 Add()などの基本回路 Module を呼び出すだけでよい 事になる。4 点離散フーリエ変換回路 DFT4()回路の 場合は図3に示す様な4 x 4 行列式の演算回路と定義 できる。DFT4()回路は、DFT2()回路を4 つコピー した DFT2(1)回路、DFT2(2)回路、DFT2(3)回路、DFT2(4) 回路を基本回路 BLOCK として構成できる。DFT4()回 路はこの行列演算を実行する複素数演算回路である。



図3 4x4の回転因子行列を使った 4 点入力の DFT4() 演算回路の定義

3. 手法(1) RADIX-4 64 点 DFT 演算の説明

64 点の離散フーリエ変換(DFT)の場合は、すでに 実用化され、既に IEEE802.11a/g/n 等の Wireless LAN にも応用されている。図4に RADIX-4 64 点 DFT 演算回路のアーキテクチャの Block 図を示す。



図4 RADIX-464 点 DFT 演算回路の Block 図

通常ASICを起こすには時間と費用がかかりすぎる ので、FPGA などで実装する場合が多い。その時によ く Shift Register を用いて、Serial 処理で実行され る。64 点 DFT の処理は図4に示すように3つの Stage による処理と信号線の配線を並びかえる Reorder 回路の合計4つの処理 Block で構成される。 この手法(1)では、最初の3つのStageを構成する 回路はまったく同じ回路を3つ使用している。

まず、 ^{№4}=1 の根を考える。この 64 個の根は 複 素数平面上の半径1の円の周辺の点である。角度を 64 等分した点 64 個で、第1根は1である。第2根をW₆₄ と書くことにする。

W⁶⁴=1;W³²=-1;W¹⁶=-i;W⁴⁸=i;....(1) である。

この RADIX-4 64 点 DFT 演算回路の場合、

 $A[M] = \sum_{N=0}^{63} W_{64}^{MN} f[N]$ for M=0 to 63;.....(4) と書くことができる。

 $\Box \Box \overline{C}, M = \mathbf{m_0} + 4 \mathbf{m_1} + 16 \mathbf{m_2}; \dots (5)$ N = $\mathbf{n_0} + 4 \mathbf{n_1} + 16 \mathbf{n_2}; \dots (6)$

とする。M と N の値の範囲はそれぞれ 0 から 63 で あるが、 (\mathbf{m}_0 , \mathbf{m}_1 , \mathbf{m}_2) と (\mathbf{n}_0 , \mathbf{n}_1 , \mathbf{n}_2) は、 (0, 1, 2, 3) の値を取るものとし、M と N の値の 範囲、0 から 63 に対応させることにする。 まず Stage One ではもとの音声情報など f(t) を実時間 (t[N], N = 0 to P) で P個 (f[N], N = 0 to P) サンプリングしたベクトル f[]を入力としている。

ただし 64 の要素(0 to 63)をもつベクトル f[]の 64 の点のうち 16 点ずつ離れた 4 点ずつを選んでいく。

R1[$n_0 + 4 n_1 + 16m_0$]

 $= W_{64}^{m_0 (n_0 + 4n_1)} \{ f[n_0 + 4n_1] \\ + (-j)^{m_0} f[n_0 + 4n_1 + 16] \\ + (-1)^{m_0} f[n_0 + 4n_1 + 32] \\ + (j)^{m_0} f[n_0 + 4n_1 + 43] \} \dots (7)$

最初に選んだ4点の組み合わせ(0,16,32,48)は R1(0)回路に入力される4点となる。 この4点は

 $(n_0, n_1) = (0, 0)$; $m_0 = 0 \sim 3$;(8) の場合に対応する。

次の4点(1,17,33,49)はR1(2)回路に入力される。最後の4点(15,31,47,63)は

(n₀, n₁)=(3,3) ; m_n =0 ~ 3 ;.....(9) に対応し、R1(16)回路に入力している。

R1(0)から R1(15)の演算回路はすべて同じ原型回路 を 16 個コピーしたものである。その原型回路は 4 x 4 の回転行列式の演算を実行する 4 点 DFT 演算回路 DFT4 0 で構成されるが、さらにその出力 4 点にそれ

ぞれ W^{m₀(n₀+4n₁)}の回転因子をかける複素数乗算

器を必要としている。こうして、最終的に中間ベクト ル値 R1[]={R1[N]; N=0 to 15}が計算される。

ただし、ここでも並び換え作業があり、R1(0)から R1(15)の各4つの出力点は最終出力ベクトルR1[]の 16 点ずつ離れた4点の値になる。

すなわち、(4)式で、最初の4点、すなわち

 $(\mathbf{n}_0, \mathbf{n}_1) = (0, 0)$; $\mathbf{m}_0 = 0 \sim 3$;(10)

に対応する出力値は R1[0],R1[16],R[32],R[48]の値 となる。最後の4点、すなわち

 $(\mathbf{n}_0, \mathbf{n}_1) = (3, 3)$; $\mathbf{m}_0 = 0 \sim 3$; (11)

に対応する出力値は R1[15], R1[31], R[47], R[63]の 値となる。

Stage Two では中間ベクトル値 R1[]を入力とし ている。ただし、64の要素(0 to 63) をもつベクトル R1[]の 64の点のうち、4 点ずつ離れた 4 点ずつを選 んでいく。

 $R2[n_{0} + 4 m_{1} + 16m_{0}]$ $= W_{16}^{m_{2} n_{0}} \{ R1[n_{0} + 16m_{0}]$ $+ (j)^{m_{2}} R1[n_{0} + 16m_{0} + 4]$ $+ (-1)^{m_{3}} R1[n_{0} + 16m_{0} + 8]$ $+ (j)^{m_{1}} R1[n_{0} + 16m_{0} + 12] \} \dots (12)$

最初に選んだ4点の組み合わせ(0,4,8,12)はR2(0) 回路の入力している。次の4点(1,5,9,13)はR2(2)回 路に入力し、随時、最後の4点(51,55,59,63)をR2(16) 回路に入力している。 R2(0)からR2(15)も4 x 4 の DFT4 演算回路と回転因子の乗算回路で構成される。 全て16個とも全く同じ回路で構成される。こうして 中間ベクトル値 R2[] = {R2[N]; N = 0 to 15}が計 算される。

ただし、ここでも並び換え作業があり、R2(0)から R2(15)の各4つの出力点は最終出力ベクトルR2[]の 4点ずつ離れた4点の値になる。

Stage Three では中間ベクトル値 R2[]を入力としている。

ここでは R2[]の隣接する 4 点から出力ベクトル R3[]の隣接する 4 点の値を R3(0)から R3(15) の 16 個の回路で計算している。R3() 演算回路は DFT4() 演算回路そのもので、この Stage Three では回転因子 の乗算回路は必要ない。 最終段の REORDER() 回路では、

A [$m_0 + 4 m_1 + 16 m_2$]

= R3 [$m_2 + 4 m_1 + 16m_0$] (1 4)

となるように配線の並び換えを実行している。これは配線 並び変えだけでゲート回路を使用しない。集積回路に実装 する場合は信号配線だけですむ。論理回路規模はゼロで遅 延時間も配線遅延のみで無視できる。

これらの並び換え処理は通常バタフライ演算と言われ、FPGA などの実装では Shift Register を使って 実行処理され、たいへんめんどうな設計努力を必要と する。配線の並びかえをするために多くの Shift Register の Shift&入出力操作とその操作時間を必要 としている。しかし、半導体 Chip として集積回路化 する場合、処理プロセサの Hardware Engine として Silicon Chip に組み込むわけで、この場合ゲート回路 や論理回路は使用せず、遅延時間も無視できる。

Shift&入出力操作に必要な時間もなくなり、配線の 並びかえに必要な時間は集積回路内の信号配線の遅 延時間だけとなりほぼ無視できる時間となる。しかし 集積化する場合にはこのR1()回路を16個、R2()回路 も16個、R3()回路も16個の、合計48個のDFT2 回路相当を並列処理回路として集積した構成となり その集積回路の規模は膨大になると予想される。

4. 手法(2) 偶数奇数 2 分割 DFT 演算の説明

今迄回路規模をできるだけ実用範囲に抑えて、DFT 演算処理時間を犠牲していた。今後、半導体 Chip の 集積化が進み、今後実現可能な回路規模はさらに大き くなるものと予想される。そんな場合でも回路規模を 低減する努力はいつまでも必要となる。その1つの工 夫に、P 点の実時間の入力信号ベクトル f[] を偶数ベ クトル fe[] と奇数ベクトル fo[] に2分割、Q= P/2 bit の DFTQ() 回路で演算処理し、それぞれ Q bit の周波数成分ベクトル Ae[] と Ao[] をもとめ、さ らにそれから P bit の最終周波数成分ベクトル A[] をもとめる手法がある。その回路構成アーキテクチャ を図5に示す。



図5 偶数奇数2分割 DFT 演算回路アーキテクチャ

ここでかなりの代数演算となるが、偶数と奇数の2 分割 DFT 演算の導入式についてその詳細を説明する。

まず、0≤t<T の時間区間で P 個の Vector Data f[N], N=0,1,,,(P-1)を Sampling する。

 $\mathbf{f}[\] = \{\ \mathbf{f}[0],\ \mathbf{f}[1],\ ,\ ,\ \mathbf{f}[\mathbf{N-1}]\ \}.....(1\ 5)$

次の関係式を使って P 個の周波数成分 Vector A[M], M=0,1,,,(P-1) を計算する。

$$A[M] = (\frac{1}{n}) \sum_{N=0}^{p-1} \exp(\frac{-2\pi \eta NM}{p}) f[N] \dots (1 6)$$

ここで、Q=P/2 として、P 個の総和項を偶数項(2N) と奇数項(2N+1) にわける。

A[M]=(
$$\frac{1}{p}$$
) $\sum_{N=0}^{Q-1}$ exp($\frac{-2\pi j(2N)M}{P}$) f[2N] ←偶数項

+ $(\frac{1}{n})$ Σ_{N=0}^{Q-1} exp($\frac{-2\pi j(2N+1)M}{P}$) f[2N+1] ←奇数項

この式はつぎのように変形できる。

$$A[M] = \left(\frac{1}{2}\right) \left\{ \left(\frac{1}{Q}\right) \sum_{N=0}^{Q-1} \exp\left(\frac{-2\pi j N M}{Q}\right) f[2N] \right\}$$

+
$$\exp(\frac{-2\pi i M}{P}) \begin{pmatrix} 1 \\ Q \end{pmatrix} \sum_{N=0}^{Q-1} \exp(\frac{-2\pi i N M}{Q}) f[2N+1] \}$$

.....(18)

次の関係式を得る。

$$A[M] = \left(\frac{1}{2}\right) \left\{ Afe[M] + \exp\left(\frac{-2\pi jM}{P}\right) Afc[M] \right\}$$

......(19) ここで、Afe[M]と Afo[M]を次式で定義している。

Afe[M] =
$$\left(\frac{1}{Q}\right) \sum_{N=0}^{Q-1} \exp\left(\frac{-2\pi \eta NM}{Q}\right) f[2N] \dots (2 0)$$

Afo[M] =
$$\left(\frac{1}{Q}\right) \sum_{N=0}^{Q-1} \exp\left(\frac{-2\pi \eta NM}{Q}\right) f[2N+1]...(21)$$

さて、M=Q,(Q+1),,,,(P-1) の場合に A[M] を次式 (22)で計算しても、

 $A[M] = \left(\frac{1}{p}\right) \sum_{N=0}^{p-1} \exp\left(\frac{-2\pi \eta NM}{P}\right) f[N] \dots (2 \ 2)$

M の値を Q だけ Shift して M=0,1,,,,(Q-1) で次式 (23)でA[M] を計算しても、結果は同じである。

$$A[M+Q] = \left(\frac{1}{n}\right) \sum_{N=0}^{p-1} \exp\left(\frac{-2\pi N(M-Q)}{P}\right) f[N] \dots (2 3)$$

前回と同様に、この式を P 個の総和項を偶数項(2N) と奇数項(2N+1) にわける。

$$A[M+Q] = \left(\frac{1}{2}\right) \left(\frac{1}{2}\right) \sum_{N=0}^{Q-1} \exp\left(\frac{-2\pi i \left(2N\right) \left(Q+M\right)}{P}\right) f[2N]$$

+
$$\left(\frac{1}{2}\right)\left(\frac{1}{Q}\right)\sum_{N=0}^{Q-1} \exp\left(\frac{-2\pi j(2N+1)(Q+M)}{P}\right) f[2N+1]$$

... (2.4)

次の関係が成り立つことに注目し、

$$\exp\left(\frac{-2\pi j(2N)Q}{F}\right) = \exp\left(\frac{-2\pi jNQ}{Q}\right) = \exp(-2\pi Nj) = 1$$

...(25)

$$\exp(\frac{-2\pi i Q}{P}) = \exp(-\pi j) = -1$$
 ... (2.6)

 $\exp\left(\frac{-2\pi j(1NM + M + Q)}{P}\right) = -\exp\left(\frac{-2\pi jM}{P}\right) \exp\left(\frac{-2\pi jM}{Q}\right)$ $\dots (27)$

さらに変形する。

$$\begin{split} \mathbf{A}[\mathbf{M}+\mathbf{Q}] = & \left(\frac{1}{2}\right) \left\{ \left(\frac{1}{\mathbf{Q}}\right) \sum_{\mathbf{N}=0}^{\mathbf{Q}-1} \exp\left(\frac{-2\pi \mathbf{g}\mathbf{N}\mathbf{M}}{\mathbf{Q}}\right) \mathbf{f}[2\mathbf{N}] \\ & - \exp\left(\frac{-2\pi \mathbf{g}\mathbf{M}}{\mathbf{P}}\right) \left(\frac{1}{\mathbf{Q}}\right) \sum_{\mathbf{N}=0}^{\mathbf{Q}-1} \exp\left(\frac{-2\pi \mathbf{g}\mathbf{N}\mathbf{M}}{\mathbf{Q}}\right) \mathbf{f}[2\mathbf{N}+1] \right\} \\ & \dots (2\ 8) \end{split}$$

従ってまず、f[]を偶数項 fe]]と奇数項 fo]]にわけて Afe[M]と Afo[M]を次式で計算すると、

$$Afe[M] = \left(\frac{1}{Q}\right) \sum_{N=0}^{Q-1} \exp\left(\frac{-2\pi j N M}{Q}\right) f[2N]$$
$$Afo[M] = \left(\frac{1}{Q}\right) \sum_{N=0}^{Q-1} \exp\left(\frac{-2\pi j N M}{Q}\right) f[2N+1]$$
$$\dots (2 9)$$

M=0,1,,,(Q-1) で、A[M] と A[M+Q] を次式(30)と (31)式から計算すればいいことになる。

$$A[M] = \left(\frac{1}{2}\right) \{Afe[M] + \exp\left(\frac{-2\pi jM}{p}\right) Afe[M]\} \dots (3 0)$$

$$A[Q+M] = \binom{1}{\pi} \{Afe[M] - \exp\left(-\frac{2\pi M}{P}\right) Afe[M]\}$$

...(31)

この手法(2) で P 点の DFT 演算処理を行う場合 P を 2 の累乗個にすると有利であることが知られてい る。P 点を Q=P/2 個の偶数と奇数に 2 分割し、さらに Q 点を Q/2 の奇数と偶数項に 2 分割として、順次階 層深く押し進む。最終的に図 2 に示した、2 点の DFT 演算回路 DFT2()に行きつく。結果として演算努力は P の 2 乗回から(P/2)log2(P)回に低減できる。

5. 手法(3)本研究の演算手法の提案

呼び出された各回路 Module には add(1) のよう に()の中に番号がつく。こうすることにより上位 回路の定義でいくつもの Module 回路を呼び出し、区 別して使えることになる。この手法で、4 点 DFT 演 算回路 DFT4()を定義すると図6のようになる。



16=rom(-i); 15=12; 1= x(1)(14,16); (6,8)=DFT2(3)(11,13); (7,9)=DFT2(4)(15,1);

define DFT4() { input(2,3,4,5);output(6,7,8,9); (11,12)=DFT2(1)(2,4);(13,14)=DFT2(2)(3,5); (6,7,8,9)=DFT4A(1)(11,13,12,14);}

図6 4点 DFT 演算回路 DFT4()の定義

DFT4()回路は図3で示した行列演算を実行する複素 数演算回路である。DFT 演算では複素数を取り扱う 必要がある。基本回転因子の値はあらかじめ用意さ れ、rom()回路から求める。またかけ算器 x()も用意 されている。この独自の Coding 定義方式では内部の 配線名で 15=12 と Coding しているが。これは配線 (15)と配線(12)が同一配線である事、すなわち、2つ の呼び名をもつ事を意味する。過去の膨大な Library の設計資産を活用する場合に便利である。 さて、図6に示す4点 DFT 演算回路 DFT4()の右半分 に注目する。この右半分では、DFT2()回路を2つ呼 び出し DFT2(3)と DFT2(4)回路として呼び出し埋め込 んでいる。その部分だけをわざわざ DFT4A()回路と して定義している。DFT4()回路の全体回路に、この DFT4A()回路を1つコピーし DFT4A(1)回路とし て DFT4()回路の一部として組み込んでいる。

この手法(3)では DFT4()回路の後段部分だけを DFT4A()回路として登録する。DFT8()回路を定義 する時に DFT4()回路と DFT4A()回路の2つを構成 部品としている。手法(1)のIX-4 64点 DFT 演算 回路の場合は R1(0)から R3(15)までの、合計 48 個の 4点演算回路で構成されるが、その4点演算回路は4 点 DFT4()回路を主要部品としている。R3()回路は回 転因子の乗算器を必要としないので単純に R3()=DFT4()と Coding 内で宣言すれば R3(0)から R3(15)までの合計 16 個の4点演算回路 R3()が定義 される。演算回路 R1()と R2()に関しては

R1() = DFT4() + W1();(31)

R2() = DFT4() + W2();(3.2)

とも この Coding 定義方式では Coding 可能である。 R1(0)から R1(15) と R2(0)から R2(15)までの、合計 24 個の4点 DFT 演算回路が瞬時に定義される。



(20-27)=W8B(10-17);(40-47)=DFT8A(20-27);}

図7 8点 DFT 演算回路 DFT8()の定義

ただしこの2つの式が意味を持つ為には W1(0)~W1(15) および W2(0)~W2(15)の回転因子の乗算回路を式(7)と式(12)に従ってあらかじめ定義し

ておく必要がある。同様にこの手法(3)に従い、8
点 DFT 演算回路 DFT8()が設計できる。この Coding
定義方式を使って定義すると図7の様になる。

この手法、再帰的回路設計手続き(Recursive Circuit Design Procedure)を使って、さらに DFT16()回 路、DFT32()回路、DFT64()回路、そして DFT128() 回路も設計が可能である。回路規模が大きくなっても このように再帰的回路設計手続きを使って階層化す ることにより、シミュレーションも実装設計用の NET Coding の比較的単純に作業実行できる。

5. まとめ:3手法でSizeとDelay時間の比較

本研究の Coding 定義方式を使って、各 DFT4() か ら DFT128()までの並列演算処理回路を設計した。下 部階層 BLOCK 回路を再帰的手続きを使って定義し た。DFT64() 演算回路では3つの手法でその Size と Delay 時間を比較しその結果を表2に示した。手法 (3)でのP=4 点~128 点の場合を表3にまとめた。

表 2	DFT64()	演算回路規模と	遅延時間の比較
-----	---------	---------	---------

	手法(1)	手法(2)	手法(3)	
DFT2() 回路	192	192	192	
x() 回路	128	128	160	
rom() 回路	80	60	4	
delay(DFT2)	6	6	6	
delay(x)	2	4	5	

表3 手法(3)での DFT() 回路規模と遅延時間

P DFT2()回路 x()回路 rom()回路 delay(DFT2) delay(x)

4	4	1	0	2	1
8	12	2	1	3	2
16	32	12	2	4	3
32	80	48	3	5	4
64	192	160	4	6	5
128	448	480	5	7	6

手法(3)による DFT64()回路設計では回転因子を呼び 出す rom()回路は(W₂, W₁₆, W₃₂, W₃₄)の4つでよ い事がわかった。

文 献

 64 Point FFT Design Manual,64点高速フーリエ変換回路設計仕様 書,和田知久、Design Wave Magazine 2006年11月号、pp.143-156

 (2) 数値計算法、三井田惇郎,須田 宇宙共著、森北出版、第8章離散フ ーリエ変換、pp.96-110. 2015年、大学院生の修士論文指導し、研究発表

題目「非均等な時間間隔サンプリング されたデータの周波数成分 ベクトルを求める演算回路」

2015年8月24日~25日@熊本県熊本市の 熊本市民会館およびくまもと県民交流館パレアにて、 電子情報通信学会主催の集積回路 (ICD)研究会にて 現地主催幹事として奉仕しつつ、研究発表した。

非均等な時間間隔サンプリングされたデータの周波数成分 ベクトルを求める演算回路

田中 優* 梁 維焜 萩原良昭(崇城大学)

E-mail: hagiwara@cis.sojo-u.ac.jp

Digital Frequency Transformation Circuit for Time-wise Unequally Sampled Data

Masaru TANAKA, Weikun LIANG, and Yoshiaki HAGIWARA

DFT is essential for voice and picture recognition. Normally DFT is processed for Time-wise Equally Sampled Data. This paper reports a challenge to design a DFT circuit for Time-wise Unequally Sampled Data.

キーワード:離散フーリエ変換、再帰的手続き、デジタル回路設計、回路性能予想

Keywords DFT, Recursive Procedure, Digital Circuits Design,, Circuit Simulation

1. はじめに、

従来の離散フーリエ変換回路では均等な時間間隔でア ナログ情報を複数個サンプルし、その時間軸ベクトル を求め、次に回転因子行列と言われるもので行列演算 処理して周波数成分ベクトルを求めている。しかし、非 均等な時間間隔で、複数個サンプリングした場合にも 同様に周波数成分ベクトルを求める事ができ、その結 果回転因子行列に相当する行列式がある事を報告す る。その演算処理回路の長所と短所についても、従来の 離散フーリエ変換回路と対比して、報告する。

2. 離散フーリエ変換 (DFT) の定義

離散フーリエ変換 (DFT=Discrete Fourier Transformation)演算とは、ある一定の時間 区間 T を等間隔に N 区分し、区分した各離散 時間点ベクトル t[]の時点で、アナログ入 力信号 a(t)を sampling して、アナログ信号 ベクトル a[]を求めて、そのベクトル a[] と、回転因子行列といわれる行列式 W[][] とで、かけ算を実行し、周波数成分ベクトル A[]=W[][]a[]を求めることをいいます。 周波数成分ベクトル A[]の各要素値 A[m]は、 次の行列式演算をすることにより求まりま す。m の値は 1 から N 迄の整数とします。

$$A[m] = \sum_{n=1}^{N} W[m][n]a[n] \dots \dots (1)$$

ここで、この回転因子行列 W[][]の各要素値 W[m][n]は次式で与えられます。

$$W[m][n] = \left(\frac{1}{N}\right) \exp(-2\pi m n j/N) \dots \dots (2)$$

また、この周波数成分ベクトルA[]の値から、 もとのアナログ信号ベクトルa[]の値を、この回 転行列式 W[][]の逆行列 invW[][]を求めるこ とにより、次式の様に求まります。

$$a[n] = \sum_{m=1}^{N} invW[n][m]A[m].....(3)$$

ここで、この逆回転因子行列 invW[][]の各 要素値 invW[n][m]は次式で与えられます。

 $invW[n][m] = exp(2\pi nmj/N) \dots \dots (4)$

3. 2 点離散フーリエ変換回路 DFT2()の定義

まず2点離散フーリエ変換の場合、N=2 とします と、演算回路DFT2()を次式で定義できます。

$$A[1] = (1/2) \{ -a[1] + a[2] \} \dots (5)$$

$$A[2] = (1/2) \{ a[1] + a[2] \} \dots (6)$$

この単純な DFT2()回路は、図1の様に、加算 回路 ADD()1個と減算回路 SUB()1個と2個の 1 bit Shift 回路 Half()で構成されまず。



図1 2点入力 DFT 演算回路 DFT2()の定義

4. DFT4()回路の定義

4 点離散フーリエ変換回路 DFT4()回路は、回転因子 行列の定義式(1)と(2)により、図2に示す様な4 x 4 行列式の演算回路と定義できます。



図2 4x4の回転因子行列を使った 4点入力のDFT4()演算回路の定義

図3に示す様に、DFT4()回路は、DFT2()回路を4 つコピーしたDFT2(1)回路、DFT2(2)回路、DFT2(3)回路、 DFT2(4)回路を基本回路 BLOCK として構成できます。 DFT4()回路はこの行列演算を実行する複素数演算回路 です。ここで、回転因子ベクトル W[]と Bo[]ベクトル は次式で定義しています。For m=1→Nの値で、

$$W[m] = \exp\left(-\frac{2\pi jm}{N}\right)...(7)$$

 $Bo[m] = W[m]Ao[m] = \exp\left(-\frac{2 \pi jm}{N}\right)Ao[m] \dots (8)$

ここで、WN()回路を、このN個の複素数のかけ算 を実行する演算回路と定義します。しかし、実際には、 奇数項のみに適応されるもので、DFT4()回路の場合 は、W[1]=-jとW[2]=1のみが、図3のDFT4()回路 の中の複素数かけ算回路W2(1)回路の入力となります。 実際には、Bo[2]=Ao[2]のままで、Bo[1]= -jAo[1]とな ります。



図3 4 点入力 DFT 演算回路 DFT4()回路

実際には、次の関係が成り立ちます。

 $Ae[1] = (1/2) \{ -ae[1] + ae[2] \} \qquad \dots \qquad (9)$

 $Ae[2] = (1/2) \{ ae[1] + ae[2] \} \dots \dots (10)$

 $Ao[1] = (1/2) \{ -ao[1] + ao[2] \} \dots (11)$

 $Ao[2] = (1/2) \{ ao[1] + ao[2] \} \dots (12)$

すなわち、ae[1]=a[2], ae[2]=a[4], ao[1]=a[1], ao[2]=a[3]で あるので、次式を得ます。

 $Ae[1] = (1/2) \{ -a[2] + a[4] \} \dots \dots (13)$

 $Ae[2] = (1/2) \{ a [2] + a[4] \} \dots (14)$

 $Ao[1] = (1/2) \{ -a [1] + a[3] \} \dots (15)$

 $Ao[2] = (1/2) \{ a[1] + a[3] \} \dots (16)$

また、図2に示した回転因子行列の値により、次式の関係を 得ます。

$$A[1]=(1/2) \{ -Bo[1] + Ae[1] \} \cdots (17)$$
$$A[3]=(1/2) \{ Bo[1] + Ae[1] \} \cdots (18)$$

$$A[2]=(1/2) \{ -Bo[2] + Ae[2] \} \cdots (19)$$

 $A[4]=(1/2) \{ Bo[2] + Ae[2] \} \cdots (20)$

従って、図3において、DFT2(3)回路は式(17)と(18)を演算 実行する演算回路と考えられます。また、DFT2(4)回路は式 (19)と(20)を演算実行する演算回路と考えられます。

5. 奇数偶数分割法による DFT2N()回路の定義

同様に、8 点離散フーリエ変換回路 DFT8()回路、16 点離散フーリエ変換回路 DFT16()回路と、順次に設計 構築していきたいところです。実際、64 点の離散フー リエ変換(DFT)の場合は、すでに実用化され、既に IEEE802.11a/g/n 等の Wireless LAN にも応用されて います。現在 64bit のパソコンが主流ですが、2020 年 には 128bit パソコンの出現が期待され、離散フーリエ 変換回路も DFT128()の設計構築されることになると 期待します。

そこで、奇数偶数分割法という方法を使って、DFT 演算回路のサンプリング数を2のべき乗の数2^Lとし て、再帰的(recursive)に階層定義することにします。

たとえば、 $2^{L}=2N$ 点の実時間の入力信号ベクトルa[]を処理する DFT2N()回路を考えます。まず、この2N個のサンプリング点を持つ入力ベクトルa[]を、偶数ベクトルae[]と奇数ベクトルao[]に2分割します。

そして、それぞれを、図4の様に2つの DFTN()回 路で処理します。N bit の2つ DFTN()回路で演算処 理し、それぞれ、N bit の周波数成分ベクトル Ae[] と Ao[]を求めます。

さらにその2つのベクトルをN個のDFT2()回路を 使って、最終的に2N個の要素値を持つA[]ベクトルを 演算処理して求める回路になります。ここでN個の DFT2()回路の前段でAo[]信号には回転因子ベクトル の重みづけ演算WN()回路が必要となります。

実際には、回転行列式の定義(1)と(2)から、導入計算 は複雑ですが、最終的に次の関係が成り立ちます。

For m=1→N の値で、

$$A[m] = \left(\frac{1}{2}\right) \left\{ Ae[m] + exp\left(-\frac{2\pi jm}{N}\right) Ao[m] \right\} \dots \dots (21)$$

$$A[m+N] = \left(\frac{1}{2}\right) \left\{ -Ae[m] + \exp\left(-\frac{2\pi jm}{N}\right) Ao[m] \right\} \dots (22)$$

ここで Ao[m]と Ae[m]を次式で定義しています。
Ao[m] = $\left(\frac{1}{N}\right) \sum_{n=1}^{N} \exp\left(-\frac{2nm\pi j}{N}\right) a[2n-1] \dots (23)$
Ae[m] = $\left(\frac{1}{N}\right) \sum_{n=1}^{N} \exp\left(-\frac{2nm\pi j}{N}\right) a[2n] \dots (24)$

式(23)と式(24)の演算は、DFTN()回路を2つ使うことにより演算処理が可能です。

また、式(22)と式(1)の演算は、DFT2()回路をN個用 意することにより演算実行が可能です。

図 4 では N 個の DFT2()回路をまとめて DFT2xN() 回路として表記しています。



図4 偶数奇数2分割 DFT2N() 演算回路アーキテクチャ

ここで、回転因子ベクトル W[]と Bo[]ベクトルは式 (7)と(8)で定義しています。

WN()回路は N 個の複素数のかけ算演算回路です。 離散フーリエ変換回路の最大の問題点はこの複素数の かけ算回路 WN()回路の存在です。まずこの回転因子 ベクトル W[]の値を、特別に ROM の形などにして保 管しておき、それを読み出しかけ算する必要がありま す。

6. 非等間隔での Sampling 手法の提案

従来のDFT 変換は等間隔の離散時間点でのアナ ログ入力信号の sampling を行います。ここで発想 を転換して、等間隔で Sampling しなくても、つま り非等間隔の Sampling でも、有効な周波数成分ベ クトル A[]は求められないかと考えてみます。 そこでまず、sampling 開始時間 t \sim 0 の近 辺に多くの Sampling する離散時間点を持たせて みます。

 まず、アナログ入力信号の高速 sampling を可能にするパルス(sampling pulse)を発生 する回路が必要になります。

(2)次に当然、高速にアナログ入力信号を A/D 変換して 2 値ベクトル情報に変換する回路や、 (3)その前処理をするデジタル回路に、

(4) 重要な情報を抽出する回路と、

(5)その抽出情報を判定する回路や、

(6)出力保存する回路などが必要となります。

そこで、非等間隔 sampling 手法は自由度が 大きすぎますので、単純な非等間隔 sampling 手法として、時間区間[0, T]の間で、離散 時間点ベクトルt[]を次の簡単な式で定義さ れる場合における非等間隔 sampling 手法を 考えてみます。n の値は1から N 迄の整数と します。

$$t[n] = \frac{T}{(N+1-n)} \quad \text{for} \quad n = 1 \rightarrow N \quad \dots (25)$$

図5は N=8 の場合の sampling の timing を 示す図です。時間区間[0,T]の間で、合計 N 個 の離散時間点アナログ入力信号を sampling することにします。



図5 非等間隔 sampling 手法(N=8)

これでも t = 0 に近い時刻で、比較的多数 のアナログ入力信号 a(t)を sampling してい ます。この手法を適当に t=0 付近高密度 sampling 手法と呼ぶことにします。システム が sampling を開始しなさいと命令した時刻 を t=0 としています。

たとえば、標本点が N=8 の場合は、離散時間 点ベクトル t[]の値は以下に様になります。

$$t[] = \left\{ \frac{T}{8}, \frac{T}{7}, \frac{T}{6}, \frac{T}{5}, \frac{T}{4}, \frac{T}{3}, \frac{T}{2}, T \right\} \dots (26)$$

ここで、例えば、t[7] - t[8]=($\frac{T}{56}$) となり
ます。

非等間隔 Sampling 手法での周波数 変換行列 H[][]の定義

この非等間隔 sampling 手法での周波数変 換行列 H[][]が実際に存在します。その値 を図 6 に示します。



図 6 行列式 H[][]と逆行列 invH[][] 従来の DFT 変換の W[][]行列、すなわち

 $W[m][n] = \left(\frac{1}{N}\right) exp(-2\pi mnj/N)$ に対応するのが、 invH[][]行列になります。

すなわち、A[]=W[][]a[]に対応して A[]=invH[][]a[]となります。

また、invW[n][m] = exp(2*πmnj/N*) に対応 するのが、H[][]になります。

すなわち、a[]=invW[][]A[]に対応して a[]= H[][]A[]となります。

A[]従来の DFT 変換では、最終的に、

 $a(t) \sim b(t) = \sum_{m=1}^{N} A[m] \exp\left(\frac{2\pi m t j}{T}\right) \cdots (27)$

の形で、アナログ入力関数*a*(*t*)を近似関数 *b*(*t*)で近似できるものとします。

8. 非等間隔 Sampling 手法での

基本構成関数h_m(t)の定義

そこで同様に、ゼロ近辺高密度 sampling 手法で も、 $b(t) = \sum_{m=1}^{N} A[m] h_m(t)$ の形で、アナログ入 力関数 a(t)を近似できる関数群 $h_m(t)$ なるものを 考えます。a[]=H[][]A[]に対応させます。こ $の基本構成関数<math>h_m(t)$ の値は次式で定義できます。 その値は、単純に -1 か 0 か 1 の pulse 周期関 数 になります。

【1】
$$\left(\frac{T}{m}\right)$$
 を周期として繰り返す関数であり、

 $[2] \quad 0 \le t \le \left(\frac{T}{m}\right) \text{ kanch,}$

t=0及び $t=(\frac{T}{m})$ の近傍において1の値を取る。

- 【3】 $t = (\frac{T}{2m})$ の近傍において-1の値となり、
- 【4】他の t の値については $h_m(t) = 0$ となります。

図7に関数 $h_m(t)$ を定義する図を示します。



図7 関数h_m(t)の定義図

図 6 においては、 $h_m(t) = 1$ または $h_m(t) = -1$ となる箇所に d だけの幅 (t 軸方向の幅) を持たせていますが、幅がないものと考える ことが正しいです。 $d \rightarrow 0$ の極限が $h_m(t)$ を正確 に表すものとします。

図8にN=8の場合のt=t[n]の場合に求まる関数 $h_m(t)$ の値、すなわち、H[n][m]= $h_m(t[n])$ の値を示 します。



図8 N=8の場合のH[n][m]=h_m(t[n])の値

DFT 変換やコサイン変換やサイン変換の場 合、必ず三角関数の計算が必要でその演算処 理時間は無視できません。できれば ROM 回路 も不要な簡単な演算処理で済めば最高です。

図9は、時間領域 data を周波数領域 data に 変換する演算回路の構成図です。



図 9 時間領域 data を周波数領域 data に 変換する演算回路の構成図

また図 10 は、sampling 回路を示す図です。



図 10 sampling 回路の block 図

図9の中での各部品番号の説明は以下のよう になります。

- 時間領域 data を周波数領域 data に 変換する演算回路全体
- 3 = analog 信号
- 21= clock 信号発生器
- 22= trigger 発生器
- 23= sampling 器
- 24= CR 回路
- 41= 時間領域 data 保存 register
- 42= 行列演算中間ベクトル data Vm[]の一時保存用 register
- 43= 周波数領域ベクトル data f[](=A[]) の一時保存用 register

- 51= 逆行列 invH[][]の要素数の分子 (整数成分)の記憶用回路
- 52= 逆行列 invH[][]の要素数の 共通分母の記憶用回路
- 53= 乗算器
- 54= 加算器
- 55= 除算器

実際に a(t)=cos(4 π t/T)の場合で,従来の DFT 変換で求めて周波数ベクトル A[]と今回 提案の t=0 付近高密度 sampling 方式で求めた ベクトル A[]の値を図 11 と図 12 に示します。



A[]=invH[][]a[]={1.032, 1.500, 0.0, 0.0, -0.809, -0.500, -0.223, 0.0}

図 12 t=0 付近高密度 sampling 方式

離散フーリエ変換は元来 cosine 関数等の周波 数成分を求めるのに最適ですが、図 12 の結果 ではかなりの aliasing が目立ちます。

文 献

- [1] 64 Point FFT Design Manual,64 点高速フーリエ変換回路設計仕様書,和田知久、Design Wave Magazine 2006年11月号、pp.143-156
- [2] 数値計算法、三井田惇郎,須田 宇宙共著、森北出版、第8章離散フーリエ変換、pp.96-110.

PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

 $\label{eq:linear} 2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf$

 $\label{eq:split} 3_JP1975\mathchar`127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf$

4_JP1975-127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf

 $5_JP1975‐134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf$

6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf

 $7_JP2014 \text{-} 135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf$

8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf

9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf

 $10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf$

11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf

 $12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf$

13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf

14_P2017_CoolChips_Panel_170419_29_pages.pdf

15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf

 $16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf$

<u>整理番号:P0I-202001</u>		日 1/E
【書類名】	特許願	
【整理番号】	P0I-202001	
【あて先】	特許庁長官殿	
【国際特許分類】	H01L 31/04	
【発明者】		
【住所又は居所】	神奈川県厚木市上荻野4313番地1	
【氏名】	萩原 良昭	
【特許出願人】		
【住所又は居所】	神奈川県厚木市上荻野4313番地1	
【氏名又は名称】	萩原 良昭	
【代理人】		
【識別番号】	100088063	
【住所又は居所】	東京都八王子市子安町1丁目43番6号 第一八王	子ハイツ40
	1号	
【弁理士】		
【氏名又は名称】	坪内 康治	
【電話番号】	042-644-5502	
【手数料の表示】		
【予納台帳番号】	054069	
【納付金額】	14,000円	
【提出物件の目録】		
【物件名】	明細書 1	
【物件名】	特許請求の範囲 1	
【物件名】	要約書 1	
【物件名】	図面 1	

【書類名】明細書

【発明の名称】光電変換半導体装置

【技術分野】

[0001]

本発明は光電変換半導体装置に係り、とくに光電変換半導体装置内に生じた光電子の再 結合を抑制することでエネルギー変換効率を改善するようにした光電変換半導体装置に関 する。

【背景技術】

[0002]

地球温暖化を抑制する自然エネルギーとして太陽光発電が注目されている。太陽光発電 には、N型半導体領域とP型半導体領域を隣接させたPN接合を有し、光照射で生じた光 電子と正孔を各々、PN接合の空乏層内に生じるPN接合型バリア電界によりN型半導体 領域側とP型半導体領域側に分離させて、N型半導体領域のPN接合とは反対側端部と、 P型半導体領域のPN接合とは反対側端部の間に光起電力を生じさせるようにした光電変 換半導体装置が用いられる。

ところで、太陽光のエネルギー密度は薄く、発電量を増やそうとすると大規模な施設が 必要となる。このため、太陽光発電の普及には、太陽電池の変換効率の更なる改善が重要 である。

 $\begin{bmatrix} 0 & 0 & 0 & 3 \end{bmatrix}$

変換効率の改善策の一つとして従来、例えば特開昭53-10987号公報や特開平0 7-297444号公報に示す如く、光電変換半導体装置の表面と平行なPN接合面を深 さ方向(上下方向)に複数個形成する手法が提案されていた。

けれども、上記した特開昭53-10987号公報や特開平07-297444号公報 の光電変換半導体装置では、光電子はN領域のエネルギー準位の低い場所に移動して滞留 するが、その滞留した光電子の量に応じてN領域の電位は固定されずに変動し、滞留した 光電子がN領域の空乏層を狭めて光電子・空孔の再結合を促進したり、光電変換半導体装 置の表面近くで再結合が起き易く、変換効率の向上に限界があった。

【発明の概要】

【発明が解決しようとする課題】

[0004]

本発明は上記した従来技術の問題に鑑みなされたもので、光電変換の変換効率の向上を 図った光電変換半導体装置を提供することを、その目的とする。

【課題を解決するための手段】

[0005]

請求項1記載の発明では、

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に、表側から裏側に向かう深さ方向にN領域の表裏両側を表側の P領域及び裏側のP領域で挟み、更に当該表側のP領域の表側と裏側のP領域の裏側を、

P+Pの濃度勾配により生じる濃度勾配型バリア電界生成用の表側のP+領域と裏側のP +領域とで挟んだP+PNPP+接合部を設け、

前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第 1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、該裏側のP+領域の表面と導通した第1の極性の外面電 極を設け、

前記N領域の深さ方向の中央部に、該N領域と接触するようにして光電子吸出し用のN +領域を設け、

前記N+領域の外側に、該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置内部または外部に設けた電荷蓄積用の容量を接続したこと

を特徴としている。

請求項2記載の発明では、

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内にN領域を設け、

該N領域の裏側左右端部近くの一部を除く表側、裏側、側面側を囲むようにしてP領域 を設け、

該P領域の表側に、該P領域の表面に接触するようにして表側のP+領域を設け、

前記 P 領域の裏側に、該 P 領域の表面に接触するようにして裏側の P + 領域を設け、 前記表側の P + 領域の表側に、受光窓領域及び当該表側の P + 領域の表面と導通した第

1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、該裏側のP+領域の表面と導通した第1の極性の外面電 極を設け、

前記N領域の裏側の左右端部近くに、当該N領域と接触するようにして光電子吸出し用のN+領域を設け、

N+領域の裏側に、当該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、

を特徴としている。

請求項3記載の発明では、

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に設けたN領域の裏側中央部を除く表側、裏側、側面側を囲むようにしてP領域を設け、

該P領域の表側に、該P領域の表面に接触するようにして表側のP+領域を設け、

前記P領域の裏側に、該P領域の表面に接触するようにして裏側のP+領域を設け、

前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第 1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、当該裏側のP+領域の表面と導通した第1の極性の外面 電極を設け、

前記N領域の裏側の中央部に、当該N領域に接触するようにして光電子吸出し用のN+ 領域を設け、

N+領域の裏側に、当該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、

を特徴としている。

請求項4記載の発明では、

面側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に設けた断面がくし形のN領域の裏側を除く表側と側面側を囲む ようにしてP領域を設け、

該P領域の表側に、該P領域の表面に接触するようにしてP+領域を設け、

該P+領域の表側に、受光窓領域及び当該P+領域の表面と導通した第1の極性の外面 電極を設け、

前記N領域の裏側に、該N領域と接触するようにして光電子吸出し用のN+領域を設け

N+領域の裏側に、当該N+領域と導通した第2の極性の外面電極を設け、

第1の極性の外面電極をグランドに接続し、第2の極性の外面電極とグランドの間に、 光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、

を特徴としている。

請求項5記載の発明では、

整理番号:P0I-202001 特願2020-131313 (Proof) 提出日:令和 2年 8月 1日

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に設けた断面がくし形のN領域の裏側中央部を除く表側、裏側、 側面側を囲むようにしてP領域を設け、

該P領域の表側に、該P領域の表面に接触するようにして表側のP+領域を設け、 前記P領域の裏側に、該P領域の表面に接触するようにして裏側のP+領域を設け、 前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第 1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、当該裏側のP+領域の表面と導通した第1の極性の外面 電極を設け、

前記N領域の裏側の中央部に、該N領域と接触するようにして光電子吸出し用のN+領域を設け、

N+領域の裏側に、該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、

を特徴としている。

請求項6記載の発明では、

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に光電変換層を設け、

この光電変換層は、

光電変換半導体装置内に設けたN領域と、

該N領域の表側中央部を除く表側に、当該N領域の表面に接触するようにして設けた表 側のP領域と、

前記N領域の裏側に、当該N領域の表面に接触するようにして設けた裏側のP領域と、

前記表側のP領域の表側の全部または一部と側面側、前記N領域の側面側、前記裏側の P領域の裏側と側面側を囲むようにして設けたP+領域と、

前記N領域の表側の中央部に、当該N領域と接触するようにして設けた表側のN+領域と、

を含み、

前記光電変換部の表側に、受光窓領域と、前記P+領域の表面と導通した第1の極性の 外面電極と、前記N+領域と導通した第2の極性の外面電極を設け、

前記 P + 領域の裏側に、第2のN領域と第2のN + 領域の内、少なくとも一方を介して 金属製反射領域を設け、

前記第1の極性の外面電極と金属製反射領域をグランドに接続し、前記第2の極性の外 面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容 量を接続したこと、

を特徴としている。

各請求項において、N+領域をN領域に埋め込むように設けても良い。

【発明の効果】

[0006]

本発明によれば、N領域のエネルギー準位の低い箇所に移動して来た光電子をN+領域 へ吸い出し、N領域の空乏化状態を常に維持し、空乏層が狭くなるのを防止することによ り、光電子・空孔の再結合を抑制が可能となる。またP+Pの濃度勾配により生じる濃度 勾配型バリア電界により、表側や裏側の表面近くでの再結合の抑制もでき、変換効率の向 上を図ることができる。

またP+領域の表面がグランド電位に固定されることで、サージ等の外乱の影響を受け にくくなるとともに、P+領域のごく表面近くの電界が零となることで、P+領域のごく 表面近くで熱エネルギーを吸収して伝導帯に上がった電子がその場で直ちに空孔と再結合 するので、表面暗電流となって外部または内部の容量を放電させてしまう恐れが少なくな り、変換効率の一層の向上を図ることができる。 【図面の簡単な説明】

[0007]

【図1】図1は本発明の第1実施例に係る光電変換半導体装置の断面構造と外部回路 の構成および不純物濃度プロファイルを示す説明図である(実施例1)。

【図2】図2は図1の光電変換半導体装置の不純物濃度プロファイルを示す説明図で ある。

【図3】図3は図1中のP+PNPP+接合部の深さ方向のエネルギーバンドを示す 説明図である。

【図4】図4は本発明の第2実施例に係る光電変換半導体装置の断面構造と外部回路 の構成を示す構成図である(実施例2)。

【図5】図5は本発明の第3実施例に係る光電変換半導体装置の断面構造と外部回路 の構成を示す構成図である(実施例3)。

【図6】図6は本発明の第4実施例に係る光電変換半導体装置の断面構造と外部回路 の構成を示す構成図である(実施例4)。

【図7】図7は本発明の第5実施例に係る光電変換半導体装置の断面構造と外部回路 の構成を示す構成図である(実施例5)。

【図8】図8は図7の光電変換半導体装置の種々の方向に沿ったエネルギーバンドを 示す説明図である。

【図9】図9は本発明の第6実施例に係る光電変換半導体装置の断面構造と外部回路 の構成を示す構成図である(実施例6)。

【図10】図10は本発明の第7実施例に係る光電変換半導体装置の断面構造と外部 回路の構成を示す構成図である(実施例7)。

【発明を実施するための最良の形態】

 $\begin{bmatrix} 0 & 0 & 0 & 8 \end{bmatrix}$

以下、本発明の最良の形態を実施例に基づき説明する。

【実施例1】

 $\begin{bmatrix} 0 & 0 & 0 & 9 \end{bmatrix}$

図1乃至図3を参照して本発明の第1実施例に係る光電変換半導体装置を説明する。図 1は光電変換半導体装置の断面構造と外部回路を示す説明図、図2は図1の光電変換半導 体装置の具体的な不純物濃度プロファイルを示す説明図、図3は図1中のP+PNPP+ 接合部の深さ方向のエネルギーバンドを示す説明図である。光電子のエネルギーレベルは 光電変換半導体装置の表側及び裏側のP+領域内が一番高く、N+領域内が一番低くなる

図1において、1は太陽光を受光して光起電力を発生する光電変換半導体装置であり、 右側が表側表面(受光主面)、左側が裏側表面であり、深さ方向は右から左へ向かう方向 である。表側表面から深さ方向にP+領域2、P領域3、N領域4、P領域5、P+領域 6が多段接合されたP+PNPP+接合部7、P+領域2の表側表面に接触するように設 けられた透明な受光窓領域としての絶縁性のSiO2領域8及びP+領域2の表側表面に 接触するように設けられた第1の極性の外面電極9、P+領域6の裏側表面に接触するよ うに設けられた第1の極性の外面電極10、N領域4の深さ方向の中央部に接触するよう にして埋め込み状態で設けられた光電子吸出し用のN+領域11及びN+領域11の外側 に設けられた第2の極性の外面電極12を備えている。表側と裏側のP領域3と5はここ では深さ方向の厚みが同一に形成されている例を示す。外面電極9はP+領域2と導通し ており、外面電極10はP+領域6と導通しており、外面電極12はN+領域11と導通 している。各外面電極9、10、12は金属製である。

[0010]

P+PNPP+接合部7は、N領域4の深さ方向の中央を中心にして表裏方向に略対称 に形成されている。すなわち、N領域4の表裏両側を表側のP領域3及び裏側のP領域5 で挟み、更に当該表側のP領域3の表外側と裏側のP領域の裏外側を、P+Pの濃度勾配 により生じる濃度勾配型バリア電界生成用の表側のP+領域2と裏側のP+領域6で挟ん

で積層して成る。P領域3、N領域4、P領域5は深さ方向に2段のPN接合面を形成す るものであり、N領域4とP領域3の接合面jk1を挟んだ上下両側(図1では左右両側)、N領域4とP領域5の接合面jk2を挟んだ上下両側(図1では左右両側)に、PN 接合の空乏層内に生じるPN接合型バリア電界領域が形成される。

[0011]

表側のP+領域2は光電変換半導体装置1の表側表面近くでの光電子の再結合を抑制す るため、P+Pの濃度勾配により生じる濃度勾配型バリア電界を生成するとともに、青色 短波長の光成分に対する光電変換効率の改善をするために設けられた領域である。太陽光 は短波長領域のエネルギー量が大きな割合を示すが、例えばシリコン半導体では、青色短 波長の光は表面から0.2µm程度の深さまでしか内部に透過できない。この実施例では 、受光面である表側表面近くのP+P濃度勾配型バリア電界が青色短波長の光入射で生じ た光電子・正孔の再結合を抑制するようにしてあり、受光面近くでの光電変換が可能とな る。表側のP+領域2とP領域3との境界面jk3を挟んだ上下両側(図1では左右両側) に濃度勾配型バリア電界領域が形成されている。

[0012]

裏側のP+領域6は裏側表面近くでの光電子の再結合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型バリア電界を生成するためのものであり、裏側のP+領域6と P領域5との境界面jk4を挟んだ上下両側(図1では左右両側)に濃度勾配型バリア電 界領域が形成される。P+領域2、P領域3、N領域4、P領域5、P+領域6のドナー 密度、アクセプタ密度、深さ方向の厚さは、PN接合の空乏層内に生じるPN接合型バリ ア電界とP+Pの濃度勾配により生じる濃度勾配型バリア電界が深さ方向にほぼ一体化し て一つのほぼ完全なバリア電界領域Wd(20~40 μ mがWdの最適幅。図3参照)が 形成されるように設定されている。図2に光電変換半導体装置1のa-a'線に沿った不 純物濃度プロファイルとb-b'線に沿った不純物濃度プロファイルの具体的な例を示す

[0013]

0

光電変換半導体装置1の内、表側と裏側のP+領域2と6に設けられた外面電極9、1 0はグランドに接続されており、グランド電位に固定されている。一方、N+領域11に 設けられた外面電極12とグランドとの間には電荷蓄積用の外部容量30が接続されてい る。また、外部容量30にはスイッチ31を介して外部負荷32が接続されている。

なお、図1の外部回路は一例であり、光電変換半導体装置1の外部に外部容量を設ける 代わりに、光電変換半導体装置1の内部に電荷蓄積用の容量(図示せず)を形成し、この 容量の両極をN+領域11に設けられた外面電極12とグランド間に接続するようにして も良い。

[0014]

P+PNPP+接合部7の深さ方向のエネルギーバンドは図3の如くなり、表側及び裏 側のP+領域2、6は光電子のエネルギーレベルが一番高くなり、N領域4の中央付近が 一番低くなる。N+領域11はN領域4の中央付近より更に一段低くなる。

表側のSiO2領域8を通した入射光で発生した光電子(e-)とホール(h+)は、 表側及び裏側のP+P濃度勾配により生じる濃度勾配型バリア電界領域とPN接合型バリ ア電界領域を合わせたバリア電界領域Wdの電界により直ちに分離されるので、再結合す ることなく光電子はエネルギーレベルが一番低いN領域4の中央へ移動し、ホールは表側 と裏側のP+領域2、6へ移動する。仮にN領域4の中央付近に光電子が溜まったままに なるとN領域4の空乏層が狭くなってしまい、光電子とホールの再結合がし易くなってし まう。この実施例では、N領域4の中央付近に設けられたエネルギーレベルの一段番低い N+領域11の側へ光電子が移動するので、N領域4の空乏層が狭くなることはない。

表側と裏側のP+領域2、6に到達したホールは外面電極9、10より供給される電子 と結合して消失する。スイッチ31が開のとき、N+領域11に到達した光電子はN+領 域11、外面電極12、外部容量30の+極30aに蓄積される。図1の外部回路は、ス イッチ31を閉にすると、外部容量30に蓄積された光電子が外部負荷32に流れ、N+

5

領域11、外面電極12、外部容量30の+極30aに蓄積された光電子がリセットされ る例を示す。

[0015]

光電変換半導体装置1の表側のP+領域2の表側表面と裏側のP+領域6の裏側表面が グランド電位に固定されることにより、表側及び裏側表面近くのP+P濃度勾配により生 じる濃度勾配型バリア電界領域とPN接合の空乏層内に生じるPN接合型バリア電界領域 を合わせたバリア電界領域Wdの全域の電位が固定されるので、光電変換半導体装置1の 周囲でサージ等の外乱が生じても、バリア電界領域Wdのいずれの場所の電界も外乱の影 響を受けたり、N+領域11に蓄積した光電子がN領域4の側に戻ったりすることもなく 、安定した光電変換動作を維持できる。

また表側のP+領域2の表側表面と裏側のP+領域6の裏側表面がグランド電位に固定 されることで、P+領域2の表側のごく表面近くとP+領域6の裏側のごく表面近くの電 界が零となり、この結果、P+領域6のごく表面近くで熱エネルギーを吸収して伝導帯に 上がった電子がその場で直ちに空孔と再結合するので、表面暗電流となって電荷電荷蓄積 用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の向上を図るこ とができる。

[0016]

この実施例によれば、表面側から裏面側に向かう深さ方向にN領域4の表裏両側をP領 域3、5で挟み、更に、両P領域3、5の外側をバリア電界生成用のP+領域2、6で挟 んだP+PNPP+接合部7を設け、この内、PNP接合部分をN領域4の深さ方向の中 央を中心にして表裏方向に対称に形成し、N領域4の深さ方向の中央部に接触するよにし て設けたN+領域11により光電子を吸い出すようにしたことにより、P+PNPP+接 合部7のほぼ全域にわたるバリア電界領域Wdを容易に形成することができ、表面側のS iO2領域8を通した光入射で発生した光電子とホールを再結合することなく分離させ、 光電子をN領域4の中央付近からエネルギーレベルの一段低いN+領域11へ吸い出すこ とができるので、N領域4に光電子が滞留せず、光電変換効率の高い光電変換半導体装置 1が得られる。

また光電変換半導体装置1の表裏のP+領域2、6がグランド電位に固定されることに より、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電界領域と PN接合の空乏層内に生じるPN接合型バリア電界領域を合わせたバリア電界領域Wdの 全域の電位が固定されるので、光電変換半導体装置1の周囲でサージ等の外乱が生じても 、バリア電界領域Wdのいずれの場所の電界も外乱の影響を受けたり、N+領域11に蓄 積した光電子がN領域4の側に戻ったりすることもなく、安定した光電変換動作を維持で きる。

またP+領域2の表側表面とP+領域6の裏側表面がグランド電位に固定されることで、 P+領域2の表側表面近くとP+領域6の裏側表面近くの電界が零となり、この結果、 P+領域2と6のごく表面近くで熱エネルギーを吸収して伝導帯に上がった電子がその場 で直ちに空孔と再結合するので、表面暗電流となって外部または内部の容量を放電させて しまう恐れが少なくなり、変換効率の一層の向上を図ることができる。

【実施例2】

[0017]

図4を参照して本発明の第2実施例に係る光電変換半導体装置を説明する。

図4において、50は太陽光を受光して光起電力を発生する光電変換半導体装置であり 、上側が表側、下側が裏側であり、深さ方向は上から下へ向かう方向である。光電変換半 導体装置50の内部に断面が略長方形のN領域51が設けられている。N領域51の裏側 の左右端部近くには裏側方向へ突設された突設部51a、51bが形成されている。N領 域51の内、裏側の突設部51a、51bの裏側端面51c、51dを除く裏側表面、上 側表面、側周面に接触しながら周囲を囲むようにしてP領域52が設けられている。P領 域52の裏側の左右端部近くには突設部51a、51bの側面周囲を囲むように一段裏側 に突設した段差部52a、52bが形成されている。N領域51とP領域52の境界にP

6

____7

N接合面が形成されており、PN接合面を挟んだ上下両側または左右両側にPN接合型バリア電界領域が形成されている。

[0018]

P領域52の表外側にP領域52の表面に接触するようにして面方向に延設された表側 のP+領域53が設けられている。表側のP+領域53は光電変換半導体装置50の表側 表面近くでの光電子の再結合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型 バリア電界を生成するとともに、青色短波長の光に対する光電変換効率の改善をするため に設けられた領域である。P+領域53とP領域52との境界面を挟んだ上下両側に濃度 勾配型バリア電界領域が形成されている。

[0019]

P領域52の裏外側の内、段差部52a、52bの裏側端面52c、52dを除くP領 域52の裏側表面に接触するようにして面方向に沿ってP+領域54、55、56が設け られている。P+領域54、55、56は光電変換半導体装置50の裏側表面近くでの光 電子の再結合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型バリア電界を生 成するために設けられた領域である。P+領域54、55、56とP領域52との境界面 を挟んだ上下両側に濃度勾配型バリア電界領域が形成されている。

N領域51の裏側の左右端部の一部に接触するようにして光電子吸出し用のN+領域57、58が設けられている。具体的には突設部51a、51bにN+領域57、58が埋め込み状態で設けられている。N+領域57、58の光電子エネルギーレベルはN領域51より一段低く、N領域51に集まった光電子を吸い出す機能を有する。P+領域54、55、56、段差部52a、52bの裏側端面52c、52d、突設部51a、51bの裏側端面51c、51d、N+領域57、58の裏側端面57a、58aは受光主面に平行な平面を成す。N領域51、P領域52、P+領域53、54、55、56、N+領域57、58により、光電変換層59が構成されている。

[0020]

光電変換層59の表側には、P+領域53の表側の左右端部を除く表面に接触するよう にして透明な受光窓領域としての絶縁性のSiO2領域60が設けられている。SiO2 領域60の左側と右側には表側のP+領域53の表側表面の左右端部と導通した第1の極 性の外面電極61、62が設けられている。

光電変換層59の裏側には、P+領域56の左右端部を除く裏外側に、P+領域56の 表面と導通した第1の極性の外面電極63、左右端部のP+領域54、55の裏外側にP +領域54、55の表面と導通した第1の極性の外面電極64、65が設けられている。 またN+領域57、58の裏外側に、N+領域57、58の表面と導通した第2の極性の 外面電極66、67が設けられている。光電変換層59の左右側面には絶縁性のSiO2 領域68、69が設けられている。光電変換層59の裏側の外面電極63、64、65、 66、67以外の外面には絶縁性のSiO2領域70、71、72、73が設けられてい る。

[0021]

光電変換半導体装置50は、N領域51の左右方向の中央を通り、深さ方向に延びた対称線C1から見て、N領域51、P領域52、P+領域53、54、55、56、N+領 域57、58、外面電極61、62、63、64、65、66、67、SiO2領域60 、68、69、70、71、72、73が左右線対称に形成されている。各外面電極61 、62、63、64、65、66、67は金属製である。外面電極63は光電変換半導体 装置50の裏側に到達した入射光の可視光成分を反射し、再度、光電変換させたり、入射 光の遠赤外成分を反射し、光電変換半導体装置50の表外側に放出させて光電変換半導体 装置50の昇温を抑制する機能を有する。

[0022]

光電変換半導体装置50の内、外面電極61、62、63、64、65はグランドに接続されており、グランド電位に固定されている。一方、外面電極66、67とグランドとの間には電荷蓄積用の外部容量30が接続されている。また、外部容量30にはスイッチ

<u>整理番号:P0I-202001 特願2020-131313 (Proof) 提出日:令和 2年 8月 1日</u>

31を介して外部負荷32が接続されている。なお、光電変換半導体装置50の内部に電 荷蓄積用の容量(図示せず)を形成し、この容量の両極をN+領域57、58に設けられ た外面電極66、67とグランド間に接続するようにしても良い。

8

[0023]

光電子のエネルギーレベルは表側及び裏側のP+領域53、54、55、56が一番高 く、内部のP領域52、N領域51、N+領域57と58の順に低くなる。

表面側のSiO2領域60を通した入射光で発生した光電子(e-)とホール(h+) は、表側及び裏側のP+P濃度勾配により生じる濃度勾配型バリア電界とPN接合の空乏 層内に生じるPN接合型バリア電界により直ちに分離されるので、再結合することなく光 電子はエネルギーレベルが一番低いN+領域57、58へ移動し、ホールはP+領域53、54、55、56へ移動する。

P+領域53、54、55、56に到達したホールは外面電極61、62、63、64 、65より供給される電子と結合して消失する。スイッチ31が開のとき、N+領域57 、58に到達した光電子はN+領域57、58、外面電極66、67、外部容量300+ 極30aに蓄積される。図4の外部回路は、スイッチ31を閉にすると、外部容量30に 蓄積された光電子が外部負荷32に流れて、N+領域57、58、外面電極66、67、 外部容量300+極30aに蓄積された光電子がリセットされる例を示す。

[0024]

光電変換半導体装置50の表側のP+領域53、裏側のP+領域54、55、56の表 面がグランド電位に固定されることにより、表側及び裏側表面近くのP+P濃度勾配によ り生じる濃度勾配型バリア電界領域とPN接合の空乏層内に生じるPN接合型バリア電界 領域の全域の電位が固定されるので、光電変換半導体装置50の周囲でサージ等の外乱が 生じても、バリア電界領域のいずれの場所の電界も外乱の影響を受けたり、N+領域57 、58に蓄積した光電子がN領域51の側に戻ったりすることもなく、安定した光電変換 動作を維持できる。

またP+領域53、54、55、56の表面がグランド電位に固定されることで、P+ 領域53の表側のごく表面近くと、54、55、56の裏側のごく表面近くの電界が零と なり、この結果、P+領域53、54、55、56のごく表面近くで熱エネルギーを吸収 して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電流となって 電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の 向上を図ることができる。

[0025]

この第2実施例によれば、P領域52によりN領域51の周囲を囲み、深さ方向に多層 のPN接合面を形成し、更にP領域52の表裏両側の表面に再結合阻止用のP+領域53 、54、55、56を設けるとともに、N領域51の裏側表面の左右端部近くにN+領域 57、58を設けて光電子を吸い出すようにしたことにより、深さ方向のほぼ全域にわた りバリア電界領域を形成することができ、SiO2領域60を通した光入射で発生した光 電子とホールを再結合することなく分離させ、光電子をN領域51からエネルギー準位の 一段低いN+領域57、58へ吸い出すことができるので、N領域51に光電子が滞留せ ず、光電変換効率の高い光電変換半導体装置50が得られる。

また、裏面側に到達した入射光は外面電極63により再度、表面方向に反射されて可視 光成分が光電子に変換されるので、これによっても変換効率が改善する。入射光の遠赤外 線成分は外面電極63により反射されて光電変換半導体装置50の表面から外側に放出さ れるので、光電変換半導体装置50の設置台側が昇温せずに済み、冷却設備の負担を軽減 したり、変換効率の悪化防止をしたりすることができる。

光電変換半導体装置50のP+領域53、54、55、56の表面がグランド電位に固定されることにより、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電界領域とPN接合型バリア電界領域の全域の電位が固定されるので、光電変換半導体装置50の周囲でサージ等の外乱が生じても、バリア電界領域のいずれの場所の電界も外乱の影響を受けたり、N+領域57、58に蓄積した光電子がN領域51の側に戻った

りすることもなく、安定した光電変換動作を維持できる。

またP+領域53、54、55、56の表面がグランド電位に固定されることで、P+ 領域53の表側のごく表面近くと、54、55、56の裏側のごく表面近くの電界が零と なり、この結果、P+領域53、54、55、56のごく表面近くで熱エネルギーを吸収 して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電流となって 電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の 向上を図ることができる。

【実施例3】

[0026]

図5を参照して本発明の第3実施例に係る光電変換半導体装置を説明する。

図5において、70は太陽光を受光して光起電力を発生する光電変換半導体装置であり 、上側が表側、下側が裏側であり、深さ方向は上から下へ向かう方向である。光電変換半 導体装置70の内部には、断面が略T字状のN領域71が設けられている。N領域71の 裏側の中央部には裏側方向へ突設された突設部71aが形成されている。N領域71の内 、裏側の突設部71aの裏側端面を除く裏側表面、表側表面、側周面に接触しながら周囲 を囲むようにしてP領域72が設けられている。P領域72の裏側の中央近くには突設部 71aの側面周囲を囲むように一段表側に突設した段差部72aが形成されている。N領 域71とP領域72の境界にPN接合面が形成されており、PN接合面を挟んだ上下両側 または左右両側にPN接合型バリア電界領域が形成される。

[0027]

P領域72の表外側にP領域72の表面に接触するようにして面方向に延設された表側 のP+領域73が設けられている。表側のP+領域73は光電変換半導体装置70の表側 表面近くでの光電子の再結合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型 バリア電界を生成するとともに、青色短波長の光に対する光電変換効率の改善をするため に設けられた領域である。P+領域73とP領域72との境界面を挟んだ上下両側に濃度 勾配型バリア電界領域が形成されている。

[0028]

P領域72の裏外側の内、段差部72aの裏側端面72bを除くP領域72の裏側表面 に接触するようにして面方向に沿ってP+領域74、75が設けられている。P+領域7 4、75は光電変換半導体装置70の裏側表面近くでの光電子の再結合を抑制するため、 P+Pの濃度勾配により生じる濃度勾配型バリア電界を生成するために設けられた領域で ある。P+領域74、75とP領域72との境界面を挟んだ上下両側に濃度勾配型バリア 電界領域が形成されている。

N領域71の裏側の中央部に接触するようにして光電子吸出し用のN+領域76が設けられている。具体的には突設部71aにN+領域76が埋め込み状態で設けられている。 N+領域76の光電子エネルギーレベルはN領域71より一段低く、N領域71に集まった光電子を吸い出す機能を有する。P+領域74、75、段差部72aの裏側端面72b 、突設部71aの裏側端面71b、N+領域76の裏側端面76aは受光主面に平行な平 面を成す。N領域71、P領域72、P+領域73、74、75、N+領域76により、 光電変換層77が構成されている。

[0029]

光電変換層77の表側には、P+領域73の表側の左右端部を除く表面に接触するよう にして透明な受光窓領域としての絶縁性のSiO2領域78が設けられている。SiO2 領域78の左側と右側には表側のP+領域73の表側表面の左右端部と導通した第1の極 性の外面電極79、80が設けられている。

光電変換層77の裏側には、P+領域74の左右端部を除く裏外側に、P+領域74の 表面と導通した第1の極性の外面電極81、P+領域75の左右端部を除く裏外側に、P +領域75の表面と導通した第1の極性の外面電極82が設けられている。またN+領域 76の裏外側に、N+領域76の表面と導通した第2の極性の外面電極83が設けられている。 光電変換層77の左右側面には絶縁性のSiO2領域84、85が設けられている 整理番号:P0I-202001 特願2020-131313 (Proof) 提出日:令和 2年 8月 1日

。光電変換層77の裏側の外面電極81、82、83以外の外面には絶縁性のSiO2領 域86、87が設けられている。

10

 $\begin{bmatrix} 0 & 0 & 3 & 0 \end{bmatrix}$

光電変換半導体装置70は、N領域71の左右方向の中央を通り、深さ方向に延びた対称線C2から見て、N領域71、P領域72、P+領域73、74、75、N+領域76、外面電極79、80、81、82、83、SiO2領域78、84、85、86、87 が左右線対称に形成されている。各外面電極79、80、81、82、83は金属製である。外面電極81、82は光電変換半導体装置70の裏側に到達した入射光の可視光成分を反射し、再度、光電変換させたり、入射光の遠赤外成分を反射し、光電変換半導体装置70の表外側に放出させて光電変換半導体装置70の昇温を抑制する機能を有する。

[0031]

光電変換半導体装置70の内、外面電極79、80、81、82はグランドに接続され ており、グランド電位に固定されている。一方、外面電極83とグランドとの間には電荷 蓄積用の外部容量30が接続されている。また、外部容量30にはスイッチ31を介して 外部負荷32が接続されている。なお、光電変換半導体装置70の内部に電荷蓄積用の容 量(図示せず)を形成し、この容量の両極をN+領域76に設けられた外面電極83とグ ランド間に接続するようにしても良い。

[0032]

光電子のエネルギーレベルは表側及び裏側のP+領域73、74、75が一番高く、内部のP領域72、N領域71、裏側のN+領域76の順に低くなる。

表面側のSiO2領域78を通した入射光で発生した光電子(e-)とホール(h+) は、表側及び裏側のP+P濃度勾配により生じる濃度勾配型バリア電界とPN接合の空乏 層内に生じるPN接合型バリア電界により直ちに分離されるので、再結合することなく光 電子はエネルギーレベルが一番低いN+領域76へ移動し、ホールはP+領域73、74

、75へ移動する。

P+領域73、74、75に到達したホールは外面電極79、80、81、82により供給される電子と結合して消失する。スイッチ31が開のとき、N+領域76に到達した光電子はN+領域76、外面電極83、外部容量300+極30aに蓄積される。図5の外部回路は、スイッチ31を閉にすると、外部容量30に蓄積された光電子が外部負荷32に流れて、N+領域76、外面電極83、外部容量300+極30aに蓄積された光電子がリセットされる例を示す。

[0033]

光電変換半導体装置70の表側のP+領域73、裏側のP+領域74、75の表面がグ ランド電位に固定されることにより、表側及び裏側表面近くのP+P濃度勾配により生じ る濃度勾配型バリア電界領域とPN接合の空乏層内に生じるPN接合型バリア電界領域の 全域の電位が固定されるので、光電変換半導体装置70の周囲でサージ等の外乱が生じて も、バリア電界領域のいずれの場所の電界も外乱の影響を受けたり、N+領域76に蓄積 した光電子がN領域71の側に戻ったりすることもなく、安定した光電変換動作を維持で きる。

またP+領域73、74、75の表面がグランド電位に固定されることで、P+領域7 3の表側のごく表面近くと、74、75の裏側のごく表面近くの電界が零となり、この結 果、P+領域73、74、75のごく表面近くで熱エネルギーを吸収して伝導帯に上がっ た電子がその場で直ちに空孔と再結合するので、表面暗電流となって電荷電荷蓄積用の外 部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の向上を図ることがで きる。

[0034]

この第3実施例によれば、P領域72によりN領域71の周囲を囲み、深さ方向に多層のPN接合面を形成し、更にP領域72の表裏両側の表面に再結合阻止用のP+領域73、74、75を設けるとともに、N領域71の裏側の中央部にN+領域76を設けて光電子を吸い出すようにしたことにより、深さ方向のほぼ全域にわたりバリア電界領域を形成

整理番号:P0I-202001 特願2020-131313 (Proof) 提出日:令和 2年 8月 1日

することができ、SiO2領域78を通した光入射で発生した光電子とホールを再結合す ることなく分離させ、光電子をN領域71からエネルギー準位の一段低いN+領域76へ 吸い出すことができるので、N領域71に光電子が滞留せず、光電変換効率の高い光電変 換半導体装置70が得られる。

11

また、裏面側に到達した入射光は外面電極81、82により再度、表面方向に反射され て可視光成分が光電子に変換されるので、これによっても変換効率が改善する。入射光の 遠赤外線成分は外面電極81、82により反射されて光電変換半導体装置70の表面から 外側に放出されるので、光電変換半導体装置70の設置台側が昇温せずに済み、冷却設備 の負担を軽減したり、変換効率の悪化防止をしたりすることができる。

光電変換半導体装置70のP+領域73、74、75の表面がグランド電位に固定され ることにより、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電 界領域とPN接合型バリア電界領域の全域の電位が固定されるので、光電変換半導体装置 70の周囲でサージ等の外乱が生じても、バリア電界領域のいずれの場所の電界も外乱の 影響を受けたり、N+領域76に蓄積した光電子がN領域71の側に戻ったりすることも なく、安定した光電変換動作を維持できる。

またP+領域73、74、75の表面がグランド電位に固定されることで、P+領域7 3の表側のごく表面近くと、74、75の裏側のごく表面近くの電界が零となり、この結 果、P+領域73、74、75のごく表面近くで熱エネルギーを吸収して伝導帯に上がっ た電子がその場で直ちに空孔と再結合するので、表面暗電流となって電荷電荷蓄積用の外 部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の向上を図ることがで きる。

【実施例4】

[0035]

図6を参照して本発明の第4実施例に係る光電変換半導体装置を説明する。

図6において、90は太陽光を受光して光起電力を発生する光電変換半導体装置であり 、上側が表側、下側が裏側であり、深さ方向は上から下へ向かう方向である。光電変換半 導体装置90には、断面がくし形(横向きH字状)のN領域91が設けられている。N領 域91の内、裏側表面を除く上側表面、側周面に接触しながら周囲を囲むようにしてP領 域92が設けられている。N領域91とP領域92の境界にPN接合面が形成されており

、PN接合面を挟んだ上下両側と左右両側にPN接合型バリア電界領域が形成される。

[0036]

P領域92の表外側にP領域92の表面に接触するようにして面方向に延設された表側 のP+領域93が設けられている。表側のP+領域93は光電変換半導体装置90の表側 表面近くでの光電子の再結合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型 バリア電界を生成するとともに、青色短波長の光に対する光電変換効率の改善をするため に設けられた領域である。P+領域93とP領域92との境界面を挟んだ上下両側に濃度 勾配型バリア電界領域が形成されている。

N領域91の裏側表面及びP領域92の裏側表面に接触するようにして面方向に沿って 延設された光電子吸出し用のN+領域94が設けられている。N+領域94の左右方向の 中央部はN領域91の裏側中央部に埋め込み状態となるように突出した突出部94aとな っている。N+領域94の光電子エネルギーレベルはN領域91より一段低く、N領域9 1に集まった光電子を吸い出す機能を有する。N領域91、P領域92、P+領域93、 N+領域94により、光電変換層95が構成されている。

[0037]

光電変換層95の表側には、P+領域93の表側の左右端部を除く表面に接触するよう にして透明な受光窓領域としての絶縁性のSiO2領域96が設けられている。SiO2 領域96の左側と右側には表側のP+領域93の表側表面の左右端部と導通した第1の極 性の外面電極97、98が設けられている。

光電変換層95の裏側には、N+領域94の中央部を除く裏外側に絶縁性のSiO2領域99、100が設けられており、このSiO2領域99、100の裏外側に、中央部で

N+領域94の裏外側表面と導通した第2の極性の外面電極101が設けられている。

12

【0038】

光電変換半導体装置90は、N領域91の左右方向の中央を通り、深さ方向に延びた対 称線C3から見て、N領域91、P領域92、P+領域93、N+領域94、外面電極9 7、98、101、SiO2領域96、99、100が左右線対称に形成されている。各 外面電極97、98、101は金属製である。外面電極101は光電変換半導体装置90 の裏側に到達した入射光の可視光成分を反射し、再度、光電変換させたり、入射光の遠赤 外成分を反射し、光電変換半導体装置90の表外側に放出させて光電変換半導体装置90 の昇温を抑制する機能を有する。

[0039]

光電変換半導体装置90の内、外面電極97、98はグランドに接続されており、グラ ンド電位に固定されている。一方、外面電極101とグランドとの間には電荷蓄積用の外 部容量30が接続されている。また、外部容量30にはスイッチ31を介して外部負荷3 2が接続されている。なお、光電変換半導体装置90の内部に電荷蓄積用の容量(図示せ ず)を形成し、この容量の両極をN+領域94に設けられた外面電極101とグランド間 に接続するようにしても良い。

[0040]

光電子のエネルギーレベルは表側のP+領域93が一番高く、P領域92、N領域91 、N+領域94の順に低くなる。

表側のS i O 2 領域96を通した入射光で発生した光電子(e-)とホール(h+)は、表側のP+P濃度勾配により生じる濃度勾配型バリア電界とPN接合の空乏層内に生じるPN接合型バリア電界により直ちに分離されるので、再結合することなく光電子はエネルギーレベルが一番低いN+領域94へ移動し、ホールはP+領域93へ移動する。

P+領域93に到達したホールは外面電極97、98より供給される電子と結合して消失する。スイッチ31が開のとき、N+領域94に到達した光電子はN+領域94、外面 電極101、外部容量300+極30aに蓄積される。図6の外部回路は、スイッチ31 を閉にすると、外部容量30に蓄積された光電子が外部負荷32に流れて、N+領域94 、外面電極101、外部容量300+極30aに蓄積された光電子がリセットされる例を 示す。

[0041]

光電変換半導体装置90の表側のP+領域93の表面がグランド電位に固定されること により、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電界領域 とPN接合の空乏層内に生じるPN接合型バリア電界領域の全域の電位が固定されるので 、光電変換半導体装置90の周囲でサージ等の外乱が生じても、バリア電界領域のいずれ の場所の電界も外乱の影響を受けたり、N+領域94に蓄積した光電子がN領域91の側 に戻ったりすることもなく、安定した光電変換動作を維持できる。

またP+領域93の表面がグランド電位に固定されることで、P+領域93の表側のご く表面近くの電界が零となり、この結果、P+領域93のごく表面近くで熱エネルギーを 吸収して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電流とな って電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一 層の向上を図ることができる。

[0042]

この第4実施例によれば、断面がくし形のN領域91をP領域92により囲み、深さ方 向に多層のPN接合面を形成し、更にP領域92の表側表面に再結合阻止用のP+領域9 3を設けるとともに、N領域91の裏側表面にN+領域94を設けて光電子を吸い出すよ うにしたことにより、深さ方向のほぼ全域にわたりバリア電界領域を形成することができ 、表側のSiO2領域96を通した光入射で発生した光電子とホールを再結合することな く分離させ、光電子をN領域91からエネルギー準位の一段低いN+領域94へ吸い出す ことができるので、N領域91に光電子が滞留せず、光電変換効率の高い光電変換半導体 装置90が得られる。
13

また、裏面側に到達した入射光は外面電極101により再度、表面方向に反射されて可 視光成分が光電子に変換されるので、これによっても変換効率が改善する。入射光の遠赤 外線成分は外面電極101により反射されて光電変換半導体装置90の表面から外側に放 出されるので、光電変換半導体装置90の設置台側が昇温せずに済み、冷却設備の負担を 軽減したり、変換効率の悪化防止をしたりすることができる。

また光電変換半導体装置90の表側のP+領域93の表面がグランド電位に固定される ことにより、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電界 領域とPN接合の空乏層内に生じるPN接合型バリア電界領域の全域の電位が固定される ので、光電変換半導体装置90の周囲でサージ等の外乱が生じても、バリア電界領域のい ずれの場所の電界も外乱の影響を受けたり、N+領域94に蓄積した光電子がN領域91 の側に戻ったりすることもなく、安定した光電変換動作を維持できる。

またP+領域93の表面がグランド電位に固定されることで、P+領域93の表側のご く表面近くの電界が零となり、この結果、P+領域93のごく表面近くで熱エネルギーを 吸収して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電流とな って電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一 層の向上を図ることができる。

【実施例5】

[0043]

図7、図8を参照して本発明の第5実施例に係る光電変換半導体装置を説明する。

図7において、110は太陽光を受光して光起電力を発生する光電変換半導体装置であ り、上側が表側、下側が裏側であり、深さ方向は上から下へ向かう方向である。光電変換 半導体装置110は、内部に断面がくし形のN領域111が設けられている。N領域11 1の裏側の中央部には裏側方向へ突設された突設部111aが形成されている。N領域1 11の内、裏側の突設部111aの裏側端面111bを除く裏側表面、表側表面、側周面 に接触しながら周囲を囲むようにしてP領域112が設けられている。P領域112の裏 側の中央部には突設部111aの側面周囲を囲むように一段裏側に突設した段差部112 aが形成されている。N領域111とP領域112の境界にPN接合面が形成されており 、PN接合面を挟んだ上下両側または左右両側にPN接合型バリア電界領域が形成される

[0044]

P領域112の表外側にP領域112の表面に接触するようにして面方向に延設された 表側のP+領域113が設けられている。表側のP+領域113は光電変換半導体装置1 10の表側表面近くでの光電子の再結合を抑制するため、P+Pの濃度勾配により生じる 濃度勾配型バリア電界を生成するとともに、青色短波長の光に対する光電変換効率の改善 をするために設けられた領域である。P+領域113とP領域112との境界面を挟んだ 上下両側に濃度勾配型バリア電界領域が形成されている。

[0045]

P領域112の裏外側の内、段差部112aの裏側端面112bを除くP領域112の 裏側表面に接触するようにして面方向に沿ってP+領域114、115が設けられている 。P+領域114、115は光電変換半導体装置110の裏側表面近くでの光電子の再結 合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型バリア電界を生成するため に設けられた領域である。P+領域114、115とP領域112との境界面を挟んだ上 下両側に濃度勾配型バリア電界領域が形成されている。

N領域111の裏側の中央部に接触するようにして光電子吸出し用のN+領域116が 設けられている。具体的には突設部111aにN+領域116が埋め込み状態で設けられ ている。N+領域116の光電子エネルギーレベルはN領域111より一段低く、N領域 111に集まった光電子を吸い出す機能を有する。P+領域114、115、段差部11 2aの裏側端面112b、突設部111aの裏側端面111b、N+領域116の裏側端 面116aは受光主面に平行な平面を成す。N領域111、P領域112、P+領域11 3、114、115、N+領域116により、光電変換層117が構成されている。 [0046]

光電変換層117の表側には、P+領域113の表側の左右端部を除く表面に接触する ようにして透明な受光窓領域としての絶縁性のSiO2領域118が設けられている。S iO2領域118の左側と右側には表側のP+領域113の表側表面の左右端部と導通し た第1の極性の外面電極119、120が設けられている。

光電変換層117の裏側には、P+領域114の左右端部を除く裏外側に、P+領域1 14の表面と導通した第1の極性の外面電極121、P+領域115の左右端部を除く裏 外側に、P+領域115の表面と導通した第1の極性の外面電極122が設けられている 。またN+領域116の裏外側に、N+領域116の表面と導通した第2の極性の外面電 極123が設けられている。光電変換層117の左右側面には絶縁性のSiO2領域12 4、125が設けられている。光電変換層117の裏側の外面電極121、122、12 3以外の外面には絶縁性のSiO2領域126、127が設けられている。

[0047]

光電変換半導体装置110は、N領域111の左右方向の中央を通り、深さ方向に延び た対称線C4から見て、N領域111、P領域112、P+領域113、114、115 、N+領域116、外面電極119、120、121、122、123、SiO2領域1 18、124、125、126、127が左右線対称に形成されている。各外面電極11 9、120、121、122、123は金属製である。外面電極121、122は光電変 換半導体装置110の裏側に到達した入射光の可視光成分を反射し、再度、光電変換させ たり、入射光の遠赤外成分を反射し、光電変換半導体装置110の表外側に放出させて光 電変換半導体装置110の昇温を抑制する機能を有する。

[0048]

光電変換半導体装置110の内、外面電極119、120、121、122はグランド に接続されており、グランド電位に固定されている。一方、外面電極123とグランドと の間には電荷蓄積用の外部容量30が接続されている。また、外部容量30にはスイッチ 31を介して外部負荷32が接続されている。なお、光電変換半導体装置70の内部に電 荷蓄積用の容量(図示せず)を形成し、この容量の両極をN+領域116に設けられた外 面電極123とグランド間に接続するようにしても良い。

[0049]

光電子のエネルギーレベルは表側及び裏側のP+領域113、114、115が一番高 く、内部のP領域112、N領域111、裏側のN+領域116の順に低くなる。

表面側のSiO2領域118を通した入射光で発生した光電子(e-)とホール(h+)は、表側及び裏側のP+P濃度勾配により生じる濃度勾配型バリア電界とPN接合の空 乏層内に生じるPN接合型バリア電界により直ちに分離されるので、再結合することなく 光電子はエネルギーレベルが一番低いN+領域116へ移動し、ホールはP+領域113、114、115へ移動する。

P+領域113、114、115に到達したホールは外面電極119、120、121 、122により供給される電子と結合して消失する。スイッチ31が開のとき、N+領域 116に到達した光電子はN+領域116、外面電極123、外部容量300+極30a に蓄積される。図7の外部回路は、スイッチ31を閉にすると、外部容量30に蓄積され た光電子が外部負荷32に流れて、N+領域116、外面電極123、外部容量300+ 極30aに蓄積された光電子がリセットされる例を示す。

[0050]

光電変換半導体装置110の表側のP+領域113、裏側のP+領域114、115の 表面がグランド電位に固定されることにより、表側及び裏側表面近くのP+P濃度勾配に より生じる濃度勾配型バリア電界領域とPN接合の空乏層内に生じるPN接合型バリア電 界領域の全域の電位が固定されるので、光電変換半導体装置110の周囲でサージ等の外 乱が生じても、バリア電界領域のいずれの場所の電界も外乱の影響を受けたり、N+領域 116に蓄積した光電子がN領域111の側に戻ったりすることもなく、安定した光電変 換動作を維持できる。

またP+領域113、114、115の表面がグランド電位に固定されることで、P+ 領域113の表側のごく表面近くと、114、115の裏側のごく表面近くの電界が零と なり、この結果、P+領域113、114、115のごく表面近くで熱エネルギーを吸収 して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電流となって 電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の 向上を図ることができる。

15

[0051]

この第5実施例によれば、P領域112によりN領域111の周囲を囲み、深さ方向に 多層のPN接合面を形成し、更にP領域112の表裏両側の表面に再結合阻止用のP+領 域113、114、115を設けるとともに、N領域111の裏側の中央部にN+領域1 16を設けて光電子を吸い出すようにしたことにより、深さ方向のほぼ全域にわたりバリ ア電界領域を形成することができ、SiO2領域118を通した光入射で発生した光電子 とホールを再結合することなく分離させ、光電子をN領域111からエネルギー準位の一 段低いN+領域116へ吸い出すことができるので、N領域111に光電子が滞留せず、 光電変換効率の高い光電変換半導体装置110が得られる。

また、裏面側に到達した入射光は外面電極121、122により再度、表面方向に反射 されて可視光成分が光電子に変換されるので、これによっても変換効率が改善する。入射 光の遠赤外線成分は外面電極121、122により反射されて光電変換半導体装置110 の表面から外側に放出されるので、光電変換半導体装置110の設置台側が昇温せずに済 み、冷却設備の負担を軽減したり、変換効率の悪化防止をしたりすることができる。

光電変換半導体装置110のP+領域113、114、115の表面がグランド電位に 固定されることにより、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型 バリア電界領域とPN接合型バリア電界領域の全域の電位が固定されるので、光電変換半 導体装置110の周囲でサージ等の外乱が生じても、バリア電界領域のいずれの場所の電 界も外乱の影響を受けたり、N+領域116に蓄積した光電子がN領域111の側に戻っ たりすることもなく、安定した光電変換動作を維持できる。

またP+領域113、114、115の表面がグランド電位に固定されることで、P+ 領域113の表側のごく表面近くと、114、115の裏側のごく表面近くの電界が零と なり、この結果、P+領域113、114、115のごく表面近くで熱エネルギーを吸収 して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電流となって 電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の 向上を図ることができる。

【実施例6】

[0052]

図9を参照して本発明の第6実施例に係る光電変換半導体装置を説明する。

図9において、130は太陽光を受光して光起電力を発生する光電変換半導体装置であ り、上側が表側、下側が裏側であり、深さ方向は上から下へ向かう方向である。光電変換 半導体装置130は内部に後述する光電変換層(符号145参照)を有している。

光電変換層131には断面が逆T字状のN領域140が設けられている。N領域140 の表側中央部には表側方向へ突設された突設部140aが形成されている。N領域140 の内、表側の突設部140aの表側端面140bを除く表側表面に、N領域140の表面 に接触するようにして表側のP領域141が設けられており、N領域140の裏側に、N 領域140の表面に接触するようにして裏側のP領域142が設けられている。表側のP 領域141には突設部140aの側面周囲を囲むように一段表側に突設した段差部141 aが形成されている。N領域140とP領域141、142の境界にPN接合面が形成さ れており、PN接合面を挟んだ上下両側にPN接合型バリア電界領域が形成される。

[0053]

表側のP領域141の内、段差部141aの表側端面141bを除く表側と側面側、N 領域140の側面側、裏側のP領域142の裏側と側面側を囲むようにして、P+領域1 43が設けられている。N領域140の突設部140aには、N領域140に接触するよ

16

うにしてN+領域144が埋め込み状態で設けられている。P+領域143、段差部14 1a、突設部140a、N+領域144の表側は受光主面に平行な平面を成す。N領域1 40、P領域141、142、P+領域143、N+領域144により、光電変換層14 5が構成されている。P+領域143は光電変換半導体装置130の表側表面近くでの光 電子の再結合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型バリア電界を生 成するとともに、青色短波長の光に対する光電変換効率の改善をするために設けられた領 域である。P+領域143とP領域141、142との境界面を挟んだ上下両側に濃度勾 配型バリア電界領域が形成されている。

[0054]

光電変換層145の表側表面に接触するようにして透明な受光窓領域としての絶縁性の SiO2領域146が設けられている。SiO2領域146の左右端部近くにはP+領域 143の表側表面の左右端部と導通した第1の極性の外面電極147、148が設けられ ており、SiO2領域146の中央に埋め込むようにしてN+領域144の表側表面と接 触する第2の極性の外面電極149が設けられている。光電変換層145の裏側及び側面 側を囲むようにして、第2のN領域150が設けられており、更に第2のN領域150の 裏側に第2のN+領域151が設けられている。第2のN+領域151の裏側に金属製反 射領域152が設けられている。

[0055]

光電変換半導体装置130は、N領域140の左右方向の中央を通り、深さ方向に延び た対称線C5から見て、N領域140、P領域141、142、P+領域143、N+領 域144、外面電極147、148、149、SiO2領域146、第2のN領域150 、第2のN+領域151、金属製反射領域152が左右線対称となっている例を示す。各 外面電極147、148、149は金属製である。金属製反射領域152は、光電変換半 導体装置130の裏側に到達した入射光の可視光成分を反射し、再度、光電変換させたり 、入射光の遠赤外成分を反射し、光電変換半導体装置130の表外側に放出させて光電変 換半導体装置130の昇温を抑制する機能を有する。

[0056]

光電変換半導体装置130の内、外面電極147、148と金属製反射領域152はグ ランドに接続されており、グランド電位に固定されている。一方、外面電極149とグラ ンドとの間には電荷蓄積用の外部容量30が接続されている。また、外部容量30にはス イッチ31を介して外部負荷32が接続されている。なお、光電変換半導体装置130の 内部に電荷蓄積用の容量(図示せず)を形成し、この容量の両極をN+領域144に設け られた外面電極149とグランド間に接続するようにしても良い。

[0057]

光電変換層145での光電子のエネルギーレベルはP+領域143が一番高く、P領域141、142、N領域140、N+領域144の順に低くなる。

表面側のSiO2領域146を通した入射光で発生した光電子(e-)とホール(h+)は、表側及び裏側のP+P濃度勾配により生じる濃度勾配型バリア電界とPN接合の空 乏層内に生じるPN接合型バリア電界により直ちに分離されるので、再結合することなく 光電子はエネルギーレベルが一番低いN+領域144へ移動し、ホールはP+領域143 へ移動する。

P+領域143に到達したホールは外面電極147、148より供給される電子と結合 して消失する。スイッチ31が開のとき、N+領域144に到達した光電子はN+領域1 44、外面電極149、外部コンデンサ30の+極30aに蓄積される。図9の外部回路 は、スイッチ31を閉にすると、外部容量30に蓄積された光電子が外部負荷32に流れ て、N+領域144、外面電極149、外部容量30の+極30aに蓄積された光電子が リセットされる例を示す。

[0058]

光電変換半導体装置130のP+領域143の表側表面がグランド電位に固定されることにより、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電界領

域とPN接合の空乏層内に生じるPN接合型バリア電界領域の全域の電位が固定されるの で、光電変換半導体装置130の周囲でサージ等の外乱が生じても、バリア電界領域のい ずれの場所の電界も外乱の影響を受けたり、N+領域144に蓄積した光電子がN領域1 40の側に戻ったりすることもなく、安定した光電変換動作を維持できる。

17

またP+領域143の表面がグランド電位に固定されることで、P+領域143の表側 のごく表面近くの電界が零となり、この結果、P+領域143のごく表面近くで熱エネル ギーを吸収して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電 流となって電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効 率の一層の向上を図ることができる。

[0059]

この第6実施例によれば、光電変換半導体装置130の内部に設けた光電変換部145 の中にN領域140に設け、N領域140の表側中央部を除く表側と裏側にP領域141 、142を設け、表側のP領域141の段差部141aの表側端面141bを除く表側と 側面側、N領域140の側面側、裏側のP領域142の裏側と側面側を囲むようにしてP +領域143を設けるとともに、N領域140の表側の中央にN+領域144を設けて光 電子を吸い出すようにしたことにより、深さ方向のほぼ全域にわたり空乏層を形成し、S iO2領域146を通した光入射で発生した光電子とホールを再結合することなく分離さ せ、光電子をN領域140からエネルギーレベルの一段低いN+領域144へ吸い出すこ とができるので、N領域140に光電子が滞留せず、光電変換効率の高い光電変換半導体 装置130が得られる。

また、裏面側に到達した入射光は金属製反射領域152により再度、表面方向に反射されて可視光成分が光電子に変換されるので、これによっても変換効率が改善する。入射光の遠赤外線成分は金属製反射領域152により反射されて光電変換半導体装置130の表面から外側に放出されるので、光電変換半導体装置130の設置台側が昇温せずに済み、 冷却設備の負担を軽減したり、変換効率の悪化防止をしたりすることができる。

また光電変換半導体装置130のP+領域143の表側表面がグランド電位に固定され ることにより、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電 界領域とPN接合の空乏層内に生じるPN接合型バリア電界領域の全域の電位が固定され るので、光電変換半導体装置130の周囲でサージ等の外乱が生じても、バリア電界領域 のいずれの場所の電界も外乱の影響を受けたり、N+領域144に蓄積した光電子がN領 域140の側に戻ったりすることもなく、安定した光電変換動作を維持できる。

またP+領域143の表面がグランド電位に固定されることで、P+領域143の表側 のごく表面近くの電界が零となり、この結果、P+領域143の表側のごく表面近くで熱 エネルギーを吸収して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表 面暗電流となって電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、 変換効率の一層の向上を図ることができる。

【実施例7】

$\begin{bmatrix} 0 & 0 & 6 & 0 \end{bmatrix}$

図10を参照して本発明の第7実施例に係る光電変換半導体装置を説明する。

図10において、160は太陽光を受光して光起電力を発生する光電変換半導体装置で あり、上側が表側、下側が裏側であり、深さ方向は上から下へ向かう方向である。光電変 換半導体装置160は図9の光電変換半導体装置130と同一構成の光電変換部161、 162、163を左右方向に一体的に併設した構成を有している。各光電変換部161、 162、163の構造及び働きは図9の光電変換半導体装置130と同様である。

[0061]

光電変換部161の外面電極147、148はグランドと接続されており、外面電極1 49は電荷蓄積用の第1の外部容量331の+極331aと接続されている。光電変換部 162の外面電極147、148は外部容量331の+極331aと接続されており、外 面電極149は電荷蓄積用の第2の外部容量3320+極332aと接続されている。光 電変換部163の外面電極147、148は外部容量3320+極332aと接続されて

おり、外面電極149は電荷蓄積用の第3の外部容量333の+極332aと接続されている。第3の外部容量333にはスイッチ31を介して外部負荷32が接続されている。 【0062】

図10の如く構成された光電変換半導体装置160によれば、光電変換部161、16 2、163の一つ当たりの光起電圧の3倍の電圧を外部負荷32に印加することが可能と なる。

【産業上の利用可能性】

[0063]

本発明は、太陽光を入射して電気エネルギーに変換する太陽電池用の光電変換半導体装置に適用可能である。

- 【符号の説明】
 - [0064]
- 1 光電変換半導体装置
- 2 表側のP+領域
- 3 表側のP領域
- 4 N領域
- 5 裏側のP領域
- 6 裏側のP+領域
- 9、10、12 外面電極
- 11 N+領域
- 30 外部容量

【書類名】特許請求の範囲

【請求項1】

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に、表側から裏側に向かう深さ方向にN領域の表裏両側を表側の P領域及び裏側のP領域で挟み、更に当該表側のP領域の表側と裏側のP領域の裏側を、

P+Pの濃度勾配により生じる濃度勾配型バリア電界生成用の表側のP+領域と裏側のP +領域とで挟んだP+PNPP+接合部を設け、

前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第 1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、該裏側のP+領域の表面と導通した第1の極性の外面電 極を設け、

前記N領域の深さ方向の中央部に、該N領域と接触するようにして光電子吸出し用のN +領域を設け、

前記N+領域の外側に、該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置内部または外部に設けた電荷蓄積用の容量を接続したこと

を特徴とする光電変換半導体装置。

【請求項2】

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内にN領域を設け、

該N領域の裏側左右端部近くの一部を除く表側、裏側、側面側を囲むようにしてP領域 を設け、

該P領域の表側に、該P領域の表面に接触するようにして表側のP+領域を設け、

前記P領域の裏側に、該P領域の表面に接触するようにして裏側のP+領域を設け、

前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第 1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、該裏側のP+領域の表面と導通した第1の極性の外面電 極を設け、

前記N領域の裏側の左右端部近くに、当該N領域と接触するようにして光電子吸出し用のN+領域を設け、

N+領域の裏側に、当該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、

を特徴とする光電変換半導体装置。

【請求項3】

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に設けたN領域の裏側中央部を除く表側、裏側、側面側を囲むようにしてP領域を設け、

該P領域の表側に、該P領域の表面に接触するようにして表側のP+領域を設け、 前記P領域の裏側に、該P領域の表面に接触するようにして裏側のP+領域を設け、

前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第

1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、当該裏側のP+領域の表面と導通した第1の極性の外面 電極を設け、

前記N領域の裏側の中央部に、当該N領域に接触するようにして光電子吸出し用のN+ 領域を設け、

N+領域の裏側に、当該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグラン

を特徴とする光電変換半導体装置。

【請求項4】

面側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に設けた断面がくし形のN領域の裏側を除く表側と側面側を囲む ようにしてP領域を設け、

該P領域の表側に、該P領域の表面に接触するようにしてP+領域を設け、

該P+領域の表側に、受光窓領域及び当該P+領域の表面と導通した第1の極性の外面 電極を設け、

前記N領域の裏側に、該N領域と接触するようにして光電子吸出し用のN+領域を設け

N+領域の裏側に、当該N+領域と導通した第2の極性の外面電極を設け、

第1の極性の外面電極をグランドに接続し、第2の極性の外面電極とグランドの間に、

光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、 を特徴とする光電変換半導体装置。

【請求項5】

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に設けた断面がくし形のN領域の裏側中央部を除く表側、裏側、 側面側を囲むようにしてP領域を設け、

該P領域の表側に、該P領域の表面に接触するようにして表側のP+領域を設け、 前記P領域の裏側に、該P領域の表面に接触するようにして裏側のP+領域を設け、

- 前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第 1の極性の外面電極を設け、
- 前記裏側のP+領域の裏側に、当該裏側のP+領域の表面と導通した第1の極性の外面 電極を設け、

前記N領域の裏側の中央部に、該N領域と接触するようにして光電子吸出し用のN+領域を設け、

N+領域の裏側に、該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、

を特徴とする光電変換半導体装置。

【請求項6】

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に光電変換層を設け、

この光電変換層は、

光電変換半導体装置内に設けたN領域と、

該N領域の表側中央部を除く表側に、当該N領域の表面に接触するようにして設けた表 側のP領域と、

前記N領域の裏側に、当該N領域の表面に接触するようにして設けた裏側のP領域と、 前記表側のP領域の表側の全部または一部と側面側、前記N領域の側面側、前記裏側の P領域の裏側と側面側を囲むようにして設けたP+領域と、

前記N領域の表側の中央部に、当該N領域と接触するようにして設けた表側のN+領域と、

を含み、

前記光電変換部の表側に、受光窓領域と、前記P+領域の表面と導通した第1の極性の 外面電極と、前記N+領域と導通した第2の極性の外面電極を設け、

前記P+領域の裏側に、第2のN領域と第2のN+領域の内、少なくとも一方を介して 金属製反射領域を設け、

2

前記第1の極性の外面電極と金属製反射領域をグランドに接続し、前記第2の極性の外 面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容 量を接続したこと、

を特徴とする光電変換半導体装置。

【書類名】要約書

【要約】

【課題】 光電変換の効率を改善する。

光電変換半導体装置の深さ方向にN領域4の表裏をP領域3、5で挟み、 【解決手段】 更にP領域3の表側とP領域5の裏側を、濃度勾配型バリア電界生成用のP+領域2とP +領域6で挟んだP+PNPP+接合部7を設ける。P+領域2の表側に受光窓領域8、 第1の極性の外面電極9、P+領域6の裏側に第1の極性の外面電極10を設ける。N領 域4の深さ方向の中央部に光電子吸出し用のN+領域11を設け、N+領域11の外側に 第2の極性の外面電極12を設ける。第1の極性の外面電極9、10をグランドに接続し 、第2の極性の外面電極12とグランドの間に、電荷蓄積用の容量30を接続する。

【選択図】 図1 【書類名】図面 【図1】

















インバーキュ(キエのvJ公解、b-b -ə 電子エネルギー -ə 11 £ a _ə -ə -Si02 , P a ЧI I ¦ | പ Ч Ч Ъ, e B -|1 ٦, L σ p-p, 線沿いのエネルギーバンド 入射光 </ a-a' 線沿いのエネルギーバンド Si 02 S i 02 ee-T T Ъ ۵ Z e-7 + + --z <u>|</u> | e e l **0** - -1 e l 入射光 □ ٩ ÷ e-/ S i 02 e l S i 02 т -11 P ł ٩ Ц I \leftarrow \leq Si02-1 電子エネルギー 電子エネルギー i a q \wedge 電子エネルギー eeee-

c-c'線沿いのエネルギーバンド





受領書

令和 2年 8月 1日 特 許 庁 長 官

識別番号	$1\ 0\ 0\ 0\ 8\ 8\ 0\ 6\ 3$
氏名(名称)	坪内 康治

様

以下の書類を受領しました。

項番 書類名 整理番号 受付番号 提出日 出願番号通知(事件の表示) アクセスコード
1 特許願 P0I-202001 52001570682 令 2.8.1 特願2020-131313 CDE7
以 上

【書類名】明細書

【発明の名称】光電変換半導体装置

【技術分野】

[0001]

本発明は光電変換半導体装置に係り、とくに光電変換半導体装置内に生じた光電子の再 結合を抑制することでエネルギー変換効率を改善するようにした光電変換半導体装置に関 する。

【背景技術】

[0002]

地球温暖化を抑制する自然エネルギーとして太陽光発電が注目されている。太陽光発電 には、N型半導体領域とP型半導体領域を隣接させたPN接合を有し、光照射で生じた光 電子と正孔を各々、PN接合の空乏層内に生じるPN接合型バリア電界によりN型半導体 領域側とP型半導体領域側に分離させて、N型半導体領域のPN接合とは反対側端部と、 P型半導体領域のPN接合とは反対側端部の間に光起電力を生じさせるようにした光電変 換半導体装置が用いられる。

ところで、太陽光のエネルギー密度は薄く、発電量を増やそうとすると大規模な施設が 必要となる。このため、太陽光発電の普及には、太陽電池の変換効率の更なる改善が重要 である。

 $\begin{bmatrix} 0 & 0 & 0 & 3 \end{bmatrix}$

変換効率の改善策の一つとして従来、例えば特開昭53-10987号公報や特開平0 7-297444号公報に示す如く、光電変換半導体装置の表面と平行なPN接合面を深 さ方向(上下方向)に複数個形成する手法が提案されていた。

けれども、上記した特開昭53-10987号公報や特開平07-297444号公報 の光電変換半導体装置では、光電子はN領域のエネルギー準位の低い場所に移動して滞留 するが、その滞留した光電子の量に応じてN領域の電位は固定されずに変動し、滞留した 光電子がN領域の空乏層を狭めて光電子・空孔の再結合を促進したり、光電変換半導体装 置の表面近くで再結合が起き易く、変換効率の向上に限界があった。

【発明の概要】

【発明が解決しようとする課題】

[0004]

本発明は上記した従来技術の問題に鑑みなされたもので、光電変換の変換効率の向上を 図った光電変換半導体装置を提供することを、その目的とする。

【課題を解決するための手段】

[0005]

請求項1記載の発明では、

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に、表側から裏側に向かう深さ方向にN領域の表裏両側を表側の P領域及び裏側のP領域で挟み、更に当該表側のP領域の表側と裏側のP領域の裏側を、

P+Pの濃度勾配により生じる濃度勾配型バリア電界生成用の表側のP+領域と裏側のP +領域とで挟んだP+PNPP+接合部を設け、

前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第 1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、該裏側のP+領域の表面と導通した第1の極性の外面電 極を設け、

前記N領域の深さ方向の中央部に、該N領域と接触するようにして光電子吸出し用のN +領域を設け、

前記N+領域の外側に、該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置内部または外部に設けた電荷蓄積用の容量を接続したこと

を特徴としている。

請求項2記載の発明では、

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内にN領域を設け、

該N領域の裏側左右端部近くの一部を除く表側、裏側、側面側を囲むようにしてP領域 を設け、

該P領域の表側に、該P領域の表面に接触するようにして表側のP+領域を設け、

前記 P 領域の裏側に、該 P 領域の表面に接触するようにして裏側の P + 領域を設け、 前記表側の P + 領域の表側に、受光窓領域及び当該表側の P + 領域の表面と導通した第

1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、該裏側のP+領域の表面と導通した第1の極性の外面電 極を設け、

前記N領域の裏側の左右端部近くに、当該N領域と接触するようにして光電子吸出し用のN+領域を設け、

N+領域の裏側に、当該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、

を特徴としている。

請求項3記載の発明では、

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に設けたN領域の裏側中央部を除く表側、裏側、側面側を囲むようにしてP領域を設け、

該P領域の表側に、該P領域の表面に接触するようにして表側のP+領域を設け、

前記P領域の裏側に、該P領域の表面に接触するようにして裏側のP+領域を設け、

前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第 1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、当該裏側のP+領域の表面と導通した第1の極性の外面 電極を設け、

前記N領域の裏側の中央部に、当該N領域に接触するようにして光電子吸出し用のN+ 領域を設け、

N+領域の裏側に、当該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、

を特徴としている。

請求項4記載の発明では、

面側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に設けた断面がくし形のN領域の裏側を除く表側と側面側を囲む ようにしてP領域を設け、

該P領域の表側に、該P領域の表面に接触するようにしてP+領域を設け、

該P+領域の表側に、受光窓領域及び当該P+領域の表面と導通した第1の極性の外面 電極を設け、

前記N領域の裏側に、該N領域と接触するようにして光電子吸出し用のN+領域を設け

N+領域の裏側に、当該N+領域と導通した第2の極性の外面電極を設け、

第1の極性の外面電極をグランドに接続し、第2の極性の外面電極とグランドの間に、 光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、

を特徴としている。

請求項5記載の発明では、

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に設けた断面がくし形のN領域の裏側中央部を除く表側、裏側、 側面側を囲むようにしてP領域を設け、

該P領域の表側に、該P領域の表面に接触するようにして表側のP+領域を設け、 前記P領域の裏側に、該P領域の表面に接触するようにして裏側のP+領域を設け、 前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第 1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、当該裏側のP+領域の表面と導通した第1の極性の外面 電極を設け、

前記N領域の裏側の中央部に、該N領域と接触するようにして光電子吸出し用のN+領域を設け、

N+領域の裏側に、該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、

を特徴としている。

請求項6記載の発明では、

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に光電変換層を設け、

この光電変換層は、

光電変換半導体装置内に設けたN領域と、

該N領域の表側中央部を除く表側に、当該N領域の表面に接触するようにして設けた表 側のP領域と、

前記N領域の裏側に、当該N領域の表面に接触するようにして設けた裏側のP領域と、

前記表側のP領域の表側の全部または一部と側面側、前記N領域の側面側、前記裏側の P領域の裏側と側面側を囲むようにして設けたP+領域と、

前記N領域の表側の中央部に、当該N領域と接触するようにして設けた表側のN+領域と、

を含み、

前記光電変換部の表側に、受光窓領域と、前記P+領域の表面と導通した第1の極性の 外面電極と、前記N+領域と導通した第2の極性の外面電極を設け、

前記 P + 領域の裏側に、第2のN領域と第2のN + 領域の内、少なくとも一方を介して 金属製反射領域を設け、

前記第1の極性の外面電極と金属製反射領域をグランドに接続し、前記第2の極性の外 面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容 量を接続したこと、

を特徴としている。

各請求項において、N+領域をN領域に埋め込むように設けても良い。

【発明の効果】

[0006]

本発明によれば、N領域のエネルギー準位の低い箇所に移動して来た光電子をN+領域 へ吸い出し、N領域の空乏化状態を常に維持し、空乏層が狭くなるのを防止することによ り、光電子・空孔の再結合を抑制が可能となる。またP+Pの濃度勾配により生じる濃度 勾配型バリア電界により、表側や裏側の表面近くでの再結合の抑制もでき、変換効率の向 上を図ることができる。

またP+領域の表面がグランド電位に固定されることで、サージ等の外乱の影響を受け にくくなるとともに、P+領域のごく表面近くの電界が零となることで、P+領域のごく 表面近くで熱エネルギーを吸収して伝導帯に上がった電子がその場で直ちに空孔と再結合 するので、表面暗電流となって外部または内部の容量を放電させてしまう恐れが少なくな り、変換効率の一層の向上を図ることができる。 【図面の簡単な説明】

[0007]

【図1】図1は本発明の第1実施例に係る光電変換半導体装置の断面構造と外部回路 の構成および不純物濃度プロファイルを示す説明図である(実施例1)。

【図2】図2は図1の光電変換半導体装置の不純物濃度プロファイルを示す説明図で ある。

【図3】図3は図1中のP+PNPP+接合部の深さ方向のエネルギーバンドを示す 説明図である。

【図4】図4は本発明の第2実施例に係る光電変換半導体装置の断面構造と外部回路 の構成を示す構成図である(実施例2)。

【図5】図5は本発明の第3実施例に係る光電変換半導体装置の断面構造と外部回路 の構成を示す構成図である(実施例3)。

【図6】図6は本発明の第4実施例に係る光電変換半導体装置の断面構造と外部回路 の構成を示す構成図である(実施例4)。

【図7】図7は本発明の第5実施例に係る光電変換半導体装置の断面構造と外部回路 の構成を示す構成図である(実施例5)。

【図8】図8は図7の光電変換半導体装置の種々の方向に沿ったエネルギーバンドを 示す説明図である。

【図9】図9は本発明の第6実施例に係る光電変換半導体装置の断面構造と外部回路 の構成を示す構成図である(実施例6)。

【図10】図10は本発明の第7実施例に係る光電変換半導体装置の断面構造と外部 回路の構成を示す構成図である(実施例7)。

【発明を実施するための最良の形態】

 $\begin{bmatrix} 0 & 0 & 0 & 8 \end{bmatrix}$

以下、本発明の最良の形態を実施例に基づき説明する。

【実施例1】

 $\begin{bmatrix} 0 & 0 & 0 & 9 \end{bmatrix}$

図1乃至図3を参照して本発明の第1実施例に係る光電変換半導体装置を説明する。図 1は光電変換半導体装置の断面構造と外部回路を示す説明図、図2は図1の光電変換半導 体装置の具体的な不純物濃度プロファイルを示す説明図、図3は図1中のP+PNPP+ 接合部の深さ方向のエネルギーバンドを示す説明図である。光電子のエネルギーレベルは 光電変換半導体装置の表側及び裏側のP+領域内が一番高く、N+領域内が一番低くなる

図1において、1は太陽光を受光して光起電力を発生する光電変換半導体装置であり、 右側が表側表面(受光主面)、左側が裏側表面であり、深さ方向は右から左へ向かう方向 である。表側表面から深さ方向にP+領域2、P領域3、N領域4、P領域5、P+領域 6が多段接合されたP+PNPP+接合部7、P+領域2の表側表面に接触するように設 けられた透明な受光窓領域としての絶縁性のSiO2領域8及びP+領域2の表側表面に 接触するように設けられた第1の極性の外面電極9、P+領域6の裏側表面に接触するよ うに設けられた第1の極性の外面電極10、N領域4の深さ方向の中央部に接触するよう にして埋め込み状態で設けられた光電子吸出し用のN+領域11及びN+領域11の外側 に設けられた第2の極性の外面電極12を備えている。表側と裏側のP領域3と5はここ では深さ方向の厚みが同一に形成されている例を示す。外面電極9はP+領域2と導通し ており、外面電極10はP+領域6と導通しており、外面電極12はN+領域11と導通 している。各外面電極9、10、12は金属製である。

[0010]

P+PNPP+接合部7は、N領域4の深さ方向の中央を中心にして表裏方向に略対称 に形成されている。すなわち、N領域4の表裏両側を表側のP領域3及び裏側のP領域5 で挟み、更に当該表側のP領域3の表外側と裏側のP領域の裏外側を、P+Pの濃度勾配 により生じる濃度勾配型バリア電界生成用の表側のP+領域2と裏側のP+領域6で挟ん

で積層して成る。P領域3、N領域4、P領域5は深さ方向に2段のPN接合面を形成す るものであり、N領域4とP領域3の接合面jk1を挟んだ上下両側(図1では左右両側)、N領域4とP領域5の接合面jk2を挟んだ上下両側(図1では左右両側)に、PN 接合の空乏層内に生じるPN接合型バリア電界領域が形成される。

[0011]

表側のP+領域2は光電変換半導体装置1の表側表面近くでの光電子の再結合を抑制す るため、P+Pの濃度勾配により生じる濃度勾配型バリア電界を生成するとともに、青色 短波長の光成分に対する光電変換効率の改善をするために設けられた領域である。太陽光 は短波長領域のエネルギー量が大きな割合を示すが、例えばシリコン半導体では、青色短 波長の光は表面から0.2µm程度の深さまでしか内部に透過できない。この実施例では 、受光面である表側表面近くのP+P濃度勾配型バリア電界が青色短波長の光入射で生じ た光電子・正孔の再結合を抑制するようにしてあり、受光面近くでの光電変換が可能とな る。表側のP+領域2とP領域3との境界面jk3を挟んだ上下両側(図1では左右両側) に濃度勾配型バリア電界領域が形成されている。

[0012]

裏側のP+領域6は裏側表面近くでの光電子の再結合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型バリア電界を生成するためのものであり、裏側のP+領域6と P領域5との境界面jk4を挟んだ上下両側(図1では左右両側)に濃度勾配型バリア電 界領域が形成される。P+領域2、P領域3、N領域4、P領域5、P+領域6のドナー 密度、アクセプタ密度、深さ方向の厚さは、PN接合の空乏層内に生じるPN接合型バリ ア電界とP+Pの濃度勾配により生じる濃度勾配型バリア電界が深さ方向にほぼ一体化し て一つのほぼ完全なバリア電界領域Wd(20~40 μ mがWdの最適幅。図3参照)が 形成されるように設定されている。図2に光電変換半導体装置1のa-a'線に沿った不 純物濃度プロファイルとb-b'線に沿った不純物濃度プロファイルの具体的な例を示す

[0013]

0

光電変換半導体装置1の内、表側と裏側のP+領域2と6に設けられた外面電極9、1 0はグランドに接続されており、グランド電位に固定されている。一方、N+領域11に 設けられた外面電極12とグランドとの間には電荷蓄積用の外部容量30が接続されてい る。また、外部容量30にはスイッチ31を介して外部負荷32が接続されている。

なお、図1の外部回路は一例であり、光電変換半導体装置1の外部に外部容量を設ける 代わりに、光電変換半導体装置1の内部に電荷蓄積用の容量(図示せず)を形成し、この 容量の両極をN+領域11に設けられた外面電極12とグランド間に接続するようにして も良い。

[0014]

P+PNPP+接合部7の深さ方向のエネルギーバンドは図3の如くなり、表側及び裏 側のP+領域2、6は光電子のエネルギーレベルが一番高くなり、N領域4の中央付近が 一番低くなる。N+領域11はN領域4の中央付近より更に一段低くなる。

表側のSiO2領域8を通した入射光で発生した光電子(e-)とホール(h+)は、 表側及び裏側のP+P濃度勾配により生じる濃度勾配型バリア電界領域とPN接合型バリ ア電界領域を合わせたバリア電界領域Wdの電界により直ちに分離されるので、再結合す ることなく光電子はエネルギーレベルが一番低いN領域4の中央へ移動し、ホールは表側 と裏側のP+領域2、6へ移動する。仮にN領域4の中央付近に光電子が溜まったままに なるとN領域4の空乏層が狭くなってしまい、光電子とホールの再結合がし易くなってし まう。この実施例では、N領域4の中央付近に設けられたエネルギーレベルの一段番低い N+領域11の側へ光電子が移動するので、N領域4の空乏層が狭くなることはない。

表側と裏側のP+領域2、6に到達したホールは外面電極9、10より供給される電子 と結合して消失する。スイッチ31が開のとき、N+領域11に到達した光電子はN+領 域11、外面電極12、外部容量30の+極30aに蓄積される。図1の外部回路は、ス イッチ31を閉にすると、外部容量30に蓄積された光電子が外部負荷32に流れ、N+

5

領域11、外面電極12、外部容量30の+極30aに蓄積された光電子がリセットされ る例を示す。

[0015]

光電変換半導体装置1の表側のP+領域2の表側表面と裏側のP+領域6の裏側表面が グランド電位に固定されることにより、表側及び裏側表面近くのP+P濃度勾配により生 じる濃度勾配型バリア電界領域とPN接合の空乏層内に生じるPN接合型バリア電界領域 を合わせたバリア電界領域Wdの全域の電位が固定されるので、光電変換半導体装置1の 周囲でサージ等の外乱が生じても、バリア電界領域Wdのいずれの場所の電界も外乱の影 響を受けたり、N+領域11に蓄積した光電子がN領域4の側に戻ったりすることもなく 、安定した光電変換動作を維持できる。

また表側のP+領域2の表側表面と裏側のP+領域6の裏側表面がグランド電位に固定 されることで、P+領域2の表側のごく表面近くとP+領域6の裏側のごく表面近くの電 界が零となり、この結果、P+領域6のごく表面近くで熱エネルギーを吸収して伝導帯に 上がった電子がその場で直ちに空孔と再結合するので、表面暗電流となって電荷電荷蓄積 用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の向上を図るこ とができる。

[0016]

この実施例によれば、表面側から裏面側に向かう深さ方向にN領域4の表裏両側をP領 域3、5で挟み、更に、両P領域3、5の外側をバリア電界生成用のP+領域2、6で挟 んだP+PNPP+接合部7を設け、この内、PNP接合部分をN領域4の深さ方向の中 央を中心にして表裏方向に対称に形成し、N領域4の深さ方向の中央部に接触するよにし て設けたN+領域11により光電子を吸い出すようにしたことにより、P+PNPP+接 合部7のほぼ全域にわたるバリア電界領域Wdを容易に形成することができ、表面側のS iO2領域8を通した光入射で発生した光電子とホールを再結合することなく分離させ、 光電子をN領域4の中央付近からエネルギーレベルの一段低いN+領域11へ吸い出すこ とができるので、N領域4に光電子が滞留せず、光電変換効率の高い光電変換半導体装置 1が得られる。

また光電変換半導体装置1の表裏のP+領域2、6がグランド電位に固定されることに より、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電界領域と PN接合の空乏層内に生じるPN接合型バリア電界領域を合わせたバリア電界領域Wdの 全域の電位が固定されるので、光電変換半導体装置1の周囲でサージ等の外乱が生じても 、バリア電界領域Wdのいずれの場所の電界も外乱の影響を受けたり、N+領域11に蓄 積した光電子がN領域4の側に戻ったりすることもなく、安定した光電変換動作を維持で きる。

またP+領域2の表側表面とP+領域6の裏側表面がグランド電位に固定されることで、 P+領域2の表側表面近くとP+領域6の裏側表面近くの電界が零となり、この結果、 P+領域2と6のごく表面近くで熱エネルギーを吸収して伝導帯に上がった電子がその場 で直ちに空孔と再結合するので、表面暗電流となって外部または内部の容量を放電させて しまう恐れが少なくなり、変換効率の一層の向上を図ることができる。

【実施例2】

[0017]

図4を参照して本発明の第2実施例に係る光電変換半導体装置を説明する。

図4において、50は太陽光を受光して光起電力を発生する光電変換半導体装置であり 、上側が表側、下側が裏側であり、深さ方向は上から下へ向かう方向である。光電変換半 導体装置50の内部に断面が略長方形のN領域51が設けられている。N領域51の裏側 の左右端部近くには裏側方向へ突設された突設部51a、51bが形成されている。N領 域51の内、裏側の突設部51a、51bの裏側端面51c、51dを除く裏側表面、上 側表面、側周面に接触しながら周囲を囲むようにしてP領域52が設けられている。P領 域52の裏側の左右端部近くには突設部51a、51bの側面周囲を囲むように一段裏側 に突設した段差部52a、52bが形成されている。N領域51とP領域52の境界にP

6

____7

N接合面が形成されており、PN接合面を挟んだ上下両側または左右両側にPN接合型バリア電界領域が形成されている。

[0018]

P領域52の表外側にP領域52の表面に接触するようにして面方向に延設された表側 のP+領域53が設けられている。表側のP+領域53は光電変換半導体装置50の表側 表面近くでの光電子の再結合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型 バリア電界を生成するとともに、青色短波長の光に対する光電変換効率の改善をするため に設けられた領域である。P+領域53とP領域52との境界面を挟んだ上下両側に濃度 勾配型バリア電界領域が形成されている。

[0019]

P領域52の裏外側の内、段差部52a、52bの裏側端面52c、52dを除くP領 域52の裏側表面に接触するようにして面方向に沿ってP+領域54、55、56が設け られている。P+領域54、55、56は光電変換半導体装置50の裏側表面近くでの光 電子の再結合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型バリア電界を生 成するために設けられた領域である。P+領域54、55、56とP領域52との境界面 を挟んだ上下両側に濃度勾配型バリア電界領域が形成されている。

N領域51の裏側の左右端部の一部に接触するようにして光電子吸出し用のN+領域57、58が設けられている。具体的には突設部51a、51bにN+領域57、58が埋め込み状態で設けられている。N+領域57、58の光電子エネルギーレベルはN領域51より一段低く、N領域51に集まった光電子を吸い出す機能を有する。P+領域54、55、56、段差部52a、52bの裏側端面52c、52d、突設部51a、51bの裏側端面51c、51d、N+領域57、58の裏側端面57a、58aは受光主面に平行な平面を成す。N領域51、P領域52、P+領域53、54、55、56、N+領域57、58により、光電変換層59が構成されている。

[0020]

光電変換層59の表側には、P+領域53の表側の左右端部を除く表面に接触するよう にして透明な受光窓領域としての絶縁性のSiO2領域60が設けられている。SiO2 領域60の左側と右側には表側のP+領域53の表側表面の左右端部と導通した第1の極 性の外面電極61、62が設けられている。

光電変換層59の裏側には、P+領域56の左右端部を除く裏外側に、P+領域56の 表面と導通した第1の極性の外面電極63、左右端部のP+領域54、55の裏外側にP +領域54、55の表面と導通した第1の極性の外面電極64、65が設けられている。 またN+領域57、58の裏外側に、N+領域57、58の表面と導通した第2の極性の 外面電極66、67が設けられている。光電変換層59の左右側面には絶縁性のSiO2 領域68、69が設けられている。光電変換層59の裏側の外面電極63、64、65、 66、67以外の外面には絶縁性のSiO2領域70、71、72、73が設けられてい る。

[0021]

光電変換半導体装置50は、N領域51の左右方向の中央を通り、深さ方向に延びた対称線C1から見て、N領域51、P領域52、P+領域53、54、55、56、N+領 域57、58、外面電極61、62、63、64、65、66、67、SiO2領域60 、68、69、70、71、72、73が左右線対称に形成されている。各外面電極61 、62、63、64、65、66、67は金属製である。外面電極63は光電変換半導体 装置50の裏側に到達した入射光の可視光成分を反射し、再度、光電変換させたり、入射 光の遠赤外成分を反射し、光電変換半導体装置50の表外側に放出させて光電変換半導体 装置50の昇温を抑制する機能を有する。

[0022]

光電変換半導体装置50の内、外面電極61、62、63、64、65はグランドに接続されており、グランド電位に固定されている。一方、外面電極66、67とグランドとの間には電荷蓄積用の外部容量30が接続されている。また、外部容量30にはスイッチ

31を介して外部負荷32が接続されている。なお、光電変換半導体装置50の内部に電 荷蓄積用の容量(図示せず)を形成し、この容量の両極をN+領域57、58に設けられ た外面電極66、67とグランド間に接続するようにしても良い。

8

[0023]

光電子のエネルギーレベルは表側及び裏側のP+領域53、54、55、56が一番高 く、内部のP領域52、N領域51、N+領域57と58の順に低くなる。

表面側のSiO2領域60を通した入射光で発生した光電子(e-)とホール(h+) は、表側及び裏側のP+P濃度勾配により生じる濃度勾配型バリア電界とPN接合の空乏 層内に生じるPN接合型バリア電界により直ちに分離されるので、再結合することなく光 電子はエネルギーレベルが一番低いN+領域57、58へ移動し、ホールはP+領域53、54、55、56へ移動する。

P+領域53、54、55、56に到達したホールは外面電極61、62、63、64 、65より供給される電子と結合して消失する。スイッチ31が開のとき、N+領域57 、58に到達した光電子はN+領域57、58、外面電極66、67、外部容量300+ 極30aに蓄積される。図4の外部回路は、スイッチ31を閉にすると、外部容量30に 蓄積された光電子が外部負荷32に流れて、N+領域57、58、外面電極66、67、 外部容量300+極30aに蓄積された光電子がリセットされる例を示す。

[0024]

光電変換半導体装置50の表側のP+領域53、裏側のP+領域54、55、56の表 面がグランド電位に固定されることにより、表側及び裏側表面近くのP+P濃度勾配によ り生じる濃度勾配型バリア電界領域とPN接合の空乏層内に生じるPN接合型バリア電界 領域の全域の電位が固定されるので、光電変換半導体装置50の周囲でサージ等の外乱が 生じても、バリア電界領域のいずれの場所の電界も外乱の影響を受けたり、N+領域57 、58に蓄積した光電子がN領域51の側に戻ったりすることもなく、安定した光電変換 動作を維持できる。

またP+領域53、54、55、56の表面がグランド電位に固定されることで、P+ 領域53の表側のごく表面近くと、54、55、56の裏側のごく表面近くの電界が零と なり、この結果、P+領域53、54、55、56のごく表面近くで熱エネルギーを吸収 して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電流となって 電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の 向上を図ることができる。

[0025]

この第2実施例によれば、P領域52によりN領域51の周囲を囲み、深さ方向に多層 のPN接合面を形成し、更にP領域52の表裏両側の表面に再結合阻止用のP+領域53 、54、55、56を設けるとともに、N領域51の裏側表面の左右端部近くにN+領域 57、58を設けて光電子を吸い出すようにしたことにより、深さ方向のほぼ全域にわた りバリア電界領域を形成することができ、SiO2領域60を通した光入射で発生した光 電子とホールを再結合することなく分離させ、光電子をN領域51からエネルギー準位の 一段低いN+領域57、58へ吸い出すことができるので、N領域51に光電子が滞留せ ず、光電変換効率の高い光電変換半導体装置50が得られる。

また、裏面側に到達した入射光は外面電極63により再度、表面方向に反射されて可視 光成分が光電子に変換されるので、これによっても変換効率が改善する。入射光の遠赤外 線成分は外面電極63により反射されて光電変換半導体装置50の表面から外側に放出さ れるので、光電変換半導体装置50の設置台側が昇温せずに済み、冷却設備の負担を軽減 したり、変換効率の悪化防止をしたりすることができる。

光電変換半導体装置50のP+領域53、54、55、56の表面がグランド電位に固定されることにより、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電界領域とPN接合型バリア電界領域の全域の電位が固定されるので、光電変換半導体装置50の周囲でサージ等の外乱が生じても、バリア電界領域のいずれの場所の電界も外乱の影響を受けたり、N+領域57、58に蓄積した光電子がN領域51の側に戻った

りすることもなく、安定した光電変換動作を維持できる。

またP+領域53、54、55、56の表面がグランド電位に固定されることで、P+ 領域53の表側のごく表面近くと、54、55、56の裏側のごく表面近くの電界が零と なり、この結果、P+領域53、54、55、56のごく表面近くで熱エネルギーを吸収 して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電流となって 電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の 向上を図ることができる。

【実施例3】

[0026]

図5を参照して本発明の第3実施例に係る光電変換半導体装置を説明する。

図5において、70は太陽光を受光して光起電力を発生する光電変換半導体装置であり 、上側が表側、下側が裏側であり、深さ方向は上から下へ向かう方向である。光電変換半 導体装置70の内部には、断面が略T字状のN領域71が設けられている。N領域71の 裏側の中央部には裏側方向へ突設された突設部71aが形成されている。N領域71の内 、裏側の突設部71aの裏側端面を除く裏側表面、表側表面、側周面に接触しながら周囲 を囲むようにしてP領域72が設けられている。P領域72の裏側の中央近くには突設部 71aの側面周囲を囲むように一段表側に突設した段差部72aが形成されている。N領 域71とP領域72の境界にPN接合面が形成されており、PN接合面を挟んだ上下両側 または左右両側にPN接合型バリア電界領域が形成される。

[0027]

P領域72の表外側にP領域72の表面に接触するようにして面方向に延設された表側 のP+領域73が設けられている。表側のP+領域73は光電変換半導体装置70の表側 表面近くでの光電子の再結合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型 バリア電界を生成するとともに、青色短波長の光に対する光電変換効率の改善をするため に設けられた領域である。P+領域73とP領域72との境界面を挟んだ上下両側に濃度 勾配型バリア電界領域が形成されている。

[0028]

P領域72の裏外側の内、段差部72aの裏側端面72bを除くP領域72の裏側表面 に接触するようにして面方向に沿ってP+領域74、75が設けられている。P+領域7 4、75は光電変換半導体装置70の裏側表面近くでの光電子の再結合を抑制するため、 P+Pの濃度勾配により生じる濃度勾配型バリア電界を生成するために設けられた領域で ある。P+領域74、75とP領域72との境界面を挟んだ上下両側に濃度勾配型バリア 電界領域が形成されている。

N領域71の裏側の中央部に接触するようにして光電子吸出し用のN+領域76が設けられている。具体的には突設部71aにN+領域76が埋め込み状態で設けられている。 N+領域76の光電子エネルギーレベルはN領域71より一段低く、N領域71に集まった光電子を吸い出す機能を有する。P+領域74、75、段差部72aの裏側端面72b 、突設部71aの裏側端面71b、N+領域76の裏側端面76aは受光主面に平行な平 面を成す。N領域71、P領域72、P+領域73、74、75、N+領域76により、 光電変換層77が構成されている。

[0029]

光電変換層77の表側には、P+領域73の表側の左右端部を除く表面に接触するよう にして透明な受光窓領域としての絶縁性のSiO2領域78が設けられている。SiO2 領域78の左側と右側には表側のP+領域73の表側表面の左右端部と導通した第1の極 性の外面電極79、80が設けられている。

光電変換層77の裏側には、P+領域74の左右端部を除く裏外側に、P+領域74の 表面と導通した第1の極性の外面電極81、P+領域75の左右端部を除く裏外側に、P +領域75の表面と導通した第1の極性の外面電極82が設けられている。またN+領域 76の裏外側に、N+領域76の表面と導通した第2の極性の外面電極83が設けられている。 光電変換層77の左右側面には絶縁性のSiO2領域84、85が設けられている

。光電変換層77の裏側の外面電極81、82、83以外の外面には絶縁性のSiO2領 域86、87が設けられている。

10

 $\begin{bmatrix} 0 & 0 & 3 & 0 \end{bmatrix}$

光電変換半導体装置70は、N領域71の左右方向の中央を通り、深さ方向に延びた対称線C2から見て、N領域71、P領域72、P+領域73、74、75、N+領域76、外面電極79、80、81、82、83、SiO2領域78、84、85、86、87 が左右線対称に形成されている。各外面電極79、80、81、82、83は金属製である。外面電極81、82は光電変換半導体装置70の裏側に到達した入射光の可視光成分を反射し、再度、光電変換させたり、入射光の遠赤外成分を反射し、光電変換半導体装置70の表外側に放出させて光電変換半導体装置70の昇温を抑制する機能を有する。

[0031]

光電変換半導体装置70の内、外面電極79、80、81、82はグランドに接続され ており、グランド電位に固定されている。一方、外面電極83とグランドとの間には電荷 蓄積用の外部容量30が接続されている。また、外部容量30にはスイッチ31を介して 外部負荷32が接続されている。なお、光電変換半導体装置70の内部に電荷蓄積用の容 量(図示せず)を形成し、この容量の両極をN+領域76に設けられた外面電極83とグ ランド間に接続するようにしても良い。

[0032]

光電子のエネルギーレベルは表側及び裏側のP+領域73、74、75が一番高く、内部のP領域72、N領域71、裏側のN+領域76の順に低くなる。

表面側のSiO2領域78を通した入射光で発生した光電子(e-)とホール(h+) は、表側及び裏側のP+P濃度勾配により生じる濃度勾配型バリア電界とPN接合の空乏 層内に生じるPN接合型バリア電界により直ちに分離されるので、再結合することなく光 電子はエネルギーレベルが一番低いN+領域76へ移動し、ホールはP+領域73、74

、75へ移動する。

P+領域73、74、75に到達したホールは外面電極79、80、81、82により供給される電子と結合して消失する。スイッチ31が開のとき、N+領域76に到達した光電子はN+領域76、外面電極83、外部容量300+極30aに蓄積される。図5の外部回路は、スイッチ31を閉にすると、外部容量30に蓄積された光電子が外部負荷32に流れて、N+領域76、外面電極83、外部容量300+極30aに蓄積された光電子がリセットされる例を示す。

[0033]

光電変換半導体装置70の表側のP+領域73、裏側のP+領域74、75の表面がグ ランド電位に固定されることにより、表側及び裏側表面近くのP+P濃度勾配により生じ る濃度勾配型バリア電界領域とPN接合の空乏層内に生じるPN接合型バリア電界領域の 全域の電位が固定されるので、光電変換半導体装置70の周囲でサージ等の外乱が生じて も、バリア電界領域のいずれの場所の電界も外乱の影響を受けたり、N+領域76に蓄積 した光電子がN領域71の側に戻ったりすることもなく、安定した光電変換動作を維持で きる。

またP+領域73、74、75の表面がグランド電位に固定されることで、P+領域7 3の表側のごく表面近くと、74、75の裏側のごく表面近くの電界が零となり、この結 果、P+領域73、74、75のごく表面近くで熱エネルギーを吸収して伝導帯に上がっ た電子がその場で直ちに空孔と再結合するので、表面暗電流となって電荷電荷蓄積用の外 部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の向上を図ることがで きる。

[0034]

この第3実施例によれば、P領域72によりN領域71の周囲を囲み、深さ方向に多層のPN接合面を形成し、更にP領域72の表裏両側の表面に再結合阻止用のP+領域73、74、75を設けるとともに、N領域71の裏側の中央部にN+領域76を設けて光電子を吸い出すようにしたことにより、深さ方向のほぼ全域にわたりバリア電界領域を形成

することができ、SiO2領域78を通した光入射で発生した光電子とホールを再結合す ることなく分離させ、光電子をN領域71からエネルギー準位の一段低いN+領域76へ 吸い出すことができるので、N領域71に光電子が滞留せず、光電変換効率の高い光電変 換半導体装置70が得られる。

11

また、裏面側に到達した入射光は外面電極81、82により再度、表面方向に反射され て可視光成分が光電子に変換されるので、これによっても変換効率が改善する。入射光の 遠赤外線成分は外面電極81、82により反射されて光電変換半導体装置70の表面から 外側に放出されるので、光電変換半導体装置70の設置台側が昇温せずに済み、冷却設備 の負担を軽減したり、変換効率の悪化防止をしたりすることができる。

光電変換半導体装置70のP+領域73、74、75の表面がグランド電位に固定され ることにより、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電 界領域とPN接合型バリア電界領域の全域の電位が固定されるので、光電変換半導体装置 70の周囲でサージ等の外乱が生じても、バリア電界領域のいずれの場所の電界も外乱の 影響を受けたり、N+領域76に蓄積した光電子がN領域71の側に戻ったりすることも なく、安定した光電変換動作を維持できる。

またP+領域73、74、75の表面がグランド電位に固定されることで、P+領域7 3の表側のごく表面近くと、74、75の裏側のごく表面近くの電界が零となり、この結 果、P+領域73、74、75のごく表面近くで熱エネルギーを吸収して伝導帯に上がっ た電子がその場で直ちに空孔と再結合するので、表面暗電流となって電荷電荷蓄積用の外 部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の向上を図ることがで きる。

【実施例4】

[0035]

図6を参照して本発明の第4実施例に係る光電変換半導体装置を説明する。

図6において、90は太陽光を受光して光起電力を発生する光電変換半導体装置であり 、上側が表側、下側が裏側であり、深さ方向は上から下へ向かう方向である。光電変換半 導体装置90には、断面がくし形(横向きH字状)のN領域91が設けられている。N領 域91の内、裏側表面を除く上側表面、側周面に接触しながら周囲を囲むようにしてP領 域92が設けられている。N領域91とP領域92の境界にPN接合面が形成されており

、PN接合面を挟んだ上下両側と左右両側にPN接合型バリア電界領域が形成される。

[0036]

P領域92の表外側にP領域92の表面に接触するようにして面方向に延設された表側 のP+領域93が設けられている。表側のP+領域93は光電変換半導体装置90の表側 表面近くでの光電子の再結合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型 バリア電界を生成するとともに、青色短波長の光に対する光電変換効率の改善をするため に設けられた領域である。P+領域93とP領域92との境界面を挟んだ上下両側に濃度 勾配型バリア電界領域が形成されている。

N領域91の裏側表面及びP領域92の裏側表面に接触するようにして面方向に沿って 延設された光電子吸出し用のN+領域94が設けられている。N+領域94の左右方向の 中央部はN領域91の裏側中央部に埋め込み状態となるように突出した突出部94aとな っている。N+領域94の光電子エネルギーレベルはN領域91より一段低く、N領域9 1に集まった光電子を吸い出す機能を有する。N領域91、P領域92、P+領域93、 N+領域94により、光電変換層95が構成されている。

[0037]

光電変換層95の表側には、P+領域93の表側の左右端部を除く表面に接触するよう にして透明な受光窓領域としての絶縁性のSiO2領域96が設けられている。SiO2 領域96の左側と右側には表側のP+領域93の表側表面の左右端部と導通した第1の極 性の外面電極97、98が設けられている。

光電変換層95の裏側には、N+領域94の中央部を除く裏外側に絶縁性のSiO2領域99、100が設けられており、このSiO2領域99、100の裏外側に、中央部で

N+領域94の裏外側表面と導通した第2の極性の外面電極101が設けられている。

12

【0038】

光電変換半導体装置90は、N領域91の左右方向の中央を通り、深さ方向に延びた対 称線C3から見て、N領域91、P領域92、P+領域93、N+領域94、外面電極9 7、98、101、SiO2領域96、99、100が左右線対称に形成されている。各 外面電極97、98、101は金属製である。外面電極101は光電変換半導体装置90 の裏側に到達した入射光の可視光成分を反射し、再度、光電変換させたり、入射光の遠赤 外成分を反射し、光電変換半導体装置90の表外側に放出させて光電変換半導体装置90 の昇温を抑制する機能を有する。

[0039]

光電変換半導体装置90の内、外面電極97、98はグランドに接続されており、グラ ンド電位に固定されている。一方、外面電極101とグランドとの間には電荷蓄積用の外 部容量30が接続されている。また、外部容量30にはスイッチ31を介して外部負荷3 2が接続されている。なお、光電変換半導体装置90の内部に電荷蓄積用の容量(図示せ ず)を形成し、この容量の両極をN+領域94に設けられた外面電極101とグランド間 に接続するようにしても良い。

[0040]

光電子のエネルギーレベルは表側のP+領域93が一番高く、P領域92、N領域91 、N+領域94の順に低くなる。

表側のS i O 2 領域96を通した入射光で発生した光電子(e-)とホール(h+)は、表側のP+P濃度勾配により生じる濃度勾配型バリア電界とPN接合の空乏層内に生じるPN接合型バリア電界により直ちに分離されるので、再結合することなく光電子はエネルギーレベルが一番低いN+領域94へ移動し、ホールはP+領域93へ移動する。

P+領域93に到達したホールは外面電極97、98より供給される電子と結合して消失する。スイッチ31が開のとき、N+領域94に到達した光電子はN+領域94、外面 電極101、外部容量300+極30aに蓄積される。図6の外部回路は、スイッチ31 を閉にすると、外部容量30に蓄積された光電子が外部負荷32に流れて、N+領域94 、外面電極101、外部容量300+極30aに蓄積された光電子がリセットされる例を 示す。

[0041]

光電変換半導体装置90の表側のP+領域93の表面がグランド電位に固定されること により、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電界領域 とPN接合の空乏層内に生じるPN接合型バリア電界領域の全域の電位が固定されるので 、光電変換半導体装置90の周囲でサージ等の外乱が生じても、バリア電界領域のいずれ の場所の電界も外乱の影響を受けたり、N+領域94に蓄積した光電子がN領域91の側 に戻ったりすることもなく、安定した光電変換動作を維持できる。

またP+領域93の表面がグランド電位に固定されることで、P+領域93の表側のご く表面近くの電界が零となり、この結果、P+領域93のごく表面近くで熱エネルギーを 吸収して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電流とな って電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一 層の向上を図ることができる。

[0042]

この第4実施例によれば、断面がくし形のN領域91をP領域92により囲み、深さ方 向に多層のPN接合面を形成し、更にP領域92の表側表面に再結合阻止用のP+領域9 3を設けるとともに、N領域91の裏側表面にN+領域94を設けて光電子を吸い出すよ うにしたことにより、深さ方向のほぼ全域にわたりバリア電界領域を形成することができ 、表側のSiO2領域96を通した光入射で発生した光電子とホールを再結合することな く分離させ、光電子をN領域91からエネルギー準位の一段低いN+領域94へ吸い出す ことができるので、N領域91に光電子が滞留せず、光電変換効率の高い光電変換半導体 装置90が得られる。

13

また、裏面側に到達した入射光は外面電極101により再度、表面方向に反射されて可 視光成分が光電子に変換されるので、これによっても変換効率が改善する。入射光の遠赤 外線成分は外面電極101により反射されて光電変換半導体装置90の表面から外側に放 出されるので、光電変換半導体装置90の設置台側が昇温せずに済み、冷却設備の負担を 軽減したり、変換効率の悪化防止をしたりすることができる。

また光電変換半導体装置90の表側のP+領域93の表面がグランド電位に固定される ことにより、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電界 領域とPN接合の空乏層内に生じるPN接合型バリア電界領域の全域の電位が固定される ので、光電変換半導体装置90の周囲でサージ等の外乱が生じても、バリア電界領域のい ずれの場所の電界も外乱の影響を受けたり、N+領域94に蓄積した光電子がN領域91 の側に戻ったりすることもなく、安定した光電変換動作を維持できる。

またP+領域93の表面がグランド電位に固定されることで、P+領域93の表側のご く表面近くの電界が零となり、この結果、P+領域93のごく表面近くで熱エネルギーを 吸収して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電流とな って電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一 層の向上を図ることができる。

【実施例5】

[0043]

図7、図8を参照して本発明の第5実施例に係る光電変換半導体装置を説明する。

図7において、110は太陽光を受光して光起電力を発生する光電変換半導体装置であ り、上側が表側、下側が裏側であり、深さ方向は上から下へ向かう方向である。光電変換 半導体装置110は、内部に断面がくし形のN領域111が設けられている。N領域11 1の裏側の中央部には裏側方向へ突設された突設部111aが形成されている。N領域1 11の内、裏側の突設部111aの裏側端面111bを除く裏側表面、表側表面、側周面 に接触しながら周囲を囲むようにしてP領域112が設けられている。P領域112の裏 側の中央部には突設部111aの側面周囲を囲むように一段裏側に突設した段差部112 aが形成されている。N領域111とP領域112の境界にPN接合面が形成されており 、PN接合面を挟んだ上下両側または左右両側にPN接合型バリア電界領域が形成される

[0044]

P領域112の表外側にP領域112の表面に接触するようにして面方向に延設された 表側のP+領域113が設けられている。表側のP+領域113は光電変換半導体装置1 10の表側表面近くでの光電子の再結合を抑制するため、P+Pの濃度勾配により生じる 濃度勾配型バリア電界を生成するとともに、青色短波長の光に対する光電変換効率の改善 をするために設けられた領域である。P+領域113とP領域112との境界面を挟んだ 上下両側に濃度勾配型バリア電界領域が形成されている。

[0045]

P領域112の裏外側の内、段差部112aの裏側端面112bを除くP領域112の 裏側表面に接触するようにして面方向に沿ってP+領域114、115が設けられている 。P+領域114、115は光電変換半導体装置110の裏側表面近くでの光電子の再結 合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型バリア電界を生成するため に設けられた領域である。P+領域114、115とP領域112との境界面を挟んだ上 下両側に濃度勾配型バリア電界領域が形成されている。

N領域111の裏側の中央部に接触するようにして光電子吸出し用のN+領域116が 設けられている。具体的には突設部111aにN+領域116が埋め込み状態で設けられ ている。N+領域116の光電子エネルギーレベルはN領域111より一段低く、N領域 111に集まった光電子を吸い出す機能を有する。P+領域114、115、段差部11 2aの裏側端面112b、突設部111aの裏側端面111b、N+領域116の裏側端 面116aは受光主面に平行な平面を成す。N領域111、P領域112、P+領域11 3、114、115、N+領域116により、光電変換層117が構成されている。 [0046]

光電変換層117の表側には、P+領域113の表側の左右端部を除く表面に接触する ようにして透明な受光窓領域としての絶縁性のSiO2領域118が設けられている。S iO2領域118の左側と右側には表側のP+領域113の表側表面の左右端部と導通し た第1の極性の外面電極119、120が設けられている。

光電変換層117の裏側には、P+領域114の左右端部を除く裏外側に、P+領域1 14の表面と導通した第1の極性の外面電極121、P+領域115の左右端部を除く裏 外側に、P+領域115の表面と導通した第1の極性の外面電極122が設けられている 。またN+領域116の裏外側に、N+領域116の表面と導通した第2の極性の外面電 極123が設けられている。光電変換層117の左右側面には絶縁性のSiO2領域12 4、125が設けられている。光電変換層117の裏側の外面電極121、122、12 3以外の外面には絶縁性のSiO2領域126、127が設けられている。

[0047]

光電変換半導体装置110は、N領域111の左右方向の中央を通り、深さ方向に延び た対称線C4から見て、N領域111、P領域112、P+領域113、114、115 、N+領域116、外面電極119、120、121、122、123、SiO2領域1 18、124、125、126、127が左右線対称に形成されている。各外面電極11 9、120、121、122、123は金属製である。外面電極121、122は光電変 換半導体装置110の裏側に到達した入射光の可視光成分を反射し、再度、光電変換させ たり、入射光の遠赤外成分を反射し、光電変換半導体装置110の表外側に放出させて光 電変換半導体装置110の昇温を抑制する機能を有する。

[0048]

光電変換半導体装置110の内、外面電極119、120、121、122はグランド に接続されており、グランド電位に固定されている。一方、外面電極123とグランドと の間には電荷蓄積用の外部容量30が接続されている。また、外部容量30にはスイッチ 31を介して外部負荷32が接続されている。なお、光電変換半導体装置70の内部に電 荷蓄積用の容量(図示せず)を形成し、この容量の両極をN+領域116に設けられた外 面電極123とグランド間に接続するようにしても良い。

[0049]

光電子のエネルギーレベルは表側及び裏側のP+領域113、114、115が一番高 く、内部のP領域112、N領域111、裏側のN+領域116の順に低くなる。

表面側のSiO2領域118を通した入射光で発生した光電子(e-)とホール(h+)は、表側及び裏側のP+P濃度勾配により生じる濃度勾配型バリア電界とPN接合の空 乏層内に生じるPN接合型バリア電界により直ちに分離されるので、再結合することなく 光電子はエネルギーレベルが一番低いN+領域116へ移動し、ホールはP+領域113、114、115へ移動する。

P+領域113、114、115に到達したホールは外面電極119、120、121 、122により供給される電子と結合して消失する。スイッチ31が開のとき、N+領域 116に到達した光電子はN+領域116、外面電極123、外部容量300+極30a に蓄積される。図7の外部回路は、スイッチ31を閉にすると、外部容量30に蓄積され た光電子が外部負荷32に流れて、N+領域116、外面電極123、外部容量300+ 極30aに蓄積された光電子がリセットされる例を示す。

[0050]

光電変換半導体装置110の表側のP+領域113、裏側のP+領域114、115の 表面がグランド電位に固定されることにより、表側及び裏側表面近くのP+P濃度勾配に より生じる濃度勾配型バリア電界領域とPN接合の空乏層内に生じるPN接合型バリア電 界領域の全域の電位が固定されるので、光電変換半導体装置110の周囲でサージ等の外 乱が生じても、バリア電界領域のいずれの場所の電界も外乱の影響を受けたり、N+領域 116に蓄積した光電子がN領域111の側に戻ったりすることもなく、安定した光電変 換動作を維持できる。

またP+領域113、114、115の表面がグランド電位に固定されることで、P+ 領域113の表側のごく表面近くと、114、115の裏側のごく表面近くの電界が零と なり、この結果、P+領域113、114、115のごく表面近くで熱エネルギーを吸収 して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電流となって 電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の 向上を図ることができる。

15

[0051]

この第5実施例によれば、P領域112によりN領域111の周囲を囲み、深さ方向に 多層のPN接合面を形成し、更にP領域112の表裏両側の表面に再結合阻止用のP+領 域113、114、115を設けるとともに、N領域111の裏側の中央部にN+領域1 16を設けて光電子を吸い出すようにしたことにより、深さ方向のほぼ全域にわたりバリ ア電界領域を形成することができ、SiO2領域118を通した光入射で発生した光電子 とホールを再結合することなく分離させ、光電子をN領域111からエネルギー準位の一 段低いN+領域116へ吸い出すことができるので、N領域111に光電子が滞留せず、 光電変換効率の高い光電変換半導体装置110が得られる。

また、裏面側に到達した入射光は外面電極121、122により再度、表面方向に反射 されて可視光成分が光電子に変換されるので、これによっても変換効率が改善する。入射 光の遠赤外線成分は外面電極121、122により反射されて光電変換半導体装置110 の表面から外側に放出されるので、光電変換半導体装置110の設置台側が昇温せずに済 み、冷却設備の負担を軽減したり、変換効率の悪化防止をしたりすることができる。

光電変換半導体装置110のP+領域113、114、115の表面がグランド電位に 固定されることにより、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型 バリア電界領域とPN接合型バリア電界領域の全域の電位が固定されるので、光電変換半 導体装置110の周囲でサージ等の外乱が生じても、バリア電界領域のいずれの場所の電 界も外乱の影響を受けたり、N+領域116に蓄積した光電子がN領域111の側に戻っ たりすることもなく、安定した光電変換動作を維持できる。

またP+領域113、114、115の表面がグランド電位に固定されることで、P+ 領域113の表側のごく表面近くと、114、115の裏側のごく表面近くの電界が零と なり、この結果、P+領域113、114、115のごく表面近くで熱エネルギーを吸収 して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電流となって 電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効率の一層の 向上を図ることができる。

【実施例6】

[0052]

図9を参照して本発明の第6実施例に係る光電変換半導体装置を説明する。

図9において、130は太陽光を受光して光起電力を発生する光電変換半導体装置であ り、上側が表側、下側が裏側であり、深さ方向は上から下へ向かう方向である。光電変換 半導体装置130は内部に後述する光電変換層(符号145参照)を有している。

光電変換層131には断面が逆T字状のN領域140が設けられている。N領域140 の表側中央部には表側方向へ突設された突設部140aが形成されている。N領域140 の内、表側の突設部140aの表側端面140bを除く表側表面に、N領域140の表面 に接触するようにして表側のP領域141が設けられており、N領域140の裏側に、N 領域140の表面に接触するようにして裏側のP領域142が設けられている。表側のP 領域141には突設部140aの側面周囲を囲むように一段表側に突設した段差部141 aが形成されている。N領域140とP領域141、142の境界にPN接合面が形成さ れており、PN接合面を挟んだ上下両側にPN接合型バリア電界領域が形成される。

[0053]

表側のP領域141の内、段差部141aの表側端面141bを除く表側と側面側、N 領域140の側面側、裏側のP領域142の裏側と側面側を囲むようにして、P+領域1 43が設けられている。N領域140の突設部140aには、N領域140に接触するよ

16

うにしてN+領域144が埋め込み状態で設けられている。P+領域143、段差部14 1a、突設部140a、N+領域144の表側は受光主面に平行な平面を成す。N領域1 40、P領域141、142、P+領域143、N+領域144により、光電変換層14 5が構成されている。P+領域143は光電変換半導体装置130の表側表面近くでの光 電子の再結合を抑制するため、P+Pの濃度勾配により生じる濃度勾配型バリア電界を生 成するとともに、青色短波長の光に対する光電変換効率の改善をするために設けられた領 域である。P+領域143とP領域141、142との境界面を挟んだ上下両側に濃度勾 配型バリア電界領域が形成されている。

[0054]

光電変換層145の表側表面に接触するようにして透明な受光窓領域としての絶縁性の SiO2領域146が設けられている。SiO2領域146の左右端部近くにはP+領域 143の表側表面の左右端部と導通した第1の極性の外面電極147、148が設けられ ており、SiO2領域146の中央に埋め込むようにしてN+領域144の表側表面と接 触する第2の極性の外面電極149が設けられている。光電変換層145の裏側及び側面 側を囲むようにして、第2のN領域150が設けられており、更に第2のN領域150の 裏側に第2のN+領域151が設けられている。第2のN+領域151の裏側に金属製反 射領域152が設けられている。

[0055]

光電変換半導体装置130は、N領域140の左右方向の中央を通り、深さ方向に延び た対称線C5から見て、N領域140、P領域141、142、P+領域143、N+領 域144、外面電極147、148、149、SiO2領域146、第2のN領域150 、第2のN+領域151、金属製反射領域152が左右線対称となっている例を示す。各 外面電極147、148、149は金属製である。金属製反射領域152は、光電変換半 導体装置130の裏側に到達した入射光の可視光成分を反射し、再度、光電変換させたり 、入射光の遠赤外成分を反射し、光電変換半導体装置130の表外側に放出させて光電変 換半導体装置130の昇温を抑制する機能を有する。

[0056]

光電変換半導体装置130の内、外面電極147、148と金属製反射領域152はグ ランドに接続されており、グランド電位に固定されている。一方、外面電極149とグラ ンドとの間には電荷蓄積用の外部容量30が接続されている。また、外部容量30にはス イッチ31を介して外部負荷32が接続されている。なお、光電変換半導体装置130の 内部に電荷蓄積用の容量(図示せず)を形成し、この容量の両極をN+領域144に設け られた外面電極149とグランド間に接続するようにしても良い。

[0057]

光電変換層145での光電子のエネルギーレベルはP+領域143が一番高く、P領域141、142、N領域140、N+領域144の順に低くなる。

表面側のSiO2領域146を通した入射光で発生した光電子(e-)とホール(h+)は、表側及び裏側のP+P濃度勾配により生じる濃度勾配型バリア電界とPN接合の空 乏層内に生じるPN接合型バリア電界により直ちに分離されるので、再結合することなく 光電子はエネルギーレベルが一番低いN+領域144へ移動し、ホールはP+領域143 へ移動する。

P+領域143に到達したホールは外面電極147、148より供給される電子と結合 して消失する。スイッチ31が開のとき、N+領域144に到達した光電子はN+領域1 44、外面電極149、外部コンデンサ30の+極30aに蓄積される。図9の外部回路 は、スイッチ31を閉にすると、外部容量30に蓄積された光電子が外部負荷32に流れ て、N+領域144、外面電極149、外部容量30の+極30aに蓄積された光電子が リセットされる例を示す。

[0058]

光電変換半導体装置130のP+領域143の表側表面がグランド電位に固定されることにより、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電界領
整理番号:P0I-202001 特願2020-131313 (Proof) 提出日:令和 2年 8月 1日

域とPN接合の空乏層内に生じるPN接合型バリア電界領域の全域の電位が固定されるの で、光電変換半導体装置130の周囲でサージ等の外乱が生じても、バリア電界領域のい ずれの場所の電界も外乱の影響を受けたり、N+領域144に蓄積した光電子がN領域1 40の側に戻ったりすることもなく、安定した光電変換動作を維持できる。

17

またP+領域143の表面がグランド電位に固定されることで、P+領域143の表側 のごく表面近くの電界が零となり、この結果、P+領域143のごく表面近くで熱エネル ギーを吸収して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表面暗電 流となって電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、変換効 率の一層の向上を図ることができる。

[0059]

この第6実施例によれば、光電変換半導体装置130の内部に設けた光電変換部145 の中にN領域140に設け、N領域140の表側中央部を除く表側と裏側にP領域141 、142を設け、表側のP領域141の段差部141aの表側端面141bを除く表側と 側面側、N領域140の側面側、裏側のP領域142の裏側と側面側を囲むようにしてP +領域143を設けるとともに、N領域140の表側の中央にN+領域144を設けて光 電子を吸い出すようにしたことにより、深さ方向のほぼ全域にわたり空乏層を形成し、S iO2領域146を通した光入射で発生した光電子とホールを再結合することなく分離さ せ、光電子をN領域140からエネルギーレベルの一段低いN+領域144へ吸い出すこ とができるので、N領域140に光電子が滞留せず、光電変換効率の高い光電変換半導体 装置130が得られる。

また、裏面側に到達した入射光は金属製反射領域152により再度、表面方向に反射されて可視光成分が光電子に変換されるので、これによっても変換効率が改善する。入射光の遠赤外線成分は金属製反射領域152により反射されて光電変換半導体装置130の表面から外側に放出されるので、光電変換半導体装置130の設置台側が昇温せずに済み、 冷却設備の負担を軽減したり、変換効率の悪化防止をしたりすることができる。

また光電変換半導体装置130のP+領域143の表側表面がグランド電位に固定され ることにより、表側及び裏側表面近くのP+P濃度勾配により生じる濃度勾配型バリア電 界領域とPN接合の空乏層内に生じるPN接合型バリア電界領域の全域の電位が固定され るので、光電変換半導体装置130の周囲でサージ等の外乱が生じても、バリア電界領域 のいずれの場所の電界も外乱の影響を受けたり、N+領域144に蓄積した光電子がN領 域140の側に戻ったりすることもなく、安定した光電変換動作を維持できる。

またP+領域143の表面がグランド電位に固定されることで、P+領域143の表側 のごく表面近くの電界が零となり、この結果、P+領域143の表側のごく表面近くで熱 エネルギーを吸収して伝導帯に上がった電子がその場で直ちに空孔と再結合するので、表 面暗電流となって電荷電荷蓄積用の外部容量30を放電させてしまう恐れが少なくなり、 変換効率の一層の向上を図ることができる。

【実施例7】

$\begin{bmatrix} 0 & 0 & 6 & 0 \end{bmatrix}$

図10を参照して本発明の第7実施例に係る光電変換半導体装置を説明する。

図10において、160は太陽光を受光して光起電力を発生する光電変換半導体装置で あり、上側が表側、下側が裏側であり、深さ方向は上から下へ向かう方向である。光電変 換半導体装置160は図9の光電変換半導体装置130と同一構成の光電変換部161、 162、163を左右方向に一体的に併設した構成を有している。各光電変換部161、 162、163の構造及び働きは図9の光電変換半導体装置130と同様である。

[0061]

光電変換部161の外面電極147、148はグランドと接続されており、外面電極1 49は電荷蓄積用の第1の外部容量331の+極331aと接続されている。光電変換部 162の外面電極147、148は外部容量331の+極331aと接続されており、外 面電極149は電荷蓄積用の第2の外部容量3320+極332aと接続されている。光 電変換部163の外面電極147、148は外部容量3320+極332aと接続されて 整理番号:P0I-202001 特願2020-131313 (Proof) 提出日:令和 2年 8月 1日 18/E

おり、外面電極149は電荷蓄積用の第3の外部容量333の+極332aと接続されている。第3の外部容量333にはスイッチ31を介して外部負荷32が接続されている。 【0062】

図10の如く構成された光電変換半導体装置160によれば、光電変換部161、16 2、163の一つ当たりの光起電圧の3倍の電圧を外部負荷32に印加することが可能と なる。

【産業上の利用可能性】

[0063]

本発明は、太陽光を入射して電気エネルギーに変換する太陽電池用の光電変換半導体装置に適用可能である。

- 【符号の説明】
 - [0064]
- 1 光電変換半導体装置
- 2 表側のP+領域
- 3 表側のP領域
- 4 N領域
- 5 裏側のP領域
- 6 裏側のP+領域
- 9、10、12 外面電極
- 11 N+領域
- 30 外部容量

【書類名】特許請求の範囲

【請求項1】

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に、表側から裏側に向かう深さ方向にN領域の表裏両側を表側の P領域及び裏側のP領域で挟み、更に当該表側のP領域の表側と裏側のP領域の裏側を、

P+Pの濃度勾配により生じる濃度勾配型バリア電界生成用の表側のP+領域と裏側のP +領域とで挟んだP+PNPP+接合部を設け、

前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第 1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、該裏側のP+領域の表面と導通した第1の極性の外面電 極を設け、

前記N領域の深さ方向の中央部に、該N領域と接触するようにして光電子吸出し用のN +領域を設け、

前記N+領域の外側に、該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置内部または外部に設けた電荷蓄積用の容量を接続したこと

を特徴とする光電変換半導体装置。

【請求項2】

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内にN領域を設け、

該N領域の裏側左右端部近くの一部を除く表側、裏側、側面側を囲むようにしてP領域 を設け、

該P領域の表側に、該P領域の表面に接触するようにして表側のP+領域を設け、

前記P領域の裏側に、該P領域の表面に接触するようにして裏側のP+領域を設け、

前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第 1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、該裏側のP+領域の表面と導通した第1の極性の外面電 極を設け、

前記N領域の裏側の左右端部近くに、当該N領域と接触するようにして光電子吸出し用のN+領域を設け、

N+領域の裏側に、当該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、

を特徴とする光電変換半導体装置。

【請求項3】

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に設けたN領域の裏側中央部を除く表側、裏側、側面側を囲むようにしてP領域を設け、

該P領域の表側に、該P領域の表面に接触するようにして表側のP+領域を設け、 前記P領域の裏側に、該P領域の表面に接触するようにして裏側のP+領域を設け、

前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第

1の極性の外面電極を設け、

前記裏側のP+領域の裏側に、当該裏側のP+領域の表面と導通した第1の極性の外面 電極を設け、

前記N領域の裏側の中央部に、当該N領域に接触するようにして光電子吸出し用のN+ 領域を設け、

N+領域の裏側に、当該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグラン

を特徴とする光電変換半導体装置。

【請求項4】

面側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に設けた断面がくし形のN領域の裏側を除く表側と側面側を囲む ようにしてP領域を設け、

該P領域の表側に、該P領域の表面に接触するようにしてP+領域を設け、

該P+領域の表側に、受光窓領域及び当該P+領域の表面と導通した第1の極性の外面 電極を設け、

前記N領域の裏側に、該N領域と接触するようにして光電子吸出し用のN+領域を設け

N+領域の裏側に、当該N+領域と導通した第2の極性の外面電極を設け、

第1の極性の外面電極をグランドに接続し、第2の極性の外面電極とグランドの間に、

光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、 を特徴とする光電変換半導体装置。

【請求項5】

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に設けた断面がくし形のN領域の裏側中央部を除く表側、裏側、 側面側を囲むようにしてP領域を設け、

該P領域の表側に、該P領域の表面に接触するようにして表側のP+領域を設け、 前記P領域の裏側に、該P領域の表面に接触するようにして裏側のP+領域を設け、

- 前記表側のP+領域の表側に、受光窓領域及び当該表側のP+領域の表面と導通した第 1の極性の外面電極を設け、
- 前記裏側のP+領域の裏側に、当該裏側のP+領域の表面と導通した第1の極性の外面 電極を設け、

前記N領域の裏側の中央部に、該N領域と接触するようにして光電子吸出し用のN+領域を設け、

N+領域の裏側に、該N+領域と導通した第2の極性の外面電極を設け、

前記各第1の極性の外面電極をグランドに接続し、前記第2の極性の外面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容量を接続したこと、

を特徴とする光電変換半導体装置。

【請求項6】

表側から入射した太陽光を光電変換する光電変換半導体装置であって、

光電変換半導体装置内に光電変換層を設け、

この光電変換層は、

光電変換半導体装置内に設けたN領域と、

該N領域の表側中央部を除く表側に、当該N領域の表面に接触するようにして設けた表 側のP領域と、

前記N領域の裏側に、当該N領域の表面に接触するようにして設けた裏側のP領域と、 前記表側のP領域の表側の全部または一部と側面側、前記N領域の側面側、前記裏側の P領域の裏側と側面側を囲むようにして設けたP+領域と、

前記N領域の表側の中央部に、当該N領域と接触するようにして設けた表側のN+領域と、

を含み、

前記光電変換部の表側に、受光窓領域と、前記P+領域の表面と導通した第1の極性の 外面電極と、前記N+領域と導通した第2の極性の外面電極を設け、

前記P+領域の裏側に、第2のN領域と第2のN+領域の内、少なくとも一方を介して 金属製反射領域を設け、

2

整理番号:P0I-202001 特願2020-131313 (Proof) 提出日:令和 2年 8月 1日 3/E

前記第1の極性の外面電極と金属製反射領域をグランドに接続し、前記第2の極性の外 面電極とグランドの間に、光電変換半導体装置の内部または外部に設けた電荷蓄積用の容 量を接続したこと、

を特徴とする光電変換半導体装置。

【書類名】要約書

【要約】

【課題】 光電変換の効率を改善する。

光電変換半導体装置の深さ方向にN領域4の表裏をP領域3、5で挟み、 【解決手段】 更にP領域3の表側とP領域5の裏側を、濃度勾配型バリア電界生成用のP+領域2とP +領域6で挟んだP+PNPP+接合部7を設ける。P+領域2の表側に受光窓領域8、 第1の極性の外面電極9、P+領域6の裏側に第1の極性の外面電極10を設ける。N領 域4の深さ方向の中央部に光電子吸出し用のN+領域11を設け、N+領域11の外側に 第2の極性の外面電極12を設ける。第1の極性の外面電極9、10をグランドに接続し 、第2の極性の外面電極12とグランドの間に、電荷蓄積用の容量30を接続する。

【選択図】 図1 【書類名】図面 【図1】

















インバーキュ(キエのvJ公解、b-b -ə 電子エネルギー -ə 11 £ a _ə -ə -Si02 , P a ЧI I ¦ | പ Ч Ч Ъ, e B -|1 ٦, L σ p-p, 線沿いのエネルギーバンド 入射光 </ a-a' 線沿いのエネルギーバンド Si 02 S i 02 e-Ч T T Ъ ۵ Z e-7 + + --z <u>|</u> | e e l **0** - -1 e l 入射光 □ ٩ ÷ e-/ S i 02 e l S i 02 т -11 P ł ٩ Ц I \leftarrow \leq Si02-1 電子エネルギー 電子エネルギー i a q \wedge 電子エネルギー eeee-

c-c'線沿いのエネルギーバンド





受領書

令和 2年 8月 1日 特 許 庁 長 官

識別番号	$1\ 0\ 0\ 0\ 8\ 8\ 0\ 6\ 3$
氏名(名称)	坪内 康治

様

以下の書類を受領しました。

項番 書類名 整理番号 受付番号 提出日 出願番号通知(事件の表示) アクセスコード
 1 特許願 P0I-202001 52001570682 令 2.8.1 特願2020-131313 CDE7
 以 上

PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf

 $\label{eq:split} 3_JP1975\mathchar`127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf$

 $4_JP1975‐127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf$

 $5_JP1975‐134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf$

6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf

 $7_JP2014 \text{-} 135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf$

8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf

9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf

10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf

 $11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf$

 $12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf$

13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf

 $14_P2017_CoolChips_Panel_170419_29_pages.pdf$

15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf 16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf Proceeding of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, Volume 18 (1979) Supplement 18-1, pp.335-340

A 380H × 488V CCD Imager with Narrow Channel Transfer Gates

Yoshiaki Daimon-HAGIWARA, Motoaki ABE[†] and Chikao OKADA[†]

Sony Corporation Research Center, Yokohama 240 [†]Semiconductor Development Division, Yokohama 240

The original P+NP junction type Pinned Photodiode Paper reporting the excellent Blue light sensitivity and the very low dark current level of the Pinned Photodiode image sensor.

Proceeding of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, Volume 18 (1979) Supplement 18-1, pp.335-340



Fig.3 Cross sectional view of the Narrow Channel Transfer Electrode with the SiO2 exposed Pinned Window and the Pinned Photodiode P+ surface.







Fig.13 Spectral Response of the Pinned Photodiode without image signal gives the very with Pinned SiO2 Window and Pinned Surface. low dark current level at retrace time.

Proceedings of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, Volume 18 (1979) Supplement 18-1, pp. 335-340

A 380H × 488V CCD Imager with Narrow Channel Transfer Gates

Yoshiaki Daimon-HAGIWARA, Motoaki ABE[†] and Chikao OKADA[†]

Sony Corporation Research Center, Yokohama 240 [†]Semiconductor Development Division, Yokohama 240

When the channel width of an FET becomes of the same order of magnitude as the depth of the gate depletion region, an increase of threshold voltage is observed. This narrow-channel effect has been applied successfully in creating an asymmetric potential well under an electrode for two phase CCD operations. The feasibility of this new structure has been confirmed in a 242 element analog delay line and the application is now extended to a 380H × 488V CCD Imager. In the constructed B/W CCD camera,

§1. Introduction

When the channel width of an FET becomes of the same order of magnitude as the depth of the gate depletion region, an increase of threshold voltage is observed. 1, 2) This narrow channel effect has been applied successfully in creating an asymmetrical potential well under an electrode for two phase CCD operations. The feasibility of this new structure has been confirmed in a 242 element analog delay line 3) and the application is now extended to a $380H \times 488V$ CCD Imager. Figure 1 shows the



Fig. 1. The block diagram of a 380 H×488 V CCD imager in frame transfer organization.

block diagram of the CCD Imager. The device has been organized for a frame transfer CCD. It consists of 380×244 bit imaging area, $380 \times$ 244 bit storage area, and 380 bit horizontal shift register. The chip size of the device is 10.1 mm × 14.6 mm in which the imaging area is 8.8 mm × 6.6 mm determined by 2/3-inch picture format of the optical system. The transfer efficiency of the vertical and horizontal shift registers are more than 99.995% per transfer. And high image resolution of 280 TV lines/p.h. (Horizontal) and 350 TV lines/p.h. (Vertical) have been obtained.

The typical dark current level is less than 3%of the maximum signal level at the room temperature of 20°C. The spectral response of the imager shows that this inherently SiO₂ exposed structure has high enough quantum efficiency at 450 nm wavelength and functions as a color imager with high sensitivity.

§2. Device Structure

Figure 2 shows cross sectional views of the electrode for two phase CCD structure. For the structure fabricated, each electrode of the horizontal readout register has one large storage region of 70 μ m width and seven narrow-channel transfer regions of 3 μ m width. The channel lengths of the storage and transfer parts of the electrode are 7 μ m and 5 μ m respectively. Each electrode of the vertical shift register has one large storage region of 3 μ m width. The channel transfer has one large storage region of 18 μ m width and one narrow-channel transfer region of 3 μ m width. The channel storage and transfer region of the storage and transfer region of the storage and transfer region of the storage and transfer parts of the storage and transfer region of 3 μ m width. The channel lengths of the storage and transfer parts of the electrode are 8 μ m and 6 μ m respectively. The width of the channel stop between vertical registers is



Fig. 2. Top and cross sectional views of the electrode for two phase CCD structure.

6 µm.

The unit cell of vertical registers is $24 \ \mu m \times 14 \ \mu m$. In the imaging area, an SiO₂ exposed window of $21 \ \mu m \times 6 \ \mu m$ is used as the photosensor window with high sensitivity at 450 nm wavelength. Figure 3-5 show the photograph of the device, the unit cell of the imaging area, and the horizontal readout shift register.

§3. Device Fabrication

The device is fabricated in buried-channel version on a p-type (100) oriented, 10-20 ohmcm silicon substrate with standard double-layer overlapping polysilicon gate definitions. A first level of phosphorus-doped polysilicon is deposited onto an oxidized silicon wafer and defined to form the first set (H1, St1, and Im1) of electrodes. The exposed oxide is then removed and a new gate oxide is thermally grown. Subsequently, the second set (H2, St2, and Im2) of electrodes are formed by the



Fig. 3. Photomicrograph of the 380 H×488 V CCD imager. The chip size is 14.6 mm by 10.1 mm.

second level of polysilicon deposition. Then, using the polysilicon patterning as an ion im-

336

A 380 H×488 V CCD Imager with Narrow Channel Transfer Gates



Fig. 4. SiO₂ exposed photo-sensor window of 21 μm × 6 μm located in the unit cell of 24 μm × 14 μm. The width of the narrow channel is 3 μm throughout the device. The electrode overlap is 2 μm.



Fig. 5. The horizontal readout register with 14 μmpitch-per bit electrode structure.

plantation mask, boron ions with the dose level of 2×10^{13} cm⁻² are implanted into the silicon substrate throughout the exposed portions of the thermally grown oxide. This step provides self-aligned channel stops which surround the narrow-channel transfer part of each electrode. The gate oxide thickness is 130 nm throughout the device. Phosphorus doped polysilicon with the sheet resistivity of 50– 70 ohm/M and the thickness of 500 nm is used for the gate electrode structure. To eliminate oxidation-induced stacking faults and other generation-recombination centers, high density (more than 1×10^{20} /cm³) phosphorus gettering at 1100 °C and HCl oxidation were employed. The typical dark current level is less than 5 nA/ cm². For the particular device reported in this paper, the ion implantation dose of the buried channel is taken to be 1.7×10^{12} cm⁻².

§4. Imager Characteristics

The transfer efficiency of the vertical and horizontal shift registers are more than 99.995% per transfer. And high image resolution of 280 TV lines/p.h. (Horizontal) and 350 TV lines/ p.h. (Vertical) have been obtained. See Fig. 6–8. Operating conditions of the CCD imager are listed in Table I. As seen in Fig. 9 of the actual measured channel potentials plotted against the gate voltage for the buried channel version, no clock overlap is necessary both for the vertical and horizontal shift registers. This simplifies drastically the construction of a



Fig. 6. A TV picture of a resolution chart. The maximum resolution seen in the picture are 280 TV lines/p.h. (Horizontal) and 350 TV lines/p.h. (Vertical).

Table T



Fig. 7. A TV picture of a multi burst chart. The maximum resolution is near 4 MHz burst lines.



Fig. 8. A TV picture of an image.

able I.	Operating	conditions	10	the	CCD	imager.
	200		-	12		

Integration time	16 msec
Vertical clock voltage	from -2 volt
	to -12 volt
Frame shift frequency	14.31818 MHz/32
	=447.4 KHz
Line shift frequency	15.7 KHz
Horizontal clock voltage	from 3 volt
	to -12 volt
Readout frequency	14.31818 MHz/2
	=7.15909 MHz
Interlace	2:1

timing system for the imager. See Fig. 10. The electrode voltages of the vertical registers in the imaging area are set off at -12 volt except the time of frame-shift. At this voltage, the surface of the narrow channel transfer regions is at accumulation, and also the channel conductance of the narrow channel is very low. This mechanism seems working for antiblooming. This effect has been verified as seen in the picture taken against the light coming through the laboratory window. See Fig. 11.

The dark current level is less than 3% of the maximum signal level at the room temperature of 20°C. The waveforms of the signal output from the horizontal readout register are shown in Fig. 12. The 380 bit horizontal register shifts



Fig. 9. The actual measured channel potentials plotted against the gate voltage for the buried channel version. The curve fitting with the simple relations by depletion approximation gives the effective values of X_j, ND and QD as seen in the figure.

A 380 H×488 V CCD Imager with Narrow Channel Transfer Gates



Fig. 10. The timing diagram of the imager.



Fig. 11. TV pictures of scenes against light. Antiblooming effects seem working. The maximum light intensity through the lab-window corresponds to about ten times of the maximum handling charge of the imager.



Fig. 12. The output wave forms of the horizontal readout register at the tailing end of a TV picture line, that is, right before the horizontal retrace time. The comparison of the output levels with and without image signal gives the dark current level of the imager.



Fig. 13. Spectral Response of the photosensors.

389 bits for each TV picture line. Hence, the last 9 bits of the output do not contain the image information nor dark current of the vertical registers.

The spectral response of the imager is also analyzed and reported in Fig. 13. Effective window size is $24 \ \mu m \times 14 \ \mu m$ at 700 μm wavelength and $21 \ \mu m \times 6 \ \mu m$ at 400 nm wavelength. Measurements were performed by reading the signal output of the imager while imaging a monocromatic spot light. It is expected that this inherently SiO₂ exposed structure has high enough quantum efficiency at 450 nm wavelength and functions as a color imager with high sensitivity and resolution when the smearing problem assosiated with the frame-transfer organization itself, is solved by use of a mechanical shutter.

§5. Summary

The feasibility of the narrow transfer channel CCD structure is confirmed by the realization of 380H×488V CCD Imager with frame transfer organization. The transfer efficiency of

100

the vertical and horizontal shift registers are more than 99.995%. And high image resolution of 280 TV lines/p.h. (Horizontal) and 350 TV lines/p.h. (Vertical) have been obtained. The typical dark current level is less than 3% of the maximum signal level at the room temperature of 20°C. It is expected that this inherently SiO_2 exposed structure has high enough quantum efficiency at 450 nm wavelength and functions as a color imager with high sensitivity and resolution.

Acknowledgement

The authors express their sincere gratitude to Ikuko Sakamoto for her assistance in the device pattern layout, Yasuo Nakata in the spectralresponse measurements, and Masamichi Sakamoto in the device fabrication. Critical comments and constructive discussions with S. Ochi, Y. Kanoh, T. Ando and H. Yamasaki are deeply appreciated. Special thanks are due to H. Yoshida, Y. Kawana and M. Kikuchi for their encouragement and valuable suggestions throughout the course of this work.

References

- K. E. Kroell and G. K. Ackermann: "Threshold Voltage of Narrow Channel Field Effect Transistors," Solid State Electronics 19 (1976) 77.
- K. O. Jeppson: "Influence of the Channel Width on the Threshold Voltage Modulation in MOSFETS," Electronics Letters, 10th of July (1975) Vol. 11, No. 14.
- Yoshiaki Daimon-Hagiwara: "Two Phase CCD with Narrow-Channel Transfer Regions," Proc. of the 9th Conf. on Solid State Devices, Tokyo, 1977; JJAP, Vol. 17 (1978) Supplement 17–1, pp. 255–261.

PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

 $\label{eq:linear} 2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf$

 $\label{eq:split} 3_JP1975\mathchar`127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf$

 $4_JP1975 \hbox{-} 127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf$

 $5_JP1975‐134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf$

6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf

 $7_JP2014 \text{-} 135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf$

8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf

9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf

 $10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf$

 $11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf$

 $12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf$

13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf

14_P2017_CoolChips_Panel_170419_29_pages.pdf

15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf

 $16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf$

High-Density and High-Quality Frame Transfer CCD Imager with Very Low Smear, Low Dark Current, and Very High Blue Sensitivity

Yoshiaki Hagiwara, Member, IEEE

Abstract—When the channel width of an FET becomes of the same order of magnitude as the depth of the gate depletion region, an increase of the threshold voltage is observed. This narrow channel effect has been applied successfully in creating an asymmetric potential well under an electrode for two-phase CCD operation. The feasibility of this structure has been confirmed in a 242-element analog delay line. The application is now extended to a 800 H \times 492 V frame transfer-type buried channel CCD imager with 14.31818 MHz frame shift, which results in a very low smear level of 0.01%, which is good enough for low-cost multimedia video camera applications.

I. INTRODUCTION

Since their introduction in the 1970's, CCD sensors have improved dramatically. CCD's, however, have a number of disadvantages in multimedia applications. Ackland emphasized the potential application of CMOS sensors with built-in current amplification by source-follower MOS circuit [1]. He dealt mainly with the comparison between the interline transfer CCD sensors and the CMOS sensors. In his report, the quoted CCD charge transfer efficiency is 99.95%, which is a very low value, and very unrealistic. Moreover, in CMOS sensors, one has to remember that the built-in amplifier also amplifies the fixed-pattern noise in each picture element. The signal-tofixed-pattern-noise ratio had been a very critical issue.

Moreover, in the author's early paper [2], the author reported that the charge transfer efficiency was higher than 99.998%, which is much higher than the value quoted by Ackland [1]. The value of the charge transfer efficiency is still improving. The author believes the charge loss per BCCD charge transfer will be less than 0.0001% in the future. Moreover, the clock amplitude in the actual CCD operations is also constantly decreasing for power savings [3]–[6]. Besides, the CCD is also fabricated as one modification of a CMOS process, and the CMOS random logic circuits can be incorporated in the process similar to the DRAM, fast SRAM [7], and logic blocks. The analog CMOS process, such as for the ADC's and DAC's, can also be included.

In this paper, the author felt a strong urge to point out that there is another type of CCD imager, the frame-transfer CCD imager, that should be considered again in multimedia applications, because it has a much simpler structure compared

Manuscript received March 18, 1996; revised June 24, 1996. The review

of this paper was arranged by Editor K. Tada. The author is with the SC Logic MCU Business Department, Sony Corporation, Atsugi-city 243, Japan.

Publisher Item Identifier S 0018-9383(96)08626-1.

to the interline-type CCD imager, yet holds a large signal charge packet. The on-chip frame memory can also be used as a buffer memory for various multimedia applications.

On these points, some brief discussions regarding a new frame-transfer CCD structure and their results are reported. The new structure is bipolar-type image sensing element with a p-n-p SUB structure. The structure was originally proposed by the author in 1975 [8]. Some related ideas, hidden in the form of difficult legal wording, and other efforts, disclosed in the form of published papers, will be reviewed and discussed in details to explain the background and originality of the author's proposed structure.

II. BIPOLAR IMAGE SENSING ELEMENT

Conceptually, the structure of image sensing elements in this frame transfer-type CCD imager originates from a structure very similar to the one widely used in current interline transfertype CCD imagers. It is shown in Fig. 1(a). This structure has many features in common with the structure proposed originally by the author in 1975 [8]. It concerns only the structure of the boxed region in Fig. 1(a). But it is the core region of the image sensing element which is now widely used in commercial interline transfer-type CCD imagers. Since it has only been published in Japanese, the exact wording is quoted below for convenience.

"In the bulk silicon substrate, there is a region of the first conduction-type, P1. And then, another region of the second type, N2, is formed on top of it. A rectifying junction, J_e , is then attached to the region of the second type, which is regarded as the emitter junction of a transistor. Then, the junction between the first- and second-type regions is considered to be the collector junction of the transistor, J_c . The region of the second type, N2, acts as the base of the transistor. The electric charges created by the incident light are stored in this base region, N2, and transferred to the adjacent charge coupled device."

So, it is a simple bipolar-type image sensing element of a p-n-p SUB structure. In Fig. 1(b), for comparison, a MOS capacitance-type image sensing element was quoted, which was well known and considered to be conventional in the 1970's.

The idea was simply to use a bipolar transistor instead of the MOS capacitance for the image sensing element. However, as compared to the MOS capacitance case shown in Fig. 1(b),

0018-9383/96\$05.00 © 1996 IEEE

HAGIWARA: HIGH-DENSITY AND HIGH-QUALITY FRAME TRANSFER CCD IMAGER



Fig. 1. (a) Basic structure of bipolar junction-type image sensing element now widely adapted in interline transfer CCD imagers. The hatched regions (V_1) covering the top are the polysilicon electrodes for the vertical CCD shift registers. The sensor regions are not covered by the polysilicon electrodes. (b) MOS capacitance-type imaging sensing element quoted in the author's invention of November 10, 1975, and known then as a conventional structure. The top layer (V_2) can be either a thin polysilicon or a transparent sensor electrode. (c) Bipolar junction-type image sensing element with a top wiring lead (V_3) . In this case, as a simple example, the first p-region (P_1) is set equal to the silicon substrate.

the bipolar-type shown in Fig. 1(a) would give plenty of freedom in the practical world, and would result in much better performance.

III. CONCEPT OF JUNCTIONS FOR VERTICAL OVERFLOW PROTECTION (OFP)

In the above wording, no restriction was made on the conduction-type of the bulk silicon substrate. But it could also be made the same as the first conduction-type, P1. That is,

SUB = P1. In this case, the first conduction part becomes the bulk substrate itself. This is the structure given in Fig. 1(c). However, in this case, the voltage of the collector, P1, is the substrate voltage itself. Since there is a large capacitance between the substrate and the power line, the voltage of the substrate is normally fixed at a fixed reference or DC voltage. Hence, the collector junction, J_c , cannot be controlled easily. Instead, in this case, the emitter junction was chosen to be controlled externally by introducing wiring lead from the top. Fig. 2(a) illustrates the actual operations.

Since it was a new structural concept that was to be specified, the functions of the top and bottom junctions, J_e and J_c , were intentionally not explained in detail. However, it also meant that the bottom junction J_c could also be used for the vertical overflow protection. In this case, the substrate is chosen to be different from p-type, as illustrated in Fig. 2(b). As long as the $P2(J_e)-N2$ (sensor base)- $P1(J_c)-SUB(P/N)$ is meant to be a transistor, a variety of known transistor actions are meant to be considered, including punchthrough modes of p-n-p and p-n-p-n (when SUB = N) devices. The actual claim given in the legal wording is simple and general, but its structure is very basic and can be applied in a variety of image sensors including a Schottky-barrier imager as claimed in the specification [8].

IV. EXPERIMENTAL VERIFICATIONS BY FRAME TRANSFER TYPE CCD IMAGERS

Although the CCD imager type was not specified in the claim, and the structure is equally applicable to a frame transfer-type CCD imager, the original Japanese document has an example of an interline transfer-type CCD application as seen in Fig. 1(c). At that time, however, the structure was very difficult to fabricate. So, the author applied the principle in the frame transfer CCD imagers [2], [9].

Moreover, the realization of the original concept of the vertical OFP was still very difficult. The author had to cope with the conventional lateral-type. It was not built at the top nor the bottom of the base region. But, the charges are still stored in the base extended storage region and are then transferred to the neighboring buried channel-type CCD shift register as originally conceived.

In the structure, it was proposed that by first transforming the incident light into electrons at the emitter and collector junction depletion regions, electrons stored in the base could then be transferred from the base region to the adjacent buried channel charge coupled device. It was described that the base region had the same concentration as the buried channel CCD because it could be easily adjusted by the ion implantation technique [see Fig. 1(a)-(c)].

By depleting the charge completely from the base region by the buried channel CCD transfer operation, image lag-free picture quality is assured. The high electron charge transfer efficiency of the buried channel CCD guaranteed the high resolution image quality. Moreover, the SiO₂ exposed sensor is expected to give high blue sensitivity since there is no gate structure for the incident light to pass through. By quenching the Si–SiO₂ interface recombination centers, very low dark current level was also expected in this p-n-p SUB structure. 2124



Fig. 2. (a) Operations of bipolar junction-type image sensing element when the substrate is chosen to be the same as the P1 region. Q1, Q2, and Q3 are fixed charges in the depletion regions. (b) Operations of a bipolar junction-type image sensing element when the substrate is different from the P1 region. Q3 and Q4 are fixed charges in the depletion regions, where no mobile carriers are present.

Moreover, by controlling the relative voltage of the emitter and the collector, the amount of electrons stored in the base could be controlled independently from the incident light intensity level, and be easily adjusted from zero to the maximum storage capacity. These were the basic concepts that led to the current vertical OFP and the electrical shutter options. Fig. 2(a) and (b) show the points.

V. 800 H \times 492 V Narrow-Channel FT CCD Imager

The actual bipolar imaging structure was applied first in the frame transfer-type CCD structure rather than the interline transfer-type CCD by the author [2], [9]. This frame transfer-

IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 43, NO. 12, DECEMBER 1996



Fig. 3. Block diagram of 800 H \times 492 V FT CCD imager. The architecture of the on-chip frame memory of the 800 H \times 492 V storage area can be designed to meet special functional demands in various future multimedia applications.

type CCD structure is reviewed again in this paper. Some improvements are proposed to obtain better performance in order to compete with the MOS sensors quoted by Ackland.

The device is a frame transfer CCD imager with a narrow channel transfer gate structure and a self-aligned overlapping three-polysilicon but two-phase CCD operation. The block diagram of this imager is shown in Fig. 3, in which the imaging area and the temporary storage area have the same CCD structure but different vertical cell pitches as those SEM pictures seen in Fig. 4(a) and (b).

Compared to the conventional overlapping gate-type CCD shift registers, the electrode overlap capacitance is very small in this narrow channel-type CCD shift register due to the very small overlapping portions. Moreover, aluminum wiring can be easily laid out on this electrode to shunt the relatively high resistivity polysilicon gate material by introducing contacts between the polysilicon electrodes and aluminum wirings for a large scale imager application.

The cell size of the imaging area is $11 \,\mu\text{m} \times 13 \,\mu\text{m}$ while the storage area has $11 \,\mu\text{m} \times 9 \,\mu\text{m}$ cell size to keep the area occupation in the chip to the minimum. The chip size of the device is 10.0 mm × 12.5 mm. The device is fabricated in a buried-channel version of a p-type (100) oriented 10–15 Ω -cm silicon substrate with standard triple-layer overlapping-electrode-type polysilicon gate definitions.

A first level of phosphorus doped polysilicon is deposited onto an oxidized silicon wafer and defined to form the first set (H1 and storage electrodes of St1 and Im1). After the thermal oxidation of the electrodes, the second set (H2, St2, and Im2) is formed by the second level of polysilicon deposit. Similarly, the third set (H3 and transfer electrodes of St1 and Im1) is formed by the third polysilicon electrodes. Fig. 5 shows the brief process flow.

Then, using the polysilicon patterning as an ion implantation mask, boron ions with a dose level of 7×10^{12} cm⁻² were implanted into the silicon substrate throughout the exposed portions of the thermally grown oxide. This step provides self-aligned channel stops which surround the narrow-channel

HAGIWARA: HIGH-DENSITY AND HIGH-QUALITY FRAME TRANSFER CCD IMAGER



(b)

Fig. 4. (a) SEM picture of storage area. Cell size is $11 \ \mu m H \times 9 \ \mu mV$. (b) SEM picture of imaging area. Cell size is $11 \ \mu m H \times 13 \ \mu mV$.

transfer part of each electrode. Since the early 1960's, this technique of ion implantation into the silicon substrate, using the polysilicon patterns as mask [10] and [11], has been known to produce many practical device structures. It is now



Fig. 5. Brief process flow of the electrode formation in a narrow channel frame transfer CCD imager. Three polysilicon layers were used for the formation of vertical and horizontal CCD registers.

TABLE I Operation Conditions				
Integration Time	1/60 sec			
Image Clock	10 volt			
Storage Clock	10 volt			
Frame Shift	14.31818MHz			
Horizontal Clock	8 volt			
Horizontal Readout	14.31818MHz			
Precharge Clock	5 volt			
Output	800 mv			
Dark @ 25 °C	4 mv*			
Smear	0.01 %			

* for clock swings from Gnd to +10 volt

widely used to form the source and drain of self-aligned polysilicon gate CMOS transistors. It is a very basic and practical technique, and also applied here to form the shallow junction layer at the Si–SiO₂ interface of the image sensing element.

The operating conditions of the CCD imager are shown in Table I. Clocks are operated simply from GND to +10 V or +8 V with the substrate grounded. But there is no protection diode attached to any of the electrodes, and negative clocks are also possible. The precharge gate has a typical amplitude of 5 V, which is directly accessible from the TTL logic level with a conventional DC adjustment using a large capacitance and two series resistances. This approach was used throughout the chip evaluations, and also in the early publications [2], [9].

A high image resolution of 560 TV lines/p.h. (horizontal) and 350 TV lines/p.h. (vertical) was obtained. High frame shift operations were also tested up to 14.31818 MHz, which was the limit of the commercially available regular clock driver [see Fig. 6(a) and (b)] for reproduced images. The smear level was 0.01% at 14.31818-MHz frame shift, and 0.02% IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 43, NO. 12, DECEMBER 1996

TABLE II





Fig. 6. (a) Reproduced resolution chart. Horizontal resolution 560 TV lines, vertical resolution 350 TV lines. (b) High light image reproduced. The FT imager with a large dynamic range gives a natural image in a dark room even if a strong back light illumination is directed from behind the shoulders.

at 7.15909 MHz, as was expected theoretically. No power increase nor image degradation was observed. The observed dark current of the imager is 4 mV for the clock voltage swing from GND to +10 V.

A low dark current, especially at higher temperature, is desirable. The dark current generated through the surface states [12] at the Si–SiO₂ interface in the sensor elements is kept low by the presence of holes. The diffusion dark current does not contribute significantly below 55 °C. The negative voltage applied on vertical registers also suppress the generation of the dark current from the surface states since the emission time constant of the dark current generated at the surface states is known to be more than 1 ms. The negative voltage below -8.0 V gives the minimum dark current level. The value of the output capacitance of the floating diffusion is 0.03 pF. The voltage gain is 4 μ V/e. The observed dark current is equivalent to 10 electrons/pixel, of which 8 electrons are from the vertical registers. The value of the dark current is less than 1/10 of the conventional levels [13], [14] in optimized operations.

The value of the maximum signal voltage is 800 mV, which is equivalent to the 200 000 signal electrons. Consequently, the dynamic range of 83 dB is achieved. The salient device characteristics are summarized in the Table II. The relative spectrum response of this bipolar-type image sensing element is compared in Fig. 7 with those of the conventional polysilicon electrode MOS-type imager. The solid curve 1 shows an overall stable response characteristics with high blue sensitivity for the bipolar-type structure. The dashed curves, 2 and 3, are of the polysilicon electrodes of thicknesses 50 and 150 nm, respectively.

Although the imager in this work has a conventional overflow drain structure as shown in the Fig. 8(a), the vertical

DEVICE CHARACTERISTICS				
Optical Format	2/3 inch			
Transfer System	Frame Transfer			
Total Number of Pixels	800 H x 492 V			
Chip Size	10.0 mm H x 12.5 mm V			
Cell Size Imaging Area	11 µm H x 13 µm V			
Cell Size Storage Area	۲ mH x 9 Jum V			
Silicon Substrate	p-type (100) 10-15 ohm-cm			
Horizontal Resolution	560 TV lines			
Vertical Resolution	350 TV lines			
Smear	0.01 %			
Noise	10 electrons/pixel			
Output Gain	4 μV/e			
Lag	Undetectable			
Dynamic Range	83 dB			
Charge Capacity	200,000 electrons/pixcel			
Minimum Illumination (F1.4)	1.6 lux			



Fig. 7. Relative spectrum response. The relative response of the bipolar-type $SiO_2-P2-N1-P1-SUB$ structure is compared with $poly-SiO_2-N2-P(SUB)$ structures of the polysilicon thickness of 50 and 150 nm.

OFP can also be incorporated in any FT imagers as well [15]. The proposed image sensing element structure with OFP is similar to the structure that have been widely adopted now in the conventional interline transfer CCD imagers [13] but it is much simpler and compact. As seen in Fig. 8(b) and (c), very simple and compact structures in future applications for imaging can be expected. This bipolar-type image sensing element is not only equipped with a potential built-in function of overflow protection, it is also inherently image lag-free.

VI. IMAGE LAG-FREE, "VIRTUAL" CCD MODE COMPLETE CHARGE TRANSFER

The majority carriers in the base region of this bipolartype structure are the signal electrons themselves, which are being generated by the incident light. The carriers are depleted

HAGIWARA: HIGH-DENSITY AND HIGH-QUALITY FRAME TRANSFER CCD IMAGER







Fig. 8. (a) Cross section of imaging sensing element transfer region (this work). (b) Cross section of imaging sensing element transfer region (proposed). (c) Cross section of imaging sensing element storage region (proposed).

and transferred to the adjacent vertical CCD register. The operation is in the CCD transfer mode. The CCD high transfer efficiency guarantees the complete depletion of the majority carriers from the base region. This makes it possible to realize a complete image lag-free video camera system. The concept was verified in another form by Hynecek [16] in his "virtual" phase CCD transfer mode. See the structure shown in Fig. 9 labeled Hynecek 1979.

When the attention was focused along the direction of the charge transfer to the adjacent vertical CCD shift register, the charge transfer corresponds to 1/2 of the 1-b charge transfer of the well known CCD shift register structure. The sensor portion does not have any electrodes and this is so-called "virtual" phase CCD mode charge transfer as described by Hynecek.

The author's 1975 proposal has the same structural and operational features. It is same as the one described by Hynecek in his virtual phase CCD technology. So the originality of the virtual phase CCD transfer is related to the author's 1975 conception of the bipolar-type image sensing element.

In CSSD, Tokyo, Aug. 1978, the author introduced a 380 $H \times 488$ V CCD imager with narrow channel transfer gates (Hagiwara, 1978). In Fig. 9, the sensor structure was also compared with Hynecek's virtual phase CCD structure (Hynecek, 1979), and to the author's original structure (Hagiwara, 1975). Note that the core portions of both frame transfer imagers [9], [16] are very alike.

VII. PHYSICS OF BUILT-IN OVERFLOW PROTECTION (OFP)

In the author's 1975 invention [8], the voltage control of the junction J_e and J_c was strongly emphasized. It is the transistor structure and its junction physics that are important in controlling the OFP mechanism.

The OFP function can be achieved by controlling the voltages of either emitter or collector junction, J_e and J_c . During the integration time of 1/60 s, the amount of the signal electrons can be adjusted any time, and any value from zero up to the maximum capacity by biasing either J_e or J_c properly. In the case shown in Fig. 2(a), the biasing of the emitter junction is chosen to be controlled for the OFP function. Instead, when the collector junction is chosen to be controlled, the emitter region can be shorted to the surrounding channel stop region. See the Hagiwara, 1978, structure in Fig. 9. There are still enough hole carriers in the emitter region P2(J_e) to quench the surface states which are the source of the undesired dark current. In the case shown in Fig. 2(b), there are two methods to control the J_c bias voltage as explained below.

One method is to let the collector junction bias be controlled by the voltage applied on the collector, provided the majority carrier holes are present in the collector region. Controlling the voltage V is the only possible way to control the collector junction, J_c , because the majority carrier holes in the collector region would block the influence from any external control, such as W in Fig. 2(b). In other words, controlling the "sea" level of the majority carrier holes is the only way to control the collector junction bias since the substrate voltage, W3, cannot reach the collector junction J_c . Some external wiring lead is needed to connect this collector region. This is the case of V = V1 or V3 in Fig. 2(b).

However, when there are no majority carriers present in the collector region, P1, there is nothing to block the electrical influence. So the collector junction bias can be easily controlled by the substrate voltage W. This is similar to the bipolar transistor punchthrough case. In order to have the substrate region, SUB, properly function as the charge sink in this P2



Fig. 9. Three image sensors, Hagiwara 1975/1978, and Hynecek 1979, are compared. The boxed regions in the three sensors operate in the same charge transfer mechanism named by Hynecek, who applied this structure to realize a high performance virtual phase frame transfer CCD imager.

 (J_e) -N2(sensor base)-P1(J_c)-SUB(N) structure, the collector region P1(J_c) must be completely depleted.

These essential features mentioned above can be read from the bipolar-type image sensing element structure proposed by the author in 1975 [8]. It had been well known that the charge injection device and the vertical FET structures have similar charge sinks in the bulk. But the presence of the charge sink itself is not a critical issue here. It is the transistor structure and its junction physics that are important in controlling the OFP mechanism.

In the proposed bipolar-type image sensing element, the voltage control of the junctions, J_e and J_c , is to be strongly emphasized. It is well understood that the proper OFP function is essential for realization of a practical video camera system. To this end, it is noted that the structure is now the very basic of the image sensing element of the current commercially widely available interline transfer CCD imagers. And as proposed in Fig. 8(b) and (c), its further applications in the forms of frame transfer CCD imagers with the vertical OFP structure is very promising for future multimedia low-cost video camera applications. See the reference for the FT-imager pioneering works done by Roks [15] and Hyneck [16].

VIII. BACKGROUND AND ORIGIN OF THE BIPOLAR-TYPE IMAGE SENSING ELEMENT

In order to explain the originality of the bipolar-type image sensing element an N-SUB-N(sink)-SUB structure by Early [17] is shown in Fig. 10(a) and (b) for comparison. A main feature of the Early's structure deals with a charge sink region N1(Sink) located at a given depth around the substrate.

The imaging structure is a MOS sensor-type which is very similar to the one the author quoted in Fig. 1(b) as a well known structure with the problem of a very poor blue sensitivity.

In the basic unit cell in Fig. 10(b), the Early's structure required the charge sink region N1(sink) to be surrounded by the silicon bulk substrate SUB(P1) and SUB(P2). Since the majority carriers in the substrate SUB(P2) fix the voltage of the

substrate, there is no way to get the electrical influence from the charge sink region N1(sink). The electrical field from the charge sink N1(sink) cannot pass through the substrate region SUB(P2) to reach the N2(sensor) region as long as there are some majority carrier holes in the SUB(P2) region.

As in Fig. 10(a) and (b), the depletion region, D1, extended from the charge sink region N1(sink) is quite shallow while the depletion region D2 extended from the N2(sensor) is much, wider. According to the description given by Early [17], the depletion region D2 from the surface N2(sensor) region was to be extended much deeper by controlling the sensor gate voltage G as seen in Fig. 10(b). However, it is now known that it is possible only by making the sensor gate voltage higher from G_2 to G_1 , as seen in Fig. 10(b).

It is very clear that the presence of the majority carriers in the SUB(P2) region is blocking the electric field from the N1(sink) region. And there is no transistor action possible in this case. This is why, in the case of Fig. 1(c), the OFP function was attached to the emitter junction, simply because the voltage of the region, P1, is hard to be controlled. The same things could be said in the case of Fig. 10(a). The corresponding region SUB(P2) is the substrate itself which has a very large cross coupling capacitance connected to the external power line by the bulk SUB(P1) for stable device operations.

To deplete the SUB(P2) region, Early proposed to raise the gate voltage G, higher to the direction to deepen the potential well. It then increases the electron charge handling capacity of the sensor region N2(sensor) as seen in Fig. 10(b). And more electron charges, generated by the incident light, will be accumulated in the sensor area. This makes the originally intended OFP function much difficult to be achieved. It is actually impossible to achieve the function. Apparently, the physics of the buried channel CCD itself was not properly understood.

The structure claimed by Early is very difficult to function properly as OFP in practice. Moreover, this structure is also specified to have a contact lead to the wafer surface vertically.

HAGIWARA: HIGH-DENSITY AND HIGH-QUALITY FRAME TRANSFER CCD IMAGER





Fig. 10. (a) MOS-type image sensing element with a charge sink a N2-P(sub)-N1(sink)-SUB(p) structure with much deeper depletion region extended from the N2 region. Note that the depletion region surrounding the N1(sink) region extends a fairly short way into the P(sub) region. Note also that the majority hole carriers are present in the P(sub) region. The operation is not in the punchthrough mode. (b) Operations of the MOS-type image sensing element when the charge is present in the p-region. Q1 and Q2 are fixed charges in the depletion regions, where no mobile carriers are present. Note that in order to extend the depletion region, D2, by the gate voltage G, the voltage must become higher, (G_2 to G_1), creating much deeper potential well in the buried channel region N2 that will allow more electron charges to accumulate in N2. No OFP mechanism as claimed by Early is possible in this configuration.

And besides, between the surface lead contact and the image sensing area, a highly doped channel stop region was also required. To prevent ohmic short between the highly doped n^+ region and the highly doped p^+ region, wide spacing is needed, and it still consumes quite a large area of silicon chip area and the structure is not quite attractive.

According to these results and speculations, obtained from the author's cross reference checks, including the Early's 1973 structure [17], the author's original Japanese publication [8] seems to be the origin of this important bipolar-type image sensing element structure, with an inherently built-in overflow protection option. It is a practical and functioning $P2(J_e)-N2(sensor base)-P1(J_e)-SUB(P/N)$ structure, entirely different from the Early's version of the N2(sensor)-SUB(P2)-N1(sink)-SUB(P1) which had never reported to be functioning properly.

Sometimes the words of an inventor are misleading because they may be written while the idea is still in an immature stage. But it is the truth hidden inside the words that is important. A hidden truth does not give any light to us. Only if the truth is disclosed, the light will show us the way to follow. As we look into the truth in the wording, (if it contains a truth), we often find an ardent visionary who never gives up his dream. He is a beautiful dreamer deep in thought, in search of the truth for the betterment of human happiness. The legal wording is not really the point. What counts most for our human happiness is the truth in it.

What an inventor is to a manufacturer is not what a master is to a slave. Inventors and manufacturers are beautiful dreamers both in the same boat in search of "the truth that shall make us all free." The author heard these words when he was a freshman at the California Institute of Technology in September 1967. He gradually began to feel that he understood the meaning of these word. The original idea gradually formed in the author's mind while he was working on his Ph.D. research on CCD's in 1972 under the guidance of Prof. C. A. Mead [18], [19], and Prof. T. C. McGill [20].

When the CCD was invented in early 1970's [21], the seemingly well-understood common physics of CCD imaging sensors of today was not quite properly understood. So, the author felt a strong urge to perform intensive computer device simulations [22] and [23], and dreamed of the possibility of high performance buried channel CCD for the potential low-light imaging applications.

The author was attracted by the inherently high speed and the good transfer efficiency of the buried channel CCD characteristics. And the need for portable video cameras with very high sensitivity in dark scenes had guided the author to the idea of the bipolar-type image sensing element in 1975.

IX. CONCLUSION

The concept and origin of the bipolar-type image sensing element was explained in detail. Its realization in the form of narrow-channel-type frame transfer CCD imagers was reviewed and the application was now extended to a 800 H \times 492 V frame transfer-type buried channel CCD imager with a proposed vertical overflow protection and inherently built-in buffer memory structure for future low cost multimedia applications.

After more than 25 years of worldwide work with experimental trials, and intensive production efforts by dreaming engineers, scientists, and manufacturers, the present highperformance industrial and low-cost consumer CCD imagers finally have come to life. It is not only the author's strong conviction but also his humble wish that the CCD imager's current status will last, as it is, for another 25 years.

ACKNOWLEDGMENT

The author would like to express his sincere appreciation to C. A. Mead and T. C. McGill for their constant encouragement and spiritual support which made his graduate work in CCD's

2129

at the California Institute of Technology one of most exciting times in his life. The author would also like to express his sincere gratefulness and admiration to the soul of K. Iwama who shared his dream and gave him a chance to pursue this project. Iwama's engineering contributions and his sense of scientific thinking in his early development efforts led to the production of the epoch-making portable transistor radio in the 1950's. Iwama's image in the author's mind and heart has acted as a strong light behind the author's shoulders during the last 21 years of his engineering life. Finally, the author would like to dedicate this paper for the 50th anniversary of the Sony Corporation, a company of "digital dream kids," on May 7, 1996.

REFERENCES

- [1] B. Ackland and A. Dickinson, "Camera on a chip," in IEEE ISSCC 1996 Dig. Tech. Papers, pp. 22–25. Y. Daimon-Hagiwara, "Two phase CCD with narrow-channel transfer
- [2] regions," in Proc. 9th Conf. Solid State Devices, Tokyo, Japan, 1977;
- JAP, vol. 17, suppl. 17-1, pp. 255–261, 1978. K. Fujikawa *et al.*, "A 1/3-inch 630 k-pixel IT-CCD image sensor with [3] K. Fujikawa et al., multifunction capability," in IEEE ISSCC 1995 Dig. Tech. Papers, pp. 218-219.
- [4] O. Nishima et al., "A 1/4 inch 380 k-pixel IT-CCD image sensor," IEEE Trans. Consumer Electron., vol. 41, no. 3, pp. 430-435, 1995.
- [5] Y. Kuno et al., "A 7 k-pixel × 3 line color linear sensor with singlesided readout method," IEEE Trans. Consumer Electron., vol. 41, no.
- 3, pp. 436-442, 1995. [6] Y. Naito et al., "A 1/3-inch 360 k pixel progressive scan CCD imager sensor," IEEE Trans. Consumer Electron., vol. 41, no. 3, pp. 443-448, 1995
- [7] F. Miyaji et al., "A 25-ns 4 Mbit CMOS SRAM with dynamic bit-line
- Initial et al., A 25-115 + Molt Childs Storad with Gynamic Bushine loads," *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1213–1218, 1989.
 Y. Hagiwara, Japanese patent 58-46905, Nov. 10, 1975.
 Y. Daimon-Hagiwara, M. Abe, and C. Okada, "A 380 H × 488 V CCD imager with narrow channel transfer gates," in *10th Conf. Solid State* Determined to the state of the state of the state of the state of the state.
 Image:
 With Harlow channel transfer gates, in Fort Corp. Solid State

 Devices, Tokyo, 1978; JJAP, vol. 18, suppl.-18-1, pp. 335-340, 1979.

 [10] R. W. Bower, U.S. Patent 3472712, Oct. 17, 1966.

 [11] ______, U.S. Patent 3615934, Oct. 30, 1967.

 [12] A. Mohsen, T. C. McGill, and C. A. Mead, "The influence of interface
- states on incomplete charge transfer in overlapping gate charge coupled devices," IEEE J. Solid-State Circuits, vol. SC-7, pp. 191-207, Oct. 1972.
- [13] K. Ishikawa et al., "IT CCD imaging sensor with variable speed electronic shutter," in *Proc. SPIE*, Mar. 1989, vol. 1107.
 [14] T. Kumesawa et al., "High-resolution CCD image sensors with reduced smear," *IEEE Trans. Electron Devices*, vol. ED-32, no. 8, pp. 107. 1451-1456, 1985.

- [15] E. Roks et al., "A low-noise, highly-sensitive, 1 inch, 2.2 M-pixel FT-CCD imager for high-definition applications," in Proc. 1995 IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensors, Apr. 20-22, 1995.
- [16] J. Hynecek, "Virtual phase CCD technology," in IEEE Proc. IEDM, Dec. 1979, pp. 611-614. [17] J. M. Early, U.S. Patent 3896485, Dec. 3, 1973.
- [18] C. A. Mead, "Computers that put the power where it belongs," Eng. Sci., pp. 4-9, Feb. 1972.
- [19] C. A. Mead, R. D. Pashley, L. D. Britton, Y. T. Daimon, and S. F. Sando, "128-Bit comparator," *IEEE J. Solid-State Circuits*, vol. 11, no. 5, 1976.
- [20] Y. Daimon, "Charge transfer in buried channel charge coupled devices," Ph.D. dissertation, Department of Electrical Engineering and Physics,
- California Institute of Technology, Pasadena, CA, Feb. 1975. [21] W. S. Boyle and G. E. Smith, "Charge coupled semiconductor devices,"
- BSTJ, vol. 49, pp. 587-593. [22] Y. Daimon, A. Mohsen, T. C. McGill, and C. A. Mead, "Final stage of the charge transfer process in charge coupled devices," IEEE Trans.
- Y. Daimon, A. M. Mohsen, and T. C. McGill, "Charge transfer in buried-channel charge-coupled devices," in 1974 IEEE ISSCC, Dig. [23] Tech. Papers, Philadelphia, PA, Feb. 1974, pp. 146-147.



Yoshiaki Hagiwara (M'86) was born in Kyoto, Japan, on July 4, 1948. He received the B.S. degree in engineering science, the M.S. degree in electrical engineering, and the Ph.D. degree in electrical engineering and physics from the California Institute of Technology, Pasadena, in 1971, 1972, and 1975, respectively.

He-joined the Sony Corporation, Tokyo, Japan, in February 1975, and was involved with early development of CCD imagers and CCD video camera systems in the Sony Central Research Laboratory,

Yokohama, Japan. Since 1979, he has been with the Semiconductor Group, Sony Atsugi Technology Center, Atsugi, Japan, and has been engaged in the development of device and design technology for CCD imagers and CMOS logic and MCU LSI's. Currently, he is working as the engineering manager in the Logic MCU Business Department, Semiconductor Company, Sony Corporation.

Dr. Hagiwara has served in various international conferences and workshops including the IEEE ISSCC and the IEEE VLSI Circuit and Technology Symposia, and is currently in the technical program committees of the IEEE Computer Element MESA/VAIL workshops, and of the IEEE International Conference on Microelectronics Test Structure (ICMTS). He also serves as the WG2 Convenor of the International Electrotechnical Commission (IEC) Technical Committee TC47/SC47A in charge of international worldwide standardizations of multifunction integrated circuits.

PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

 $\label{eq:linear} 2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf$

 $\label{eq:s_JP1975-127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf$

 $4_JP1975‐127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf$

 $5_JP1975‐134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf$

6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf

 $7_JP2014 \hbox{-} 135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf$

 $\label{eq:solar_cell_65_Pages.pdf} 8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf$

9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf

 $10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf$

11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf

 $12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf$

13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf

14_P2017_CoolChips_Panel_170419_29_pages.pdf

15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf

 $16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf$

Pinned Photo Diode (PPD) and Hole Accumulation Diode (HAD)

PPD and HAD Story (2)

hagiwara-yoshiaki@aiplab.com http://www.aiplab.com/

Yoshiaki Hagiwara was invited in the following four international conferences because of his contributions to the image sensor community and related digital system LSI chip design works. See the four invited talks related to the Pinned Photo Diode which is also called as SONY original Hole Accumulation Diode (HAD) image sensor.

(1) International Conference CCD79 in Edinburgh, Scotland UK

See http://www.aiplab.com/0-CCD79_1979Hagiwara.pdf

(2) International Conference ESSCIRC2001 in Vilach, Austria.

See http://www.aiplab.com/ ESSCIRC2001.pdf

(3) International Conference ESSCIRC2008 in Edinburgh, Scotland UK

See http://www.aiplab.com/ 0-ESSCIRC2008Hagiwara.pdf

(4) International Conference ISSCC2013 in San Francisco, California USA

See http://www.aiplab.com/ ISSCC2013PanelTalk.pdf

(5) Pinned Photo Diode and SONY HAD are the same thing. Both were invented by Hagiwara at Sony in 1975 in the Japanese Patents (1975-127646, 1975-127647, 1975-134985).

See http://www.aiplab.com/Pinned_Photo_Diode_1975_invented_by_Hagiwara.pdf

(6) Hagiwara as a PhD student at CalTech designed a Fast 128 bit digital data stream parallel comparator chip, which was fabricated at Intel with the Intel 1101 PMOS process technology.

See http://www.aiplab.com/128_bit_Comparator.pdf

(7) Hagiwara designed a Fast 25 nanosecond access time 4 M bit Cache SRAM chip for digital camera applications. Intel used the SONY SRAM chips in the Intel boards. Sony enjoyed SRAM business while many companies in Japan were focusing on the 4 M bit DRAM chip business.

See http://www.aiplab.com/SONY_4MSRAM_1989.pdf
ヨーロッパ国際半導体電子電気集積回路総会での招待講演

@ESSCIRC2001 Villach, Austria, September 26, 2001

Micro-Electronics for Home Entertainment

Yoshiaki Hagiwara

Sony Corporation Tokyo Japan

Microelectronics for Home Entertainment

Yoshiaki Hagiwara

Sony Corpoartion, Tokyo Japan yoshiaki.hagiwara@jp.sony.com

Abstract

A brief historical overview of a first home entertainment consumer electronic gadget, called a portable transistor radio is given, and then some introductory comments on the basic semiconductor device concepts are explained. They are strongly related to the microelectronics of the present home entertainment LSI chips with regard to the product specifications and performance aspects of the home entertainment LSI chip sets, such as for digital cameras, home robotics and games.

1. Introduction

The history of home entertainment consumer electronics begins in May 7, 1946, with the founding of Tokyo Tsushin Kogyou (Tokyo Telecommunication Engineering) by Masaru Ibuka (36) and Akio Morita (25). Had these two bright young men not met and combined their considerable resolve and talents, the home electronics business would not have accelerated so much as we see it today, and our semiconductor business efforts would have been aimed only for military purpose for a while.

In the Founding Prospectus, Ibuka eloquently stated his dreams for the company. Morita, together with the company's first directors headed by Kazuo Iwama, led employees to realize these goals. Throughout their work, the young force was inspired by the free and dynamic atmosphere of the "ideal" factory they were striving to create. From the onset, Ibuka, Morita and Iwama endeavoured to develop unique and exciting products that fulfil their customers' dream.

Iwama was 35 when he visited Western Electric to study transistors in January 1954. Iwama was the first engineer in Japan who understood the concept of "electron fog" in the bipolar transistor device physics.

He worked as the leader of the bipolar transistor development project to realize the epoch-making portable bipolar transistor radio TR-55 introduced to the home entertainment electronics market in August 1955.

. Seven years had passed since the invention of the bipolar transistor in Bell Lab in Dec 1947. I was only seven years old and had completely no idea about how a transistor works at that time.

I was a junior undergraduate at CalTech in Pasadena, California in 1969 when I learned how the bipolar transistor and MOS FET work with the classical textbook by Grove. My class instructor was Prof. James McCaldin who was known as the co-inventor of basic planar passivation technology in modern MOS transistor fabrications.

In the summer 1971, I visited Sony Atsugi plant right after I received BS from CalTech and worked as a reliability engineer in Bipolar IC production line for Sony's Trinitron colour TV sets.

In the fall 1971, I returned to CalTech to pursue further my graduate work and learned how to design MOS LSIs from Prof.Carver Mead. My PhD thesis was about the buried channel CCD imagers which can be applied to low light intensity solid state imagers. Prof.T.C.McGill was my PhD thesis advisor.

After defending my PhD, in February 1975, I joined Sony at the Central Research Centor in Yokohama, Japan, and engaged with further research on high performance CCD imagers project headed by Iwama who was the pioneer engineer in the early bipolar technology development effort in Sony.

My first patent filed in Sony in Nov 1975 was about a simple pnp-sub structure used as the light sensing device for imagers. The sensor structure is now called the HAD sensor in Sony's current video cameras and digital still cameras.

Sony put most of its engineering sources in CCD imagers and its camera system in 1970s. We engineers had to design signal processing and camera control chips by ourselves. Those experience were useful to apply for other MOS LSI design applications which made possible the current home entertainment LSI chip sets such as digital cameras, home robots, and games.

In this paper, some basic semiconductor device concepts are first reviewed briefly. They are about the concept of "electron fog", the bipolar and MOSFET device model, the buried channel CCD imager structure and the pnp-sub structure which is used as the light sensing device, which is now universally adopted in most of high performance solid state imagers. Then, some general discussions on the product specifications and performance aspects of the home entertainment consumer LSI chip sets, such as for digital cameras, home robotics and games are presented in details

2. Basic Semiconductor Device Concepts

In this section some introductory comments on the basic semiconductor device concepts are explained. They are strongly related to the microelectronics of the present home entertainment LSI chips.

2.1 Concept of Electron Fog

Fig.1 shows the electron fog in metal and semiconductor. Electrons in metal are depicted in this picture as the moisture above the water surface in the container while the electrons in the semiconductor are depicted as the moisture on the top of a floating box in water. If the box is heavy, the water surface is very close to the top of the box and there are a lot of moistures.



Fig 1 Electron Fog Model in Metal and Semiconductor

This corresponds to the n-type semiconductor band diagram. If the box is relatively light, only a small bottom portion of the box is emerged into the water and the top of the box can be quite dry and there will a lot of bubbles (holes) under the bottom of the box. This corresponds to the p-type semiconductor.

Applying these p-type and n-type semiconductor box models, a diode behaviour model can be constructed and the diode rectifying characteristics can be explained.

2.2. Bipolar Transistor Device Model

Fig.2 shows energetic boys (electron fog in the emitter region) trying to climb a hill (base region) to catch the girls on the hill (hole fog which is the majority carriers in the base region). Some of the boys can luckily catch girls on the hill, recombine, become happy and disappear as light or heat energy. But the hill width is very short and most of the boys will not have enough time to catch girls and fall down the cliff (the base-collector depletion region). The poor boys are now collected in the deep down the cliff in the collector region.

In the time interval Δt , there are $I_E \Delta t$ boys jumping to the hill to catch girls on the hill. Some boys are luckily enough to catch girls on the hill. The number of girls caught by the energetic boys in Δt is $I_B \Delta t$, which is proportional to the number of the average boys on the hill Q_n . The girls are supplied as the base current I_B . Other salient physical parameters normally used in the bipolar transistor device modelling are also given in the figure.



Fig. 2 Bipolar Transistor Action

2.3 MOS FET Model

Fig.3 shows a MOS FET structure. If you see how the electron fog moves from the left source n+ region to the right n+ region through the Si-SiO2 surface under the MOS gate, you can see that it is also considered as an electron transportation along an npn structure. In this case however the potential in the p-region is controlled by the gate voltage isolated by the thin oxide.

The figure shows the electron fog moving from the source to the region under gate at the onset of strong inversion at the Si-SiO₂ surface. At this point the electron fog density at the channel is equal to the density of the majority "hole fog" in the p-type Si substrate, and the gate voltage at this point is defined to be the threshold voltage Vth of the MOS FET.



Fig.4 shows water flowing from the right source region to the left drain region through the water gate. The depth of the channel Vch is given as (Vg - Vth) where Vg is the applied gate voltage which induces the channel depth Vch= (Vg - Vth). The amount of the water flow I is proportional to the mobility μ , the water amount Q under the gate and the electric field E. That is, we can write $I = \mu Q E$ in this rough approximations..



Fig. 4 MOS FET I-V Characteristics

In the first approximation, we take E = (Vd - Vs)/Lwhere Vd, Vs and L are the drain voltage, the source voltage and the gate channel length. The total charge can be approximated as $Q = W \text{ Co } \Delta V$ where W and Co are the channel width and the oxide capacitance of the actual corresponding MOS FET transistor. Now ΔV corresponds to the voltage difference between the average water surface (Vd + Vs) /2 and the channel potential Vch = (Vg - Vth).

That is, we have $\Delta V = \{ (Vd + Vs)/2 - Vch \}$. Hence now since we have $Q = W Co \Delta V$, the equivalent amount Q of the water (or charge) under the gate is given as $Q = W Co \{ (Vd + Vs)/2 - Vch \}$ where we have Vch = (Vg - Vth), E = (Vd - Vs)/L.

Now if we put these relationships into the original equation $I = \mu Q E$, we get, without going through the calculations normally done in the classical gradual channel approximation, the finally the classical MOS I-V equation:

 $I = (W/2L) \mu Co\{ Vd + Vs - 2Vch \} (Vd - Vs)$ $= (W/2L) \mu Co\{Vd + Vs - 2(Vg - Vth) \} (Vd - Vs)$

2.4 Buied Channel CCD Structure

Fig.5 shows the physical structure and the potential profile of a buried channel CCD. The signal charge is the electron fog in the lightly doped n-region at the surface. As you can see, these signal charges are isolated from the direct contact to the Si-SiO2 interface and do not suffer the charge trapping. This structure gives a good CCD charge transfer efficiency of more than 99.9999 % along the buried channel CCD shift register along the direction of in&out of this paper. At very high light, excess charge can be drained into the substrate by lowering the well voltage V_{well} or making the substrate voltage very deep and inducing the punch through mode in the n-p-n(sub) structure.

High density and high performance solid state imagers became available applying this structure as the scanning system. The surface n-layer is completely depleted when there is no signal charge. It is dynamically operated .



Fig. 5 Buried Channel CCD Structure

It is considered as one extended application of dynamic MOS device operations. The most well-know dynamic operation of a MOS device application is the DRAM data storage operation.

2.5. HAD sensor, a pnp-sub structure

The floating diode structure for image sensing unit was well known in early 1970s. I simply proposed to use a pnp-sub structure instead for the imaging element. Fig.6 shows the proposed structure.



Fig. 6 a typical PNP Bip Tr Structure in early 1970s and a proposed application as an Image Sensing Element in 1975

It is a simple pnp bipolar transistor structure itself with a very lightly doped base region, operated in the strong cut-off mode with the base majority charge completely depleted.

It is the first practical application of the bipolar transistor in dynamic operation mode, which turned out to be the best structure and way to convert photons to electrons for imaging including the current MOS imagers applications. The sensor structure is now called the HAD sensor in Sony's current video cameras and digital still cameras.

3 LSI Chips for Home Entertainments

3.1 Digital Still Camera.

The picture in the Fig. 7 shows a 2/3 inch 190K pixel IT CCD Imager, ICX016/XC-37 which I designed when I was still a young CCD design engineer in early 1981. This model became the model of the world first consumer CCD video camera for mass production in 1983.



Fig. 7 The World First Consumer CCD Video Camera for Mass Production 1983

We are now striving to become "Imaging Device N0.1 !" There are many applications of CCD and LCD as seen in Fig.8.



Fig. 8 Applications of CCD&LCD

3.2 AIBO, a home entertainment robot

Now, I will go through first the most popular product, the entertainment robot AIBO shown in Fig.9. When you buy a brand new AIBO. It is like a baby which does not have any knowledge. It has a certain intelligent level which is pre-programmed. You can play with the AIBO and gradually your AIBO will recognize your gestures and voices. AIBO will remember the wonderful time you spent together with it. Actually the experience and knowledge AIBO accumulates during these memorable moments are stored in a chewing gum size NVRAM called a memory stick shown in Fig.9.



This memory stick can be also used in other products such as PCs, Digital Audios, and DSCs. Unfortunately it is not used in PS and PS2 for generation compatibility for now. But in one form or another we definitely need NVRAMs in PS,DSC,Digital Audio,PC and the future home entertainment robots.

The 21st century will become an era of autonomous robots which are partners of human beings. Autonomous robot will help and support people in the future. AIBO is designed to be the first product model of Robot Entertainment Systems. The main application of this robot is a pet-style robot, which must be in lifelike appearances. Although AIBO is not a nursing robot, the development of AIBO is the first step of the era of autonomous robots in the 21st century.

I will go through here some works done in Digital Creation Laboratory in our company. Most of the works were actually done by the pioneering engineers, Mr.Fujita,Mr.Kageyama, Mr.Kitano and Mr.Sabe.

The epoch making debut of AIBO, model ERS-110 in 1999, had the following features.

First of all it has a CCD color camera with 180K pixels. Of course it does not have a mechanical shutter. It does not have any eye-lid ! It has an audio sensor called microphones, a pair of them for stereo audio pick-up. It also has an acceleration sensor,

Gyro meter and also a tactile sensor. So if you pat it on the head gently, it will show some happy gesture. If you strike it on the head, it will interpret it as your sermon. The moving joints had 18 degrees of freedom in total.

Before introducing this first AIBO model, ERS-110, there was about five years of basic research period. Now we have the 2nd generation AIBO model, ERS-210 and also another type of robot, Sony Dream Robot, SDR-3 as seen in Fig.10.

AIBO 2nd Generation, ERS-210







Fig. 10 New AIBO Models, ERS-210 and SDR-3

The 2^{nd} generation AIBO model, ERS-210 has the following features:

Joint DOF: neck:3, mouth:1, ear:2, legs:3x4, tail:2, total:20 Sensors : Color CMOS Image sensor (1100K pixel), Microphone x 2, Infrared sensor, Acceleration sensor x 3, Tactile Sensor x 7 CPU : 64bit RISC Processor (192MHz) Memory: 32MB DRAM OS, Architecture: Aperios, OPEN-R1.1 IF: PCMCIA, MemoryStick

The model SDR-3 has the following features:

Joint DOF: neck:2, body:2, arms: 4x2,legs:6x2, total:24 Sensors : Color CCD camera 1800K pixel, Microphone x 2, Infrared sensor, Acceleration sensor x 2 Gyro meter x 2, Tactile Sensor x 8 CPU : 64bit RISC Processor x 2 Memory: 32MB DRAM x 2 OS, Architecture: Aperios, OPEN-R

It weighs 5.0 Kg and its size is 500 x 220 x 140 mm.

It has an OPEN-R architecture: It is made of configurable physical components (CPCs). The CPU in the head recognizes the robot configuration automatically. The components are built for Plug&Play or Hot Plug-In use. The relevant information in each segment is memorized in each CPC.

Each CPS may have a different function such as Behavior Planning, Motion Detection, Color Detection, Walking and Camera Module. Each CPS is also provided the corresponding object oriented programming and software component. With this OPEN-R architecture, the body can be decomposed or assembled anyway for Plug&Play or Hot Plug-In use. The diagram in Fig.11 shows the details of the logical hardware block diagrams which contain DMAC : FBK: CDT: IPE and HUB



Fig. 11 Logical Hardware Block Diagram

In the following two figures, Fig.12 and Fig.13, the topology of Model ERS-110 and Model SDR-3x are shown respectively.



Fig. 12 Topology of ERS-110



At the same time, it is very important to have a powerful software platform which covers from the top semantic layer to the deep bottom Device Driver Objects Codings. Careful design considerations are very important to make the middleware software components.

3.3 Memory Stick

Now about our Memory Sticks. AIBO, VAIO PC and other audio and video products now use Memory Stick as the digital data recording media.

On July 1997, we had a technical announcement. Next year, Jan 1998, VAIO center was inaugurated. On July 1998, we had a product announcement. The 4Mbyte and 8Mbyte memory sticks were on sale in September 1998. In Feb 1999, we announced Magic Gate , that is, memory sticks with copyright-protection feature. Fig.14 shows the form comparison. Memory Stick is unique in its chewing gum-like shape, much taller in length than other media. The difference in appearance of Memory Stick from other media is clear in size and features.



Fig. 14 Form Comparison

The Fig.15 shows the internal structure. It is fool proof. It features simple 10 pin connection and it is impossible to touch terminals directly.



Fig. 15 Internal Structure

The shape was designed by intention to make exchanging of media to be easy without having to actually see them, and to guide the direction for easy and correct insertion. Much contrivance is made in the design.

In order to decrease the number of connector pins for ensuring reliability of the connectors, serial interface was adopted instead of parallel interface used in conventional memory cards. As a result, connector pins were reduced to 10. And as the structure is such so that they do not touch the terminal directly, extremely high reliability is ensured. The length is same as AA size battery of 50 mm for further deployment to portable appliances. The width is 21.5 mm and 2.8 mm in thickness.

Memory Stick consists of FLASH EEPROM and a controller, controlling multiple Flash EEPROM, flexible to their variations, and capable of correcting errors unique to different Flash EEPROMs used. Memory Stick converts parallel to/from serial data with the controller designed in compliance to serial interface protocol, any kind of existing or future Flash EEPROM can be used for Memory Stick. The function load to the controller chip is not excessive, and its cost can be kept to a minimum.

It is light and the shape makes it easy to carry around and to handle. Also the write-protection switch enables easy protection of variable data.

For still-image format, DCF standardized by JEIDA is applied. DCF stands for design rule for camera file system and JEIDA stands for Japan Electronic Industry Development Association. For voice format, ITU-T Recommendation G.726 ADPCM is adopted. The format is regulated for applications which convert voice data to text data by inserting Memory Stick to a PC.

Memory Stick can handle multiple applications such as still image, moving image, voice and music on the same media. In order to do this, formats of respective application and directory management must be stipulated to realize compatibility among appliances.

Thus simply by specifying the "control information" format, we can have a new form of enjoyments through connecting AV appliances and PC. This format which links data handed in AV appliances enables relating multiple AV applications. For example, voice recorded on IC recorder can be dubbed on to a still image file recorded by a digital still camera.

At present, the music world is going digital from analog, and the copyright protection issue is becoming serious along with wide use of internet. Memory Stick can provide a solution to this problem by introducing "Magic Gates", a new technology..

By Open MG, we mean 1: allowing music download through multiple electronic music distribution platforms 2: enabling to playback music files and CD extracting on PCs (OpenMG Jukebox) 3: transferring contents securely from PCs to portable devices. Fig.16 shows the stack technology applied to Memory Stick with 4 Stacked Chips.



Fig. 16 Stack Technology

3.4 Play Station 2

Now some information on Playstaion2.

Playstation2 aimed as the fusion of graphics, audio/video and PC. The chipset includes a 128 bit CPU called "Emotion Engine" with 300 MHz clock frequency with direct RanbusDRAM of 32Mbyte main memory. The chipset also includes a graphic synthesizer chip with 150 MHz clock frequency. It has 4Mbyte video RAM as an embedded cache.

As SPUs, the chipset also has an I/O processor for X24 speed CR-ROM drive and X4 speed DVD-ROM. Fig.17 shows PlayStation 2 (SCPH-10000) System Block Diagram.



Fig. 17 PSX2 System Block Diagram

Playstation 2, which Sony Computer Entertainment Inc. released in March 2000, integrates games, music, and movies into a new dimension. It is designed to become the boarding gate for computer entertainment. PlayStation 2 uses an ultra-fast computer and 3D graphics technology to allow the creation of video expressions that were not previously possible.

While supporting DVD, the latest media, it also features backwards compatibility with PlayStation CD-ROM so that users can enjoy the several thousand titles of PlayStation software. PlayStation 2 is designed as a new generation computer entertainment system that incorporates a wide range of future possibilities. The table shows the performance spec of the graphic synthesizer chip, CXD2934.

Clock Frequency	150 MHz
Number of pixel engines	16 parallel processors
Hybrid DRAM capacity	4MB@150MHz
Total memory bandwidth	48GB/sec
Maximum number of display	colors 2560 bits
Z buffer 32 bits	(RGBA: 8 bit each)
Process Technology	0.25 um
Total number of transistors	43 M Tr's
Package	384-pin BGA
Image Output Formats	NTSC/PAL, D-TV,
VESA(u	upto 1280x1024 dots)

In Addition to the 128-bit CPU Emotion EngineTM and I/O processor, Playstation 2 adopts several advanced technologies. The Graphics Synthesizer graphic engine, CXD2934GB, takes full advantage of embedded DRAM system LSI technology.

The following Fig.18 shows the chip photograph of our 0.25 um CMOS 4MB Embedded DRAM which has 42.7 M Trs. The clock rate is 150 MHz, with 48 GBps band width. It can draw 75M polygons/sec. It has 384 pin in BGA. Its cross sectional view is also shown here.



Fig. 18 4MB EmDRAM for PSX2

Semiconductor's optical integrated device technology contributes significantly to miniaturization and high reliability in the optical pickups, SLK3201PE, a twowavelength laser coupler chip. PlayStation 2 also adopts the optical disc system chip solution which has a solid track record, CXD2942R, a sound processor chip, and has earned the trust of the optical disc system market. It also includes CXD1869 (CD/DVD signal Processor LSI), CXP102064R(Disk Controller), CXA2605R(Cd/DVD RD Matrix Amplifier) and CXA3525R(Analog Video Encoder).

First commercial product for use in consumer products is 0.5 um LSI chips for 8 mm camcorders in 1995. Then we had 0.35 um LSI chips for MD products with low voltage operation of 2.0 volt. Now 0.25 um PlayStation 2 Graphics Synthesizer has eDRAM with 48 GB/sec bandwidth. Fig.19 shows the EmDRAM History.



Fig. 19 Embedded DRAM History

Sony Em-DRAM has a high-band performance of 76.8 Gbyte/sec. See Fig.20.



Fig. 20 Performance of Embedded DRAM

In the following three figures, Fig.21, Fig.22 and Fig.23, the memory cell size trend, some details of our embedded DRAM history and the vertical critical dimensions between 0.25 um and 0.18 um EmDRAM process are shown respectively.

Some words on the fearture and critical issues of 130 nm Emb-DRAM LSI Process.

The most advanced design rule to achieve high performance Tr –

- > Enhance resolution, and
- refine OPC system (speed, accuracy)
- Large variation in duty cycles
 Reduce isolation dense bias

High global step-> Enlarge D.O.F High aspect hole process -> Enhance etching durability

OPC=Optilcal Proximity Correction DOF=Depth of Focus







Fig. 22 Embedded DRAM History



Fig. 23 Em-DRAM Process Technology

In the 0.18 um EmDRAM process, the optical Proximity Correction (OPC) technology and the phase-shift mask technology (PSM) were very important. See Fig.24 and Fig.25. Many high performance manufacturing and measurement automatic machines such as shown in Fig.26 are necessary



Fig. 24 Optical Proximity Correction



Fig. 25 Phase-Shift Mask(PSM) Technology



Fig. 26 Overlay Accuracy Measurement System

The Fig.27 shows the cross sectional view of 0.18 um EmDRAM which was realized by utilizing all of these technology and the high performance machines.

Now some comments on key factors: technology extention such as optical extention and full flat process technology. KrF lithograpy optical extention features high NA, Ultra-Rosolution, thin photo resist and the OPC technology. Wirings are fully planatrized interlayers Cu/Dual Damascene. The EmDRAM features Fully Planarized Capacitor with the Global step-less DRAM/Logic structure by self-align process.



Fig. 27 Cross Sectional View

4 Conclusion

Some introductory comments on the basic semiconductor device concepts were given. They are strongly related to the microelectronics of the present home entertainment LSI. Chips. The talk covered some product specifications and performance aspects of the home entertainment LSI chip sets, such as for digital cameras, home robotics and games in details. Cost of EmDRAM and its solutions by using EmDRAM are strongly related with new market creation like PSX2. The EmDRAM technology for PS2/Computer and some other future home entertainment electronics gadgets has a potential to be the technology driver in years to come.

4 Reference

- Yoshiaki Hagiwara, "Solid State Device Lecture Series Aph/E183 at CalTech" in 1998-1999, http://www.ssdp.Caltech.edu/aphee183/
- (2) Yoshiaki Hagiwara, "Measurement technology for Home Entertainment LSI Chips", a key note presentation at the tutorial session in ICMTS2001, Kobe Japan, March 19-22, 2001
- (3) M. Fujita and H. Kitano:"{{D}evelopment of and {A}utonomous {Q}uadruped {R}obot for {R}obot {E}ntertainment}", Autonomous Robots vol.5, pp.7-8, Kluwer Academic Publishers, 1998.
- (4) Kohtaro Sabe, "Architecture of Entertainment Robot - Development of AIBO –", IEEE Computer Element MESA Workshop 2001, Mesa Arizona, Jan 14-17, 2001
- (5) JP 1215101 (a Japanese Patent #58-46905), Nov 10, 1975 by Yoshiaki Hagiwara

PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf 3_JP1975-127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf 4_JP1975-127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf 5_JP1975-134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf 6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf 7_JP2014-135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf 8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf 9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf 10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf 11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf 12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf 13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf 14_P2017_CoolChips_Panel_170419_29_pages.pdf 15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf

16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf

SOI Design in Cell Processor and Beyond

Yoshiaki Daimon Hagihara Chairman and CEO, AIPS/AINS Consortium (Ex-Sony Fellow, Semiconductor Strategic Planning) Hagihara-Yoshiaki@aiplab.com

Abstract—A brief historical overview of the microelectronics of the present home entertainment LSI chips with regard to the product specifications and performance aspects of the home entertainment LSI chip sets, such as for digital cameras, home robotics and games are given in order to explore the possible killer applications as our driving force for our future semiconductor and electrical and electronic industries. SOI design in Cell Processor is one good example. But some further technology break-through may be needed for our future potential real-time AIPS/AINS applications. Here, AIPS stands for Artificial Intelligent Partner Systems and AINS stands for Artificial Intelligent Nursery Systems.

I. INTRODUCTION

This talk is actually a continuation or the second part of the presentation delivered by the author at the ESSCIRC2001, which was held in Vilach Austria in September 18-20 2001 [1] Due to events of 11 September, the author could not attend in person, but his presentation via a conference connection was exemplary and well received.

At that presentation, a brief historical overview of a first home entertainment consumer electronic gadget, called a portable transistor radio was given, and then some introductory comments on the basic semiconductor device concepts were explained. They were strongly related to the microelectronics of the present home entertainment LSI chips with regard to the product specifications and performance aspects of the home entertainment LSI chip sets, such as for digital cameras, mobiles, and games.

Seven years have passed since then and surely these evolving modern electronic gadgets surely have changed our life and style drastically, but the consumers are demanding always, still better performance and quality. The semiconductor and electrical and electronic industries have drastically transformed their status for the customers' needs in their surviving games.

There were many merging and immerging companies in order to provide swiftly for the consumers better products with better performance and quality. It is very important to find out what the consumers really want, and much more important to supply what they really want as soon as possible or at least in time. Yes, sometimes, it is very hard to predict what the consumers really want.

Too early introduction to the consumer market may cause some critical damage or discouragements for the future product planning and development. However, it is worth trying ASAP to challenge to see the feasibility of a new methodology or a choice of technology to realize the desired product specifications and performance aspects of a new revolutionizing home entertainment gadget.

Bipolar Transistor Technology is one example that accelerated the portable radio consumer market in 1950s. CCD Technology is another example that accelerated the portable video and digital cameras in 1980s. SOI Design in Cell Processor [2] could be considered as another challenge to revolutionize the consumer semiconductor technology that has been proved to be successfully adopted for the mass-production just in time for customers' needs.

The Bipolar technology, the CCD technology and the SOI technology will surely contribute for the future consumers' specific high-class products for many, many years to come, and the real profit may lie in these devices enjoyed by a limited number of semiconductor vendors who have accumulated many year's production experience and know-how while the CMOS Logic LSI Chips Technology, the CMOS Imager Technology, and the CMOS Bulk Technology for future Multi-core processors may be well standardized and utilized for low-cost and low-profit products, but serving for a huge consumer market segment.

Our future is not ours to see. Whatever will be will be, but some insight and future prospective may be possible if the future killer application can be clear in picture with well-defined product specifications and performance aspects of a new revolutionizing home entertainment gadget for our future mass-production consumer business enhancement.

Some further technology breakthrough may be needed for our future potential real-time AIPS/AINS applications. Here, AIPS stands for Artificial Intelligent Partner Systems and AINS stands for Artificial Intelligent Nursery Systems.

II. BIPOLAR AND MOS DESIGNS

A small portable radio called TR-1 in Regency brand was being sold in Liberty Music Store in New York City for the price of \$49.95 during the December Christmas holiday season in 1954. It was seven years after the invention of the bipolar transistor in December 1947.

The radio is made of four n-p-n grown-type Bipolar Transistors with the 22.5 volt stacked type 015N battery being used in US Army. The picture of the TR-1 Regency brand Radio and its Circuit Diagram are shown in Fig.1a and Fig1b. below .



Figure 1 a

Regency TR-1 Radio



Figure 1b Circuits Diagram of Regency TR-1 Radio

However only ten thousand units were produced due to the poor reliability and high cost. The problem is that the transistor has a very low internal impedance and it needs a high by-pass capacitor of a few micro-farads. The transistor itself had a very low yield these days.

A small venture company in the far east conquered these problems and introduced the world most reliable and compact consumer TR-55 portable radio with 6 volt supply voltage in Aug 20, 1955.

More than fifty years have passed, but many innovative RF and Wireless papers with integrated capacitors and inductors are still high lighted in the international technical conferences and being implemented in real consumer products.

Though we see the transition from Bipolar to CMOS in many applications such as the one shown in Figure 2 below, the analog , wireless and RF circuits are still holding important roles in our semiconductor industry.



III. CCD AND CMOS IMAGER DESIGNS.

The basic pinned-diode structures adopted for the sensor elements both in CCD imagers and CMOS imagers are identical. The original structure was proposed by the author in 1975 and now it is a free patent[3][4][6]. The original idea came from the floating and lightly-doped base n-region utilized as the photo-electrons dynamic storage area in a conventional but slightly modified p-n-p bipolar junction transistor embedded in the n-substrate. This structure was the basic of the most of the universally adopted sensor elements in CCD and CMOS solid-state imagers now a day. Figure 3 below shows the structure



Figure 3 p-n-p-n Sensor Structure for CCD&CMOS Imagers

The relatively highly-doped emitter region quenched the undesired electric field at the Silicon SiO2 interface, and very low dark current and defect free image sensing element was realized. More over even though this is very similar to the p-np bipolar transistor structure with n-type substrate, the p-n-p transistor operates dynamically with the base storage junction capacitor region floating. With this structure one single photo detection may be possible when the lightly doped floating base is depleted completed. The same floating lightly doped base BJT sensor elements can be utilized both in the CCD imager in Figure 4a and in the MOS imager case as seen in Figure 4b below.



Figure 4a CCD Imager with Floating-Base BJT Sensors with Vertical and Horizontal CCD Shift Registers



Figure 4b The Same Floating-Base BJT Sensor with CMOS X and Y Transfer lines in CMOS Imager

Here we observe that even in CCD Imagers the output circuits are made of the CMOS source-follower circuits. And even in the CMOS imager case, the basic sensor element is the basic BJT sensor structure. Even a pinned diode, it is a p-n-p structure. A variety of technologies are all incorporated and utilized to achieve the best device performance.

IV. CMOS BULK AND SOI DESIGNS

Ten years has passed after the introduction of SOI into a product. Was SOI considered as a competitor to bulk CMOS then ? Now we see both technologies continue to co-exit in some of the application domains, such as microprocessors and gaming.

However, we also see the exclusive use of bulk CMOS in main stream SOC. It was thought 10 years ago that SOI has

a performance advantage over bulk, and the cost would be its barrier for wide application. In this speculatives no one was sure about what were the applications. There were no clear pictures of the killer applications except PC and game processors in the huge consumer markets.

Figure 5 Two Technologies Overview

Osamu Ta T	kahashi ISSCC2008 echnology	65nm SOI CMOS Technology on p- SOI Substrate	45nm SOI CMOS Technology on p- SOI Substrate	Scaling
Used	Thin Ox Hvt	yes	yes	
Device	Thin Ox Rvt	yes	yes	
Type T	Thick Ox Rvt hin Ox Tox	yes 1.12 nm	yes 1.16 nm	
T	ick Ox Tox	2.35 nm	2.50 nm	
Nominal Supply (Thin Ox) Nominal Supply (Thick Ox) Mtl Minimum Width Mtl Minimum Spacing		1.0 V 1.5 V 0.1* um	0.9-1.0 V 1.5-1.8 V 0.076* um	0.76
		м	etal Layers	10
SRAM Cell Area		0.700 um ²	0.404 um ²	(0.76)2

Cell/B.E. design specific. Not technology specific

Since most of the circuits engineers are working on bulk-CMOS chips, before comparing or discussing about the features of BulK and SOI CMOS, the basics of SOI needs to be understand.

Figures 5 thru 7 give some good insights of SOI performance. Obviously, there are specific performance requirements from graphics/games processors. Some specifics of the technology used in the CELL processor must be understood.

It would be of general interest to learn about new design and library techniques - challenges faced, new solutions, how technology features are exploited and what has been achieved. Then we can really discuss on why do it, and about the key issues.



V. CELL PROCESSOR

Ken Kutaragi[5] in his plenary talk "The future of computing for real-time entertainment", at ISSCC2006, February 2006 started with a short review of computing and computer games, from Eniac, through microprocessors and text-based games, to Pong, and now approaching real-time computer generated graphics.

Figure 7 Simulated Relative Power of Cell/B.E. with Three Technologies



This trend is continuing, expanding the market from homes and fixed-location gaming, to the mobile space. This trend will increase IC content and push the limits of the semiconductor processes. In the early games, the game platforms used mature technologies like TTL, so the internal silicon was always one or two generations back from the leading edge. The gaming market was fairly small and most games were just advanced toys. Designs were integrated into ASICs to reduce costs and size, but there was no effort to push the technology.

Figure 8 45nm Cell/B.E. Die Photo

Osamu Takahashi ISSCC2008

By 1994, the games were just starting to move to 0.5-micron processes, while the leading process was 0.35 micron. Eventually over time, the game chips migrated to smaller processes to increase integration and reduce costs. Now games

are a big business, Over 700 million gaming platforms are in players' hands, and the industry consumes 70,000 8-inch wafers per month for logic and memory – with demand increasing in 2007 to over 120,000 8-and 12-inch wafers per month. The latest games are multi-core SoC devices that push the state of the art in semiconductors.

The PlayStation became one of the first gaming systems to push the technology. It is similar in architecture to a PC, except for its MIPS processor and dedicated geometry transfer engine. Due to the 5-stage pipeline in the graphics chip, the latency approached 100 msec – a speed that humans discern as discontinuous and definitely not real time.



Figure 9 Trend of HW Solution to SW Solution

To address the latency issue, the emotion engine was developed in 1998. This groundbreaking graphics chip needed the latest technologies to achieve its performance and level of integration. By reducing the number of pipeline stages and increasing integration – with 10.5 million transistor and a 128bit dual vector processor – the Playstation pushed all of the existing limits of the 250-nanometer process.



Figure 10 Cell/B.E. and Toshiba SpursEngine

In 1999, the design was ported to a 4-metal, 180-nanometer process to reduce size and increase performance. The following year, it was ported to a 130-nanometer process. The 2-chip set was reduced to a single chip in a 90-nanometer process in 2004.

Also in 2004, the portable PSP platform was introduced. This gaming system uses a 9-metal, 90-nanometer process and has 18 million transistors in a multi-core architecture. The advent of real-time response in games changed the entire experience. Just as computers changed lives by bringing new compute capabilities to the office – first through spreadsheets, then communications and publishing, and finally to the rest of the high-technology lifestyle through video and music – the new games brought other changes.



Figure 11 # of Transistors on a MPU chip

Real-time response now allows the user to interact more closely with the games. The absence of any noticeable lag immerses the user in the action. The need for more computing and massive I/O capabilities is acknowledged in any real-time situation.



Figure 12 Trend of Processor in ISSCC papers

For example, a Formula 1 car has over 200 sensors and needs a supercomputer to process the data in the time available. Other real-time applications have similar requirements. The real-time environment forces the computer designer to change from a storage-centric to a processing centric model, with low latency and high throughput as essential design characteristics.

The Cell chip is a very highly parallel, multi-core processor with massive bandwidth for memory and I/O. Among the new capabilities in the chip are internal hardware security functions and an architecture geared for high scalability. Figure 8 shows the current 45 nm Cell Processor.

The Cell chip represents the convergence of supercomputers and computer entertainment in massively parallel systems with real-time response, quickly approaching the prospect of a super artificial intelligence that includes vision systems, intelligence – and even curiosity, as we saw in HAL in the film 2001.

The weight on the software developments efforts will be much heavier and heavier in near future. See Figure 9 above. We also see now SOI and Bulk co-exist in variety of differenct unique applications. See Figure 10.



Ref: http://www.top500.org Figure 13 Projected Performance Development

Next-generation systems will include not only the supercomputers as explained in Figures 11 thru 13, but also vast number of sensors of all types to change the way humans and computers interact. Game machines have gone from trailing-edge components to leading-edge SoC devices over the past 30 years. But Game machines are not the only real-time applications. There must be more potential applications of real real-time machines in order to meet our human needs.

The future of real-time computing will include massive assemblies of parallel processors over mesh-connected networks to execute the vast amounts of computation that recognize and react to the real world with many types of sensors and interface and networking connections.

The enhanced capabilities of the supercomputer-class devices will change user experiences and expectations in ways we are not fully aware of and not able to define, at least for now. Face recognition and real-time cosmetic face simulation can be realized with dedicated processors. SpursEngine by Toshiba is one good example. See Figure 10 above.

But the real killer application may be just waiting at the corner to appear in front of us suddenly soon. Since the need is the mother of inventions, all we need to look for is just what we really wish to have in our daily life at home and outdoors.

VI. AIPS/AINS-ROBOT APPLICATIONS

The author believes the key lies in the human friendly AIPS and AINS-Robot Applications. A robot is a product of many technology achievements including material science, mechanical engineering, electrical engineering and a huge amount of supporting software environments with real-time supercomputers and communication wire-line and wireless networking.

If the robot application is dedicated for the daily care of old and disabled people at home, the dedicated AIPS/AINS system also needs to consider the barrier free house design efforts and for the natural friendly human-robot interface, the human-friendly robot appearance and cloths are desired.

The convergence of supercomputers and computer entertainment in massively parallel systems with real-time response, quickly approaching the prospect of a super artificial intelligence that includes vision systems, intelligence – and even curiosity, as we saw in HAL in the film 2001.

Next-generation systems will include vast number of sensors of all types to change the way humans and computers interact.



At home, every room has many, many sensing video cameras and audio sound pick-up systems wired together in the home network system with the super computers processing the voice and image pattern recognitions in real time, and the advanced AIPS/AINS Software will control the robust mechanical robot arms, legs and moving wheels to respond in real time to the requirements and requests given by the old and disabled people at home.

Current humanoid robots are being designed to be mobile and portability-oriented design with many constraints in power management and body-space limitations.

But by sharing a variety of functions with in- door furniture-type TV display super computer terminal, internet remote control intelligent services, toy-type sensors, the mechanical robot body itself can be designed and dedicated to achieve fully- reliable and accurate human-like gentle and strong movements.

What we really needs is the total computer controlled robot system that can really control in real-time the complicated mechanical system such as the One-legged Ghost Umbrella Toy or the Classical Japanese Johruri Doll Play.



(3) a computer-controlled new version of the Classical Japanese Bunraku Doll Theatre System.



http://www2.ntj.jac.go.jp/unesco/bunraku/jp/contents/whats/index.html

Figure 15 Another AIPS/AINS-ROBOT Application Images

These systems can be achieved with the real-time feedback systems with many video camera and audio pick-up interfaces.

The entire system may be connected to the established security service company or privately connected to their children and wives outside home by mobile phone and wireless real-time communication system so that the old and disabled people need not be cared and confined in the remote hospital away from their family and friends. With the dedicated their own private AIPS/AINS-Robot services, the old people's daily care nursery home may not be important for them.. They can stay at home with their children, grandchildren and friends and family for the rest of their lives happy after.

While the person is still active and clear in mind, the AIPS-Robot serves as the real partner friend to them. They can teach or program the AIPS-Robot as they wish with many dedicated hours for their own dedicated requirements.

When the people gets old, forgettable, and disabled, the AIPS-Robot can work continuously now as the AINS-Robot as a friend to the old and disabled man. These applications can be realized with the super-computing processors, video camera and audio sound sensing systems all connected and effectively with wire-line wireless real-time communication channels, also with the comfortable display screen and audio-sound track systems built-in at home. Since the day-care home service system for the old and disabled people can be defined quite accurately, the system requirements and specifications can be well defined. The entire system can be also achieved in a much larger scale in outdoors. Maybe what we need is only one supercomputer or one big network of supercomputers all connected in one to act as one entity in super real-time. All the AIPS/AINS-robots can be assisted to perform natural way serve people.

VII. CONCLUSION

In ISSCC2006, Ken Kutaragi talked his vision on the future of computing for real-time entertainment in details. Almost three years have passed since then. And now the PS3 game consoles with blue-ray disk and SOI-CELL Processor are now in the hands of the consumer market in the stage of the full enjoyment of mass production. Time is now ready for us to see the real real-time applications, more functions with the full supports of the game machine capability, supporting the virtual-world entertainment applications. We now look for more than the simple real real-world applications such as the game-robots and the Robo-Cups. The real killer application is what the mass consumer market is waiting for.

The author believes that the target application is the completely human-friendly AIPS/AINS-robot total service system solution at home. To achieve this, goal, the semiconductor engineers, electrical and electronic engineers, software engineers, mechanical engineers, house-designers, even the garments fashion-clothes designers and art designers must work together hands in hands.

ACKNOWLEDMENTS

The author expresses sincere appreciations his and gratitude to Osamu Takahashi, IBM Austin, Toshiba Japan, Hisashige Ando, Fujitsu Saito, Mitsuo Japan and Michinori Nishihara, IBM Japan for supporting and providing me their precious presentation materials with kind advice and suggestions. Also special thanks go to many Sony-Toshiba-IBM Projects, PS2 and PS1 friends of including colleagues of the newly formed the AIPS/AINS Consortium:

AIPS = Artificial Intelligent Partner Systems.

AINS= Artificial Intelligent Nursery Systems.

See http://www.aiplab.com/

References

- Yoshiaki Hagiwara, "Microelectronics for home entertainment." An Invited Talk at The European Solid-State Circuits Conference (ESSCIRC 2001) 18-20 September, 2001, in Villach, Austria.
- [2] Osamu Takahashi, et al, "Migration of Cell Broadband " from 65 nm SOI to 45 nm SOI", pp.86-87, and p.597, Paper 4.3, Digest of Technical Papers, ISSCC2008, February 4, 2008, San Francisco California
- [3] JP1215101, a Japanese Patent#58-46905, invented and filed by Yoshiaki Hagiwara, Nov 10, 1975.
- Yoshiaki Daimon-Hagiwara, Motoaki Abel and Chikao Okada, "A 380H × 488V CCD Imager with Narrow Channel Transfer Gates"10th Conf. Solid State Devices, Tokyo, 1978 Japanese Journal of Applied Physics Vol. 18 (1979) Suppl. 18-1, pp. 335-340
- [5] Ken Kutaragi, "The future of computing for real-time entertainment", a plenary talk at ISSCC2006, February 2006 in San Francisco, California

PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf 3_JP1975-127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf 4_JP1975-127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf 5_JP1975-134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf 6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf 7_JP2014-135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf 8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf 9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf 10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf 11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf 12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf 13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf 14_P2017_CoolChips_Panel_170419_29_pages.pdf 15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf

16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf



http://isscc.org/

International Solid State Circuits Conference

1954-2013









ISSCC2013 San Francisco

Yoshiaki Daimon Hagihara

(1) Thank you, Anantha-san.

Good evening, ladies and gentlemen. And a happy 60th anniversary to ISSCC2013. And a happy 60th anniversary to ISSCC2013.

I thought I was invited as an old boy for this special occasion since I had been involved and served for many years in this ISSCC community. But I received a homework and was asked to prepare for a short talk on this panel. It was a very difficult subject. So, the first thing I did was, look around for my old subject. So, the first thing I did was, look around for my old books and notebooks in my house and office.



Digging lost treasures in circuit design out of my old books....

ISSCC2013 San Francisco

Yoshiaki Daimon Hagihara



(2) I found some , I sorted them out, and put them together on my bookshelf. Here they are.

This evening, if I am allowed to introduce you only one unique circuit application, it would be a circuit application of a p-n-p-n diode structure. diode structure. In a normal operation mode, this device works as a Thyristor, which can drive a large current and can make even a big linear motor car float and move very swiftly. On the other hand, when this is in off-state, it has very, very small leakage current, which is very important for our modern society seeking for low-power is very important for our moder for low-power Energy-saving systems. And in a dynamic operation mode, this device may work as a simple p-n-p-n capacitance, that can detect and store one single electron. I think this is a key device of an image sensor.



Yoshiaki Daimon Hagihara

ISSCC2013 San Francisco



(3) There are many physics involved to understand this p-n-p-n diode structure and its related circuit behaviors.

So I tried to recall my freshman year in college, when I was taking a physics course. Prof. Leighton, and sometimes Prof. Feynman himself, gave us lectures. Their lectures were always fascinating to us. They always tried to appeal intuitively to our young minds.

Feynman once said that an electron is always free, moving around rapidly in free space, even in a solid, and it never stops. It is very hard to catch. We don't know exactly where it is. Our civilization is based on the catch. We don't know exactly where it is. Our civilization is based on the technology of controlling a single electron.





Diode

(a) p-type n-type (b) V (c) N_p N N N_n N_n

ISSCC2013 San Francisco

Yoshiaki Daimon Hagihara



(4) So I was always being guided to try to understand physics by paying a special attention to the behavior of one single electron interacting with a photon in a solid, in a metal, in an insulator, in a capacitor, in a p-n junction and in a transistor. A p-n junction is also called a diode, a rectifier, a LED, a solar cell or simply a p-n junction capacitor depending on how we want to use it. If we don't want to use, but if it is still there, I learned later that it is also called a parasitic p-n junction capacitance, which is a very important circuit element for predicting a very complicated VLSI circuit performance in some cases.





Bipolar Transistor



Yoshiaki Daimon Hagihara

ISSCC2013 San Francisco



(5) I thought I had a very good background in Feynman physics. Feynman physics always talked about the behavior of one single electron in free space and in a solid. The situation gets more complex when an electron interact with a photon.Well, a picture is worth one thousand words.

This is a picture of boys trying to catch a girl on the hill top but most of the boys are guided to the collector junction cliff and fall down to be collected at the collector terminal. And only a few boys out of say 100 energetic boys can catch a girl on the hill top and they can recombine can catch a girl on the hill top and they can recombine and become happy. And the pair can produce a baby-photon. This is in a sense a light emitting photo-transistor with a very poor efficiency of a few percents.





Bipolar Transistor Feynman Physics Volume III p.14-11 Fig.14-12

ISSCC2013 San Francisco





Yoshiaki Daimon Hagihara



(6) And this is a picture of an incoming photon incident to the bipolar transistor base region. The photon energy creates an electronhole pair and the photo-electron can be stored in the base as the majority carrier. So I see that a bipolar transistor can also function as a photon detector and/or a storage container. As you know, a room in a hotel must be empty and clean before the first hotel guest arrives. So must be this transistor base region empty and clean with no guest electrons this transistor base region empty and clean with no guest electrons at the beginning. In this way, I thought a transistor is useful since it can capture, confine and control one single electron. But I did not know yet how to move that single photo-electron in the base container to the outside terminal so that we can use it as a signal. That is, I had no way yet to know whether the guest has checked in the hotel and resting in the hotel room. I had no way yet to ask the hotel guest to come up to the hotel room. I had no way yet to ask the hotel guest to come up to the hotel lobby to meet me. I had to wait a few more years to find the answer. We all know now it is CCD, a charge coupled device that is a series of capacitance that can store and transfer one single electron. With a output circuit of a pre-charge reset set gate and a source-follower circuit we can finally meet our hotel guest at the hotel lobby !





(10) A slight modification of this p-n-p-n diode gives us another very useful device, which we call Insulated Gate Bipolar Transistor. This is a key device for a linear motor car of the future ! This is a simple inverter circuit with an inductance coil as the load element and the driving device is an Insulated Gate Bipolar Transistor with the PWM control input. The PWM, Pulse Width Modulation, techniques is a very powerful and useful digital circuit system technique now universally applied for driving servo motors for many mechanical system applications including Robotics. This PWM circuit technique is useful to control the On-AND-OFF Digital current flow in the magnetic coil used to make a linear motor car to float and move in the air. make a linear motor car to float and move in the air. In a special dynamic operation mode, this device also works as a simple p-n-p-n capacitance that can detect one single electron. And it works as a key device element in modern imagers.









(16) But soon I found out this is no good for imaging. It has a metal layer on the top! The metal layer does not allow light to pass through.

So we still needed the original photo-diode, the photo-transistor, and the p-n-p-n photo-diode that I had studied when I was an the p-n-p-n photo-diode that I had studied when I was an undergraduate student.

At least they can pass the light through the device and catch a single electron in the dynamic capacitance mode of their operations.


ISSCC2013 San Francisco

Yoshiaki Daimon Hagihara

(11) Then the third book I studied, with the guidance of Prof. John McCaldin, was "Physics and Technology of Semiconductor Devices" by Andy S. Grove.



Prof. T. C. McGill



Prof. James McCaldin

(13) When I was about to start my graduate work, I learned about a new device called CCD. I thought we now have a device to detect the arrival of the first guest electron in our empty hotel room !With this device I thought I could ask the guest electron to come up to the hotel lobby to meet us ! I was excited . I thought this is the device we were looking for, that can transfer one single electron in solid from one place to another and to the final output circuit stage. I was excited, and many people were also excited ! Many researchers worked on this device with great expectations. Worked on this device with great expectations. I was excited and worked on this device with the guidance of Prof. T.C. McGill .



Charge-Coupled Devices and Applications

Chairman Lewis M. Terman

Testimonial to the importance of the charge-transfer phenomenon is attested to by the Morris N. Lisbmann and the David A. Samoff awards this year to the originators of the charge-coupled and bucket-brigade devices, respectively. The papers in this session concentrate on the former.

Charge-coupled devices are unique among semiconductor elements. In all other device embodiments into circuits, charge is manipulated and extracted and then used to charge a canacitor or passed through a resistor in such case to develop a signal voltage. In My PhD thesis paper on buried channel CCD at ISSCC1974, in Philadelphia, USA





Prof. T. C. McGill



Prof. C. A. Mead

(14) I became specially interested in a buried channel CCD structure since this device protects a single electron, our important hotel guest, from being trapped by the Si-SiO2 interface states. I analyzed how the electron charge move in the buried layer of BCCD structure by computer simulation, done at JPL Caltech Pasadena, with the guidance of Prof. T. C. McGill and Prof. C. A. Mead in Caltech. And, I published my PhD thesis work on buried channel CCD at ISSCC1974, in Philadelphia, USA

Yoshiaki Higihara: The p-n-p-n Diode in Future Linear Motor Cars and in Modern Imagers

John Louis Moll (1921-2011) was studying a p-n-p-n diode switch in his Ph.D. dissertation work when the first ISSCC was held in 1954. In a normal operation mode, this device works as a thyristor, which can drive a large current and is the key device structure of an IGBT applied for a linear motor car of the future (see Figure 9). In a dynamic operation mode, this device may work as a simple p-n-p-n dynamic capacitance that can detect and store one single electron, which is a key device structure of the modern image sensor (see Figure 10).

I recall, when I was taking his physics course at Caltech, that Feynman once said that an electron is always free, moving around rapidly in free space, even in solid, and it never stops. It is very hard to catch an electron because we do not know exactly where it is. Our civilization today is based on a technology that controls electrons, down to a single one.



SUMMER 2013 / IEEE SOLID-STATE CIRCUITS MAGAZINE

Imagine a photon incident to a bipolar transistor base region. The photon energy creates an electronhole pair. And the photo-electron can be stored in the base region as one single majority carrier. That is, a bipolar transistor can also function as a photon detector and/or a storage container. I thought that a room in a hotel must be empty and clean before the first hotel guest arrives. So must be this transistor base region empty and clean with no guest electrons at the beginning. This transistor in a dynamic p-n-p capacitor mode is useful since it can capture, confine, and control one single electron. But as a student, I did not know yet how to student, I did not know yet how to move that single photoelectron sitting in the base region to the outside world so that we can make use of it as a signal. I had no way yet to know whether the hotel guest has arrived and is resting in the hotel room or not. We had no way yet to ask the hotel guest to come up to the hotel lobby to meet me. I had to wait a few more years (until 1970



FIGURE 10: From CCD to the dynamic p-n-p-n diode capacitors.

in my senior year in college) to find the answer. We all know now it is the CCD structure that can store and transfer one single electron. With a precharge reset set gate and

With a precharge reset set gate and a source-follower circuit, a scheme invented by Walter Kosonocky. We could finally meet our hotel guest at the hotel lobby.

Antiques from the Innovations Attic

Rousing nostalgia for the IC yesteryear, panel organizers Trudy Stetzler, Bram Nauta, and Anantha Chandrakasan said in their Conference Digest overview "When you clean up your attic you may find things that you have totally forgotten about: old toys you used to play with, old books with lost stories. And then you think back to those past days and view them in the context of today's busy life, and sometimes find new uses for forgotten items. This panel does a similar thing."

The six experts they invited from academia and industry "to dig into their memories and find lost treasures in circuit design" were asked specifically "to reveal circuits and concepts that they feel are the most

Digital Object Identifier 10.1109/MSSC.2013.2254637

interesting, intriguing, and underappreciated innovations from the past" and to "explain why the concept is significant today and should be pulled from the innovation attic."

Their confab, which drew an estimated 2,000 people on Monday evening, offered many notable remembrances:

Eric Vittoz highlighted "currentmode analog circuits in weak conversion" as those seldom used in the past because of their poor precision due to threshold mismatch. But these circuits, he said, may regain Organizer: Trudy Stetzler, Houston, Texas

Moderators: Anantha Chandrakasan, Massachusetts Institute of Technology, Cambridge, and Bram Nauta, University of Twente, Enschede, The Netherlands

interest in deep submicron processes where larger-than-minimum devices could be used to reduce threshold mismatch.

Coincidentally, Rinaldo Castello also highlighted current-based





Nicky Lu, flanked by intently listening Tom Lee and Rinaldo Castello.



Yoshi Hagihara, Eric Vittoz and Bob Brodersen.

processing as the antique from the past with renewed appearance as what he termed "pipe" processing and "pipe" filters.

Robert Brodersen offered timedomain processing as his "basic attic idea" and how this could be used to attack the most important problems of radio design. He pointed to impulse radio and active cancellation as "two time-domain projects from the attic."

Nicky Lu picked core memory as an antique that is now resurfacing as spin-torque transfer magnetoresistive random-access memory (STT-MRAM).

Yoshiaki Hagihara shared his memories of Richard Feynman, his mentor and educator at Caltech, and how he learned from him that control of electrons is at the heart of all electronic devices. As an example from his attic, he pointed to the old p-n-p-n junctions that are now incorporated in modern-day image sensors.

The last speaker of the session, Thomas Lee, focused on the mysteries and misunderstandings surrounding the linear time-varying (LTV) circuits where the Laplace transform in its simple form cannot be used for analysis. Examples from his attic were super-regenerative amplifiers and parametric systems.

A full-length accounting will appear in this magazine in the Summer 2013 issue.

> —Ali Sheikholeslami ISSCC Educational Events Chair

History of dynamic Solid State image sensing structure from BCCD type MOS capacitor to the P+NPN junction Pinned Photodiode capacitor



(1) CCD type invented by Bell Lab in 1968 (2) N+P type The classical photodiode with serious image lag (3) P+NP type (4) P+NPN type

(3) and (4) are the P+NP junction type Pinned Photodiode invented by Yoshiaki Hagiwara, 1975

In Japanese patent 1975-134985, Hagiwara at Sony invented the Pinned photodiode with very low dark current, which is also the completely depleted Buried Photodiode with image lag free picture quality, and also with the built-in vertical overflow drain (VOD) function.

Reference: IEEE Solid-STATE CIRCUITS MAGAZINE, SUMMER 2013 issue pp. 6~

PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf 3_JP1975-127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf 4_JP1975-127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf 5_JP1975-134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf 6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf 7_JP2014-135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf 8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf 9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf 10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf 11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf 12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf 13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf

 $14_P2017_CoolChips_Panel_170419_29_pages.pdf$

15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf 16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf



IEEE Symposium on Low-Power and High-Speed Chips

COOL Chips 20

YokohamaJoho Bunka Center, Yokohama, Japan (Yokohama Media & Communications Center)

April 19-21, 2017

Panel Discussion

Topics: "Cool chips for the next decade"

Yoshiaki Hagiwara

http://www.aiplab.com/ Hagiwara-yoshiaki@aiplab.com

ISSCC® 2013 | February 17-21 60 Years of (Em)Powering the Future

Plenary Talks (Monday, February 18)



Lisa Su Senior Vice President and General Manager, AMD

Architecting the Future through Heterogeneous Computing





Smart Life Solutions from Home to Cities



0

Next Generation Lithography : Progress and Outlook

Product & Technology Officer, ASML

Carver Mead Professor Emeritus, Caltech

Martin van den Brink

The Evolution of Technology

60th Anniversary Distinguished Evening Panel (Monday, February 18) "Antiques from the Innovations Attic"



International Solid-State Circuits Conference February 17–21, 2013 | San Francisco, CA



Welcome to the 2013 IEEE International Solid-State Circuits Conference (ISSCC). This year, we will celebrate the 60th anniversary of ISSCC. ISSCC is the flagship conference of the Solid-State Circuits Society, and is the premier forum for the presentation of advances in solid-state circuits and systems-on-a-chip. The Conference offers a unique opportunity to network with leading experts in the field. For 2013, the Conference theme is "60 Years of (Em)Powering the Future". more



Yoshiaki Higihara: The p-n-p-n Diode in Future Linear Motor Cars and in Modern Imagers

John Louis Moll (1921-2011) was studying a p-n-p-n diode switch in his Ph.D. dissertation work when the first ISSCC was held in 1954. In a normal operation mode, this device works as a thyristor, which can drive a large current and is the key device structure of an IGBT applied for a linear motor car of the future (see Figure 9). In a dynamic operation mode, this device may work as a simple p-n-p-n dynamic capacitance that can detect and store one single electron, which is a key device structure of the modern image sensor (see Figure 10).

I recall, when I was taking his physics course at Caltech, that Feynman once said that an electron is always free, moving around rapidly in free space, even in solid, and it



FIGURE 9: The p-n-p-n switch diode for a modern linear motor car.



Yoshiaki Hagihara shared his memories of Richard Feynman, his mentor and educator at Caltech, and how he learned from him that control of electrons is at the heart of all electronic devices. As an example from his attic, he pointed to the old p-n-p-n junctions that are now incorporated in modern-day image sensors.

Yoshi Hagihara, Eric Vittoz and Bob Brodersen.

never stops. It is very hard to catch an electron because we do not know exactly where it is. Our civilization today is based on a technology that controls electrons, down to a single one.

Imagine a photon incident to a bipolar transistor base region. The photon energy creates an electronhole pair. And the photo-electron can be stored in the base region as one single majority carrier. That is, a bipolar transistor can also function as a photon detector and/or a storage container. I thought that a room in a hotel must be empty and clean before the first hotel guest arrives. So must be this transistor base region empty and clean with no guest electrons at the beginning. This transistor in a dynamic p-n-p capacitor mode is useful since it can capture, confine, and control one single electron. But as a



FIGURE 10: From CCD to the dynamic p-n-p-n diode capacitors.

Prof.J.L.Moll



Prof. W.Kosonocky

student, I did not know yet how to move that single photoelectron sitting in the base region to the outside world so that we can make use of it as a signal. I had no way yet to know whether the hotel guest has arrived and is resting in the hotel room or not. We had no way yet to ask the hotel guest to come up to the hotel lobby to meet me. I had to wait a few more years (until 1970 in my senior year in college) to find the answer. We all know now it is the CCD structure that can store and transfer one single electron. With a precharge reset set gate and a source-follower circuit, a scheme invented by Walter Kosonocky. We could finally meet our hotel guest at the hotel lobby.



FIGURE 10: From CCD to the dynamic p-n-p-n diode capacitors.

4.9 A 1ms High-Speed Vision Chip with 3D-Stacked 140GOPS Column-Parallel PEs for Spatio-Temporal Image Processing

Tomohiro Yamazaki¹, Hironobu Katayama¹, Shuji Uehara¹, Atsushi Nose¹, Masatsugu Kobayashi¹, Sayaka Shida¹, Masaki Odahara², Kenichi Takamiya², Yasuaki Hisamatsu², Shizunori Matsumoto², Leo Miyashita³, Yoshihiro Watanabe³, Takashi Izawa¹, Yoshinori Muramatsu¹, Masatoshi Ishikawa³

¹Sony Semiconductor Solutions, Atsugi, Japan ²Sony LSI Design, Atsugi, Japan ³University of Tokyo, Bunkyo, Japan

High-speed vision systems that combine high-frame-rate imaging and highly parallel signal processing enable instantaneous visual feedback to rapidly control machines over human-visual-recognition speeds.









Next Generation Memory

	FeRAM	MRAM	STT-MRAM	PRAM	ReRAM
信号比	10	1	6	100	10,000
微細化	×⇒O	×	0	0	0
読み出し	破壊	非破壊	非破壊	非破壊	非破壊
書換寿命	10 ¹²	10 ¹⁶	10 ¹⁶	10 ¹²	>106
書込時間	50n~100ns	10ns	<10ns	>30ns	<10ns
セルサイズ	~15F ²	~8F ²	~8F ²	$4F^2 \sim 6F^2$	4F ²

3D memory stack





TSV=through Silicon Via















(1)電源電圧 Vdd<0(順バイアス mode) の場合





Physics and Technology of Semiconductor Devices by A.S.Grove

1971 Intel 1101 256bit RAM



1971 Intel 1101 256bit RAM

Physics and Technology of Semiconductor Devices by A.S.Grove

Prof.CA Mead and myself, Sept 1972



128 bit data comparator chip designed by CalTech and fabricated in Intel, 1972. 128-Bit Multicomparator

CARVER A. MEAD, RICHARD D. PASHLEY, MEMBER, IEEE, LEE D. BRITTON, YOSHIAKI T. DAIMON, AND STEWART F. SANDO, JR., MEMBER, IEEE

Abstract-A 128-bit multicomparator was designed to perform the search-sort function on arbitrary length data strings. Devices can be cascaded for longer block lengths or paralleled for bit-parallel, word-serial applications. The circuit utilizes a 3-phase static-dynamic shift register cell for data handling and a unique gated EXCLUSIVE-NOR circuit to accomplish the compare function. The compare operation is performed bit parallel between a "data" register and a "key" register with a third "mask" register containing DON'T CARE bits that disable the comparator. The multicomparator was fabricated using p-channel silicongate metal-oxide-semiconductor (MOS) technology on a 107×150 mil chip containing 3350 devices. With transistor-transistor logic (TTL) input, data rates in excess of 2 MHz have been attained. The average power dissipation was 250 mW in the dynamic mode and 300 mW in the static mode.







Prof.CA Mead and myself, Sept 1972







Prof. T. C. McGill

Charge-Coupled Devices and Applications

Chairman

Lewis M. Terman

Testimonial to the importance of the charge-transfer phenomenon is attested to by the Morris N. Liebmann and the David A. Samoff awards this year to the originators of the charge-coupled and bucket-brigade devices, respectively. The papers in this session concentrate on the former.

ISSCC1974 PhD Student Paper on buried channel CCD





HAD (hole accumulated diode) sensor











<ICX008> 2/3 Inch 120K Pixcel IT CCD Imager designed



1975-1982 Engineer in CCD Imagers and Camera System
1983-1989 Engineering Manager in SRAM/DRAM/ADC
1990-1998 General manager in Sony /NVM/MCU/PS1
1998-2008 Executive Staff Sony Semiconductor
Strategic Planning PS2/PS3
IEEE Computer Elemets Workshop
Q Vail, Colorado, 1995

Mitsuo Saito (Toshiba)

Bob Guensey (IBM)

10100

Ken Kutaragi

Yoshiiaki Hagihara





PlayStation-3

PS3 の Cell Processor の 微細化によるハード ウエアーのコスト低減効果 と初期投資の回収:

この電子部品の中身 Hardwareを調査研究: Computer の構造とその アーキテクチャーを学習。

比較対象: 2005年モデルPS3 問題点と改良点に ついてまとめる。 Cell B.E. 90nm, 65nm, 45nm



90nm Area 235.48mm2 100% W 19.17mm H 12.29mm SPE 14.76mm2 PPE 26.86mm2



65nm	
Area 174.61mm2	
74.2%	
W 15.59mm	
H 11.20mm	
SPE 11.08mm2	
PPE 19.60mm2	





45nm Area 115.46mm2 49% W 12.75mm H 9.06mm SPE 6.47mm2 PPE 11.32mm2

Copyright (c) 2008 Hiroshige Goto All rights reserved.



街中での通行人の映像





光伝導Cell (CdS) Sensor System 例





相対Pulse遅延判定回路



2つのPulse信号のうちどちらが早いかを判定するCMOSデジタル回路。 X2(t)

アナログ信号比較回路(単純な1bitの A/D変換器)



CMOS回路で構成されたアナログ信号比較回路









see http://www.aiplab.com /


2013年3月25日 午後4時 フジテレビ全国NETで放送







PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf 3_JP1975-127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf 4_JP1975-127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf 5_JP1975-134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf 6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf 7_JP2014-135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf 8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf 9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf 10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf 11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf 12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf 13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf 14_P2017_CoolChips_Panel_170419_29_pages.pdf

 $15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf$

 $16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pdf$

Multichip CMOS Image Sensor Structure for Flash Image Acquisition

Yoshiaki Hagiwara

AIPS

Artificial Intelligent Partner Laboratory

Atsugi-city, Japan

hagiwara-yoshiaki@aiplab.com

Abstract— A new 3D Pinned Photodiode (HAD) CMOS image sensor structure applied in the 3-Dimensional multichip high speed digital flash image data acquisition system is explained and the important features are discussed.

Keywords— Cache SRAM, ADC, Pinned Photodiode, Depletion Photodiode, Buried Photodiode, Back Light Illumination, Global Shutter Buffer Memory, In-pixel Three Transistor Current Source Amplifier.

I. INTRODUCTION

Basically there are five types of photodiode. They are (1) Classic N+Psub junction with serious image lag problem (2) PNPsub junction Buried Photodiode (3) PN-Psub junction Depletion Photodiode with no image lag feature (4) P+N-P junction Pinned Photodiode with the heavily doped P+ surface hole accumulation with no surface dark current feature and (5) P+N-PNsub junction type hole accumulation diode (HAD) with the vertical overflow drain (VOD) function which is by necessity Buried, Depletion and Pinned Photodiode. Fig. 1 shows the 3D multichip CMOS image sensor structure with the 3D Pinned Photodiode (HAD) image sensors with the MOS capacitor Global Shutter Buffer Memory (GSBM) which was originally invented¹ in 1975.



Fig.1: Cross Section of Buried Depletion Pinned Photodiode stacked with two Global Shutter Buffer Memory (GSBM) and CTG stages in two chip configuration for synchronizing data transfer to the receiving ADC and Cache SRAM chips.

II. HOLE ROLE IN PINNED PHOTODIODE

The importance of holes in the hole accumulation layer HAD structure of Pinned Photodiode was first reported in Hagiwara 1978 paper², and then explained in details by Theuwissen³ in relationship with IDEM1982⁴ paper and IEDM1984⁵ paper. Today's success of super light sensitive digital imaging is based on the SiO2 exposed pinned window invented by Hagiwara in 1975¹ with the surface P+ hole accumulation HAD layer. Pinned Photodiode was originally invented¹ in the form of the back illumination scheme as illustrated in Fig. 2.



Fig. 2: The P+PNP junction type Buried Depletion Pinned Photodiode with no image lag feature with MOS Capacitor type Global Shutter Buffer Memory (GSBM) invented and defined in Japanese 1975 patent¹ by Hagiwara.



Fig. 3: Exact numerical calculations of Gaussian P+P doping profile D(x), the hole carrier density P(x) and the built-in barrier potential V(x).

III. ROLE OF BUILT-IN POTENTAIL BARRIER IN HAD

Exact numerical calculation of the built-in potential barrier is shown in Fig.3, explaining the hole electron generation and separation in the built-in electric field created by the heavily doped P+ surface hole accumulation HAD.

Note that the local unbalance of the hole concentration P(x) and the impurity boron atom density D(x) gives the local space charge polarization, resulting the built-in potential V_m . The built-in electric field separates photo electron hole pairs, and resulting in the excellent quantum efficiency of the short wave blue light sensitivity.

Although CCD was just a charge transfer device (CTD), later taken over by CMOS type CTD, both CCD and CMOS image sensors have the super sensitive light detecting feature with very good color reproduction at low light level because of the Pinned Photodiode which was invented and described in Japanese 1975 patent⁶ by Hagiwara.

In solar cells and image sensors, the photo electron and hole pair generation is considered to occur normally in the PN junction depletion region. However, the photo electron and hole pair generation in Pinned Photodiode is performed by an entire different physical principle. In 1975, Hagiwara proposed¹ that the photo electron and hole pair separation can also be achieved in the strong electric field created by the built-in barrier potential as shown in Fig. 2 that was the result of space charge polarization effect explained in Fig. 3.

Photo electrons are separated from holes in the presence of the surface built-in potential barrier near the border of the surface P+ hole accumulation HAD layer. And then, photo generated electrons can drift towards Buried Photodiode, which is the charge collecting storage, by using the holes, that is, positively charged Si ion atoms, as stepping stones, from one Si atom to another, like an energetic space rocket until it loses energy. If the photo electron, generated at the surface built-in potential barrier electric field, is recombined with a hole drifting deep in the bulk silicon, the hole becomes a neutral silicon atom that cannot move. Then, by the silicon bulk thermal neutrality condition, the excess negative space charge is present in the form of the trapped electron by the negatively charged boron or in the external orbit electron in the neutral Silicon atom at high energy state. The electron has high energy state and can jump out into the free space. In this way, the excess negative charged electron cannot stay in the neutral silicon atom permanently and can be transferred to the positively charged silicon atom (hole) nearby, acting as stepping stones for the excess electron charge, eventually to drift towards the receiving Buried N type charge collecting region. Eventually the excess electron negative charge is collected in the buried N type diffusion storage region. If the electric field of the PN junction depletion region edge of the buried photodiode is near the surface P+ hole accumulation edge, the drifting photo electrons can be quickly and instantly collected in the buried N type charge collecting storage area.

IV. VERTICAL OVERFLOW DRAIN (VOD) FUNCTION

Fig. 4 shows Pinned Photodiode with the vertical overflow drain (VOD), which is also Depletion Photodiode with no image lag feature. The following is the direct English translation of the Patent Claim of the Japanese 1975 patent⁶ on Pinned Photodiode (HAD) invented by Hagiwara.

- 1. In the substrate, the first region P1 of the first impurity type is formed, on which, the second region N2 of the second impurity type is formed.
- 2. The charge e- from the light collecting part is transferred to the adjacent charge transfer device (CTD). Both are placed along the main surface of the semiconductor substrate.
- 3. In the solid stare image sensor so defined, a rectifying junction Je is formed on the second light collecting region N2 forming the P3 and N2 junction as the emitter junction Je.
- 4. The result is a photo transistor P3N2P1structure on the substrate with the N2 and P1 junction as the collector junction Jc. The charge, stored in the base N2 region according to the illuminated light intensity, is transferred to the adjacent charge transfer device.



Fig. 4: The P+NPNsub junction type Hole Accumulation Diode (HAD)⁶ invented by Hagiwara in 1975.



Fig. 5: Reproduction of figures reported in Hagiwara 1978 paper², (A) P+NPsub junction type Pinned Photodiode structure, (B) the Excellent Blue Light Sensitivity (C) no dark current feature and (D) no image lag feature.

It is now well understood that the blue light of short wave length is needed for the satisfactory color reproduction of high image quality. However, the blue light cannot penetrate more than 0.3 micro meter in depth thru the silicon crystal⁷. The built-in surface potential barrier, created by the surface abrupt doping level difference, can in return create the strong electric field at the vicinity of the electron hole pair generation at the silicon surface of 0.3 micro meter in depth, which can effectively separate photo electron and hole pairs, resulting in the excellent quantum efficiency for the blue light needed for the satisfactory color reproduction.

P+NP junction type Pinned Photodiode(A) has the following three very important features, (B) Excellent short wave blue light quantum efficiency, which is the most important feature of Hagiwara 1975 patent⁶, (C) no surface dark current problem and (D) no image lag problem, with also the feature of no surface interface trap (Nss) noise (E). But nothing is new about the feature (D) and (E) since CCD had these two features already by 1975.

In 1966, the in-pixel active source follower amplifier circuit for MOS image sensors was invented by Perter Noble. See Fig. 6.



Fig. 6: In-pixel amplifier circuit by Peter Noble, 1966



Fig. 7: Bipolar Transistor Process invented and developed by Yoshiyuki Kawana (A) and Toshio Kato (B) in 1950s.

But MOS scaling technology was not so advanced and the CCD type charge transfer device (CTD)⁸ was preferred simply because MOS transistors were too large. However, CCD imager process shown in Fig. 4 was not as simple as MOS process for digital circuits. Complex bipolar transistor process experience was required. See Fig. 7. But now, owing to the advancement of CMOS process scaling, the active circuit of Fig. 6 became the most important element needed to build the modern CMOS image sensors⁹.

V. NPN JUNCTION CHARGE TRANSFER GATING (CTG)

Fig. 8 is a reproduction of the picture drawn in the 1975 patent¹⁰ by Hagiwara. This charge transfer action is very similar to the well-known punch thru operation mode of the PNPN junction thyristor. Note that this is very similar to the P+NPN_{sub} junction type Pinned Photodiode shown in Fig. 4. Both are the same PNPN junction type Pinned Photodiode.



Fig. 8: The P+PNPN junction type Pinned Photodiode¹⁰ with Global Shutter MOS Buffer Memory (GSBM) and the NPN junction type vertical charge transfer gating (CTG).



Fig.9: The important concept of Virtual Phase Charge Transfer of the Pinned Photodiode with the complete charge transfer operation mode for no image lag feature, described and invented by Hagiwara 1975 patents^{1, 6, 10, 11}.

VI. PINNED SURFACE VIRTUAL CHARGE TRANSFER

The charge transfer operation with the pinned surface potential for the virtual gating concept is very similar to the CCD charge transfer operation. Fig. 9 shows the virtual charge transfer concept explained by Hagiwara^{1,6,11} in 1975. Henecek¹² invented an additional potential barrier stage to achieve the directionality of the virtual phase signal charge transfer operation, which was hinted by Hagiwara 1975 invention⁶ and the virtual phase charge transfer operation of the image lag free Pinned Photodiode ¹ as shown in Fig. 1.



Fig. 10: Cross sectional photos of CMOS image sensors



Fig. 11 : Metal Cu pillar signal pass wires thru multichip for the future 3D multichip flash image acquisition system.

VII. 3D MULTICHIP IMAGE SENSOR SYSTEM

Cross sectional photos of back light illuminated CMOS image sensors are shown in Fig. 10 while Fig. 11 shows the 3D multichip CMOS image sensor system. If time sharing scheme is used, we only need one data comparator circuit. However, for fast ADC operations, we must have the inpixel data comparator circuits that have to be squeezed in each pixel element area. The comparator circuit is a conventional one that can also be used for a simple IR sensor detector as shown in Fig. 12.



Fig. 12: Conventional Analog Data Comparator Circuit

VIII. CIRCUIT SIMULATION OF ANALOG DATA COMPATOR

Fig.13 summarized the circuit simulation of the analog data comparator for the various reference voltage Vref values which correspond to the voltage A in Fig. 11. The input voltage Vin which corresponds to the output signal S in Fig.11 is scanned to obtain the value of the threshold voltage VT, which corresponds to the match signal M in Fig.11. With this match signal M, the cache SRAM latches the values of the control counter data D(1) to D(N) in each SRAM level chip. This simulation analysis shows the good circuit performance for the input reference voltage Vref at least in the range of 0 V to 1.5 V.



Fig.13: the circuit simulation results of the analog data comparator for the various reference voltage Vref values



Fig. 14: Cross Sectional View of two chip stacked backilluminated CMOS Image Sensor¹⁴ with the in-pixel analog comparator control circuits to generate the match signal M from the reference voltage A and the image sensor signal S.

IX. ALL SOLID STATE DIGITAL CAMERA

The 25 nanosecond access time fast Cache 4 Mega Bit SRAM¹³ was first developed in 1989, with the dynamic bit line load circuits invented by Miyaji, and was used as the very fast Digital Buffer Memory for the early all solid state digital CCD camera to correct and enhance the picture quality such as Jitter correction, color reproduction, pattern correction and image recognition processing system units for industrial and professional applications of high definition television broadcasting level.

Fig. 14 shows the cross sectional view of two chip stacked back-illuminated CMOS image sensor¹⁴⁻¹⁶ with the in-pixel analog comparator control circuits to generate the match signal M from the reference voltage A and the image sensor signal S, as originally illustrated in Fig. 11 for the future multichip system.

Photo electron and hole generation and separation at the surface electric field is performed at the back side silicon surface of the P+ heavily doped pinned hole accumulation (HAD) layer acting as the Pinned Hole Collector Grounded Terminal. Salient physical parameters are defined in Fig. 15. The all solid state CMOS image sensor technology is now being extended to the 3D multichip flash image acquisition system illustrated in Fig. 1 and Fig. 11.



Fig. 15: Electrostatic Analysis of the surface Built-in Barrier Potential V_B and V_o by Depletion Approximation.

X. CONCLUSION

Hole Accumulation Diode⁶ (HAD), with the P+ heavily doped surface hole accumulation layer, invented in 1975, is very important, because first of all it has the excellent short wave length blue light sensitivity feature producing the high picture quality of color reproduction in low level light illumination, which is realized by the photo electron and hole pair generation and separation in the built-in potential barrier¹ and the electric field at the surface heavily doped P+ hole accumulation HAD. No dark current is the second important feature. And no image lag is the third one since CCD was known to have the no image lag feature already. But CCD itself does NOT have the excellent blue light sensitivity and does NOT have the low dark current feature which the Pinned Photodiode^{1,2,6,10} invented by Hagiwara has.

HAD is defined as the PNPN junction Photodiode with the VOD function. HAD is also by necessity the P+N-P junction Pinned Photodiode with no dark current feature. HAD is also by necessity the PN-P junction Depletion Photodiode defined as Buried Photodiode with no image lag feature. When Hagiwara invented HAD^{1,2,6,10} in 1975, Hagiwara also invented (1) Pinned Photodiode⁶, (2) Depletion Photodiode¹, (3) Buried Photodiode¹⁰, (4) the inpixel vertical overflow drain⁶ (VOD) function and (5) the in-pixel Global Shutter function^{1, 10}. The surface pinned potential^{1, 6, 10} also serves as the hole collector terminal separating the holes from photo electrons which drift more than the distance estimated by Debye length until being collected into the Buried¹⁰, Depletion¹ and Pinned⁶ Photodiode (HAD), with the back light illumination scheme¹ which is the most important feature needed to build the super sensitive 3D CMOS image sensor with the high blue-light quantum efficiency and the excellent color reproduction at low light level for fast action pictures with no image lag.

Future AI traffic control system will need at least the high definition 8K image format of 7680H x 4320V, with 33 million pixels, to obtain the details of flash action images, with the in-pixel flash AD converters, and fast Cache SRAM

chips in the 3D multichip CMOS image sensor with the more complex future digital circuit system implementations of the human friendly artificial intelligent partner system¹⁷ (AIPS) to realize the smart AI image sensors for the smart AI robot vision system and home AI security and house cares.

Acknowledgment

The author expresses sincere gratitude to Terushi Shimizu, Yasuhiro Ueda, Tadakuni Narabu, Junya Suzuki, Kato Toshio and Yoshiyuki Kawana, my dear friends and respectful mentors throughout private and public life at Sony.

REFERENCES

- Japanese 1975-127647 Patent, filed on Oct 23, 1975 on Buried Deption and Pinned Photodiode with complete charge transfer and no image lag feature with MOS Capacitor type Global Shutter Buffer Memory (GSBM) function invented by Yoshiaki Hagiwara in 1975.
- [2] Y. Daimon-Hagiwara, M. Abe, and C. Okada, "A 380Hx488V CCD imager with narrow channel transfer gates, "Proc. of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese J. Appl. Phys., vol. 18, supplement 18–1, pp. 335–340.
- [3] Albert Theuwissen, "The Hole Role ", IEDM2005, IEDM Technical Digest, Dec 2005
- [4] N. Teranishi et.al., IEDM1982 Tech. Digest, pp. 324-32 on Buried Photodiode with no image lag. See also Japanese 1980-123259 patent filed in 1980, filed later than Japanese 1975-124985 patent in 1975.
- [5] B.C. Burkey et.al., IEDM Technical Digest, 1984, pp. 28-31 on Pinned Photodiode with the surface P+ hole accumulation layer, a dupicate device defined in the original Japanese 1975-124985 patent.
- [6] Japanese 1975-134985 Patent filed on Nov 10, 1975 on the P+NPNsub Buried Depletion and Pinned Photodiode with the surface P+ hole accumulation layer and the vertical overflow drain (VOD).
- [7] See Fig. 5, p.750, S. M. Sze,"Physics of Semiconductor Devices", 2nd Edition, Wiley.
- [8] K.Ishikawa and T.Iizuka, "One inch 2M pixel CCD with Hyper HAD sensor and Camera System for HDTV", SPIE proc. Vol. 1656, pp.30-40, February 1992.
- [9] K. Yonemoto and H. Sumi , "A CMOS Image Sensor with a Simple FPN Reduction Technology and a Hole Accumulation Diode", ISSCC2000, Digest of .Technical .Papers, pp.102-103, February 2000.
- [10] Japanese 1975-127646 Patent, filed on Oct 23, 1975 on the P+NPN junction type Buried, Depletion and Pinned Photodiode with the inpixel MOS capacitor type buffer memory and the vertical NPN junction type charge transfer gating (CTG) for Global Shutter operation scheme.
- [11] Y. Hagiwara, "High-density and high-quality frame transfer CCD imager with very low smear, low dark current and very high blue sensitivity," IEEE Trans. Electron Devices, vol. 43, no. 12, pp. 2122– 2130, Dec. 1996.
- [12] J. Hynecek, "Virtual phase CCD technology," in Proc. IEDM1979, pp. 611–614, Dec. 1979.
- [13] Fumio Miyaji, Yasushi Matsuyama, Yoshikazu Kanaishi, Katsunori Senoh, Takashi Emori and Yoshiaki Hagiwara, "A 25 nanosec 4 Mega bit CMOSRAM with Dynamic Bot-Line Loads", ISSCC1989 and J.Solid State Circuits, Vol24, No.5, October 1989.
- [14] M. Sakakibara, et al, "A Back-illuminated Global-Shutter CMOS Image Sensor with Pixel-Parallel 14b Subthreshold ADC", ISSCC2018, Feb. 2018
- [15] Y. Kumagai, et al, "Back-illuminated 2.74 um-Pixel-Pitch Global Shutter CMOS Image Sensor with Charge-Domain Memory Achieving 10k e- Saturation Signal "IEDM2018, Dec 2018.
- [16] Y. Kagawa and H. Iwamoto, "3D Integration Technologies for Stacked CMOS Image Sensors", an invited paper at the IEEE 3DIC2019 conference, Oct 8, 2019, Sendai, Japan
- [17] Yoshiaki Hagiwara, "The World of Digital Circuits for Artificial Intelligent Partner System (AIPS)", published by Seizansha.co.jp, in 2016, ISBN978-4-88359-339-2, 450 pages, Hard Cover.9000yen+tax.

PDF Files

1_Sony_vs_Loral_PAtent_War_13_pages.pdf

2_The_evidence_that_Hagiwara_is_the_inventor_of_Pinned_Photodiode_7_pages.pdf 3_JP1975-127646_NPNP_triple_junction_Pinned_Photodiode_Patent_32_pages.pdf 4_JP1975-127647_NPN_double_junction_Pinned_Photodiode_Patent_22_pages.pdf 5_JP1975-134985_PNP_double_junction_Pinned_Photodiode_on_Nsub_Patent_7_pages.pdf 6_JP1977-126885_Elecric_Shutter_Clocking_Scheme_by_OFD_Punch_Thru_Action_13_pages.pdf 7_JP2014-135497_Digital_Transformation_Circuit_for_Image_Sensors_29_pages.pdf 8_JP2020_131313_on_Doubel_Junction_Pinned_Photodiode_Solar_Cell_65_Pages.pdf 9_P1978_Pinned_Photodiode_1978_Paper_by_Hagiwara_7_Pages.pdf 10_P1996_Pinned_Photodidoe_used_in_Sony_1980_FT_CCD_Image_Sensor_9_Pages.pdf 11_P2001_ESSCIRC2001_Micro-Electronics_for_Home_Entertainment_11_pages.pdf 12_P2008_ESSCIRC_2008_SOI_Design_in_Cell_Processor_and_Beyond_7_pages.pdf 13_P2013_ISSCC2013_Panel_Talk_25_pages.pdf 14_P2017_CoolChips_Panel_170419_29_pages.pdf 15_P2019_3DIC2019_Paper_on_3D_Pinned_Photodiode_6_pages.pdf

 $16_P2020_EDTM2020_PaperID_3C4_by_Hagiwara_4_pages.pd$

Simulation and Device Characterization of the P+PN+P Junction Type Pinned Photodiode and Schottky Barrier Photodiode

Yoshiaki Hagiwara AIPS Artificial Intelligent Partner Laboratory Atsugi-city, Japan hagiwara-yoshiaki@aiplab.com; +81-80-2062-5657

Abstract— Process parameter tolerance of semiconductor device is very important for manufacturability and yield. Pinned Photodiode has by definition the pinned surface potential of the low surface dark current feature and the pinned empty potential well of the no image lag feature with the excellent blue light sensitivity of the ideal quantum efficiency. This paper reports simulation and device characterization of the unique P+PN+P junction type Buried, Depletion and Pinned Photodiode with excellent manufacturability, originally invented in 1975. Related various historical photodiode structures are reviewed, including the metal semiconductor Schottky Barrier photo sensor of Au/ β - Ga₂O₃ type in search for the low leakage and dark current photodiode which led the 1975 invention of the low leakage P+NPNsub junction Pinned Photodiode by Hagiwara.

Keywords—Buried Depletion Pinned Photodiode, builtin barrier potential, Hole Accumulation Diode (HAD), electron hole pair separation, built-in barrier potential

I. INTRODUCTION

Many failures in device applications are related to loss of the device current blocking capability. The very low reverse leakage current feature of the commercially available Trench-based Schottky barrier rectifier switch is a key parameter for device performance, including the high performance required for the super light sensitive, the low surface dark current and the low 1/f noise image sensors¹ at very low light level with the low image lag feature.

Fig. 1 shows the light penetration depth² in the silicon crystal with respect to the incident light wave length. The maximum light penetration depth into the silicon crystal is about 0.2 micro meter for the blue light of 0.4 micro meter wave length and 37.6 eV photon energy while the light penetration depth is about 8 micro meter for the red light of 0.7 micro meter wave length and 12.3 eV photon energy. To achieve the best color reproduction picture quality for the CMOS image sensors we need a photodiode which can convert the incident blue light energy into the electric energy very efficiently. Various types of photo sensors are compared in Fig. 2. The N+P+ junction (type A) Esaki Diode has the two states, high and low current modes, in the forward bias. However, it has a relative large leakage current in the reverse bias because both sides of the N+ and P+ regions are very much heavily doped.



Fig 1: Light Penetration Depth (LPD) in Silicon Crystal.



Fig 2: various types of photo sensor structures.

Classical N+P junction type B photodiode is known to have the serious image lag problem. The type C Pinned Photodiode³, invented in 1975 by Hagiwara, has the pinned surface potential of the no leakage current feature and the pinned empty potential of the no image lag feature. See Fig.3. As originally reported by Hagiwara 1978 paper⁴, the P+ surface HAD layer had the Gaussian doping profile with Qs = 2×10^{13} cm⁻² and Ns = 1×10^{18} cm⁻³ while the buried N region had Nd = 3×10^{16} cm⁻³ and Qd = 1.7×10^{12} cm⁻². The type D Pinned Photodiode has the unique built-in barrier electric field, enhancing the photo electron pair separation at the surface of the silicon crystal for the short wave length blue light.



Fig 3: Features of P+PN junction type Pinned Photodiode



Fig. 4: Exact numerical calculations of Gaussian P+P doping profile D(x), the hole carrier density P(x) and the built-in barrier potential V(x).

The excellent blue light sensitivity is achieved near the silicon surface depth of less than 0. 2 micro meter. The substrate doping level was $Na = 5 \times 10^{14} \text{ cm}^3$. This idea of the unique P+NP junction type Pinned Photodiode was introduced for the first time in 1975 by Hagiwara in his three Japanese patents³ in series, and Hagiwara reported in his 1978 paper⁴ the 380H x 499V FT CCD image sensor using this P+NP junction (type C) Pinned Photodiode.

However, the actual formation of the doping profile of Pinned Photodiode is very likely to the type D because the normal ion implantation gives the Gaussian doping profile with smooth tailing slope, effectively resulting in the P+PN+P junction type D profile. See Fig. 4.

The heavily doped surface P+ hole accumulation layer and the relatively heavily doped N+ charge collecting region, connected in between by the lightly doped P region of Na = $5 \times 10^{14} \text{ cm}^{-3}$.

Simulation and electric analysis of the P+PNP junction type D Pinned Photodiode was performed. See Fig. 3 which shows the P+P doping profile with the space charge polarization inducing the built-in barrier electric field enhancing the photo electron hole pair separation inside the built-in barrier potential of $kT \ln(NS/NA) \sim 4 kT ev \sim 0.1 volt$.

Normally the photo electron and hole pair generation and separation is performed in the electric field inside the depletion region of the PN junction. But the photo electron and hole pair generation and separation of the P+PNP junction (type D) Pinned Photodiode is different and quite unique.

The surface P+P impurity doping slope induces the built-in barrier potential and the resulting built-in barrier electric field enhances the photo electron pair separation at the very near surface region of the silicon crystal to give the excellent blue light sensitivity. This photo electron hole separation mechanism is unique, quite different from the usual photo electron hole pair separation.

The reason why the P+PN+P junction type D Pinned Photodiode can have the excellent blue light sensitivity near the silicon surface depth of 0. 2 micro meter is now explained in details. Simulation and the electrostatic analysis is based on the fact that the maximum depth for the blue light penetration into the silicon crystal is 0. 2 micro meter which is very close to the surface.



Fig. 5: P+PN+P junction type Buried Pinned Photodiode defined in Hagiwara Japanese 1975-127647 patent.

The life time of the photo generated minority carrier can be measured using the photoconduction effect and the diffusion length Ld can be determined, which is needed for electrons to survive in the majority carrier hole-rich P substrate area. See Fig. 5. Photo electrons are expected to reach the buried N charge collecting region. The situation is similar to the minority carrier electrons injected from the emitter terminal into the majority carrier hole-rich base area of a NPN bipolar transistor. If the base region width is narrow, enough, one or two electrons may recombine with the holes in the base, but the most of the electrons can reach the collector terminal of the strongly reverse-biased depletion region. The N buried region of Pinned Photodiode acts as if the collector region of the NPN bipolar transistor does. This photo electron generation separation physical mechanism is unique and quite different from the ordinary electron hole pair separation in the PN junction depletion region.

II. NO IMAGE LAG FEATURE

Classical N+P junction type B photodiode shown in Fig. 2 is known to have the serious image lag problem. The charge transfer gate has a very large channel resistance and the residual signal charge cannot be transferred completely in the short clock reset time. The remaining small signal charge causes the serious image lag and the fast moving objects cannot be captured and the pictures are blurred. The first attempt was the thin-polysilicon electrode MOS Capacitor type E image sensor structure shown in Fig. 2. However the MOS capacitor type E sensor has inherently the strong surface electric field that induces the serious surface dark current which is caused by the oxide silicon surface positive fixed charge Qss and the electron trapping states Nss. The oxide silicon interface has the problem of the incomplete atomic crystal disorders inherently which cannot be avoided. Hagiwara proposed in 1975 to use the Schottky Barrier photo sensing type F structure for the interline transfer CCD imager. The idea was hinted by his Caltech undergraduate unpublished research work in 1971 of the Au/Ga2O3 Schottky Barrier junction experiment which was expected to have the very low reverse bias leakage current. Based on the conventional photo sensor structures type E and F, Hagiwara proposed in 1975 the P+NPNsub junction type photo sensor structure type C which is the P+NP junction type photodiode combined with the NPNsub junction type built-in overflow drain (VOD) structure. And in the SSDM1978 paper Hagiwara reported the 380H x488V FT CCD image sensor using the P+NPsub junction type Pinned Photodiode, with the excellent blue sensitivity, the low surface dark current and the low image lag features. See also Fig. 6 for comparison.



Fig. 6: Cross sectional views of Type C P+NP junction Pinned Photodiode sensor, Type E MOS capacitor photo sensor and Type F Schottky barrier photo sensor.

III. SCHOTTKY BARRIERS ON GALLIUM OXIDE

The surface barrier height of gold chemically prepared for the N type β -Ga₂O₃ semiconductor was investigated in details at room temperature by (1) photo response, (2) forward current versus voltage and (3) capacitance-voltage methods. Fig.7 showed the band diagram. The barrier energy was found to be 1.68 eV, with the excellent agreement, within kT of 0.026 eV, obtained by three methods. The diode non-ideality factor was found to be 1.14 ± 0.03 by current-voltage method.

This value is agreement with the value 1.08 ± 0.04 expected as a result of image force lowering using the free electron concentration $4.1 \pm 0.09 \times 10^7$ cm⁻³ of the un-doped gallium oxide crystal determined by capacitance-voltage measurement. The effective mass m* of electrons was taken as 0.20 M and the relative permitivities of gallium oxide at the optical and low-frequencies were taken as 4 and 10.2 respectively.

The Barrier energies of gold on the chemically prepared β -Ga₂O₃ was obtained here following the same techniques developed by Neville and Mead⁵ for the zinc oxide crystal.

Mead⁶ established a semi-empirical approach for predicting the type of contact to be expected at an arbitrary metal-semiconductor interface. Fig. 5 shows the energy band diagram for "no bias" condition for the Au/Ga₂O₃ Barrier.

Schottky Barrier Photo Response with zero bias



Fig. 7: Au/Ga₂O₃ Schottky Barrier Band Diagram

This approach is now applied for β -Ga₂O₃. Although five forms of Ga₂O₃ have been reported by 1971, only the monolithic form, having the same structure as θ alumina, is stable at room temperature.

The results of this analysis show that the barrier height ϕ_{B} is 1.68 eV and the effective carrier concentration of 4.1 \pm 0.09 x 10⁷ cm⁻³ gives the Fermi level below conduction band edge of 0.1 eV at room temperature. When monolithic light from a monochrometer impinges on the semiconductor surface, it induces a short circuit photocurrent in the metal-semiconductor junction.

The square root of the photocurrent normalized to the incident photon flux when plotted as a function of the photon energy results in a straight line for photon energies above ($\Phi_B + 3 \text{ kT}$). The intercept for zero response of the extrapolated straight line yields a barrier height of 1.68 eV. Typical photo response data is presented in Fig. 8.



Fig. 8: Photo Response of Ga₂O₃-Au Schottky Barrier

A typical plot of $1/C^2$ as a function of the reverse voltage is shown in Fig. 8. The concentration was found to be $4.1 \pm 0.09 \times 10^7$ cm⁻³ from the slope using the relation:

$$N_{d} = \left(-\frac{2}{q} \varepsilon_{dc} \varepsilon_{o} \right) \left(\frac{\delta V}{\delta \left(\frac{S}{C} \right)^{2}} \right)$$
(1)

where S is the barrier area and \mathcal{E} dc is the low frequency



Fig. 9: CV measurement of Ga₂O₃-Au Schottky Barrier

permitivity taken as 10.2 after Neville⁵. See Fig. 9. The extrapolated intercept Vo is related to the surface barrier energy by the equation

$$v_{o} = \frac{\phi}{\eta} - \frac{kT}{q} \left(1 + \ln \left(\frac{N_{C}}{N_{D}} \right) \right)$$
(2)

where Nc is the conduction band effective density of states. The intercept Vo was found to be $1.36 \pm 0.09 \text{ eV}$ which gives the barrier height: $\phi_{B} = 1.70 \pm 0.15 \text{ eV}$. Hence, is taken 1.14 ± 0.03 from the forward voltage-current measurements which is in agreement with the value $\phi_{B} = 1.08 \pm 0.04$ expected for the forward voltages between 0.7 and 1.2 V from the relation

$$\eta = 1 + \frac{1}{4} \left(q^3 N_D / \varepsilon_0^3 8 \pi^2 \varepsilon_{0D}^2 \varepsilon_{DC} \right)^{1/4} \left[\phi - V - \frac{kT}{q} \left(1 + \ln \left(\frac{N_C}{N_D} \right) \right) \right]^{-3/4}$$
(3)

as a result of image force lowering. In Fig. 10, forward current characteristics are displayed at room temperature. The slope gives q/nkT, where n is the diode non-ideality factor, seen to be 1.14 ± 0.03, which is consistent with 1.08 ± 0.04 obtained by the capacitance-voltage method. The extrapolated current density at zero applied bias voltage is given by

$$J_{o} = A^{*} T^{2} \exp \left(-\frac{q V_{d}}{nkT}\right)$$
(4)

where A * is the Richardson constant corresponding to the effective mass of the material taken as 0.2 $\mathbf{m}_{e.}$ Using this equation the barrier height was found to be 1.69 ± 0.04 eV. The deviation of the characteristics from the exponential dependence on the applied voltage with the slope of $\mathbf{q/nkT}$ is due to the series resistance which is fairly independent of the current for the range considered⁷.

IV. CONCLUSION

The photo electron hole separation mechanism of the P+PNP junction type Pinned Photodiode was explained, which is unique and quite different from the conventional photo electron hole pair separation performed by the electric field inside the PN junction depletion region. Related various historical photodiode structures are reviewed, including the 1971 work on the β - Ga₂O₃ Schottky barrier photo sensor in search for the low leakage dark current device which led to the 1975 invention of the Pinned Photodiode with the surface P+ heavily doped hole accumulation (HAD) with the vertical overflow drain (VOD).



Fig. 10: IV measurement of Ga₂O₃-Au Schottky Barrier

The barrier energy of gold on chemically prepared gallium oxide was shown to be 1.68 eV. The un-doped gallium oxide crystal at room temperature was found to contain 10^{17} free electron per cm³. The three experimental techniques showed remarkable agreement forming a constant picture of the Ga₂O₃ – Au interface of the minimal atomic disorders, expecting the very low leakage dark current feature, which is desired for super light sensitive video camera applications at very low light level but with the excellent color reproduction. The N type Ga₂O₃-Au Schottky barrier rectifier was investigated. The very low reverse leakage current feature is a key parameter for the super light sensitive, the low surface dark current and the low image lag high performance image sensors with excellent color reproduction at very low light level.

Future AI traffic control system will need at least the high definition 8K image format of 7680H x 4320V, with 33 million pixels, to obtain the details of flash action images, with the in-pixel flash AD converters, and fast Cache SRAM chips in the 3D multichip CMOS image sensor with the more complex future digital circuit system implementations of the human friendly artificial intelligent partner system⁸ (AIPS) to realize the smart AI image sensors for the smart AI robot vision system and home AI security and house cares.

Acknowledgment

The author expresses sincere gratitude to Prof. C.A. Mead and Prof. T.C. McGill, for advising my original 1971 work at Caltech on the Ga_2O_3 – Au Schottky Barrier interface study and characterization, and Yoshiyuki Kawana and Toshio Kato for supporting my original 1978 work at Sony on the P+NP junction Pinned Photodiode. They are my dear friends and respectful mentors throughout my private and public life.

REFERENCES

- Y. Hagiwara, "Multichip CMOS Image Sensor Structure for Flash Image Acquisition ", IEEE 3DIC2019 conference in Sendai, Japan
- [2] S. M. Sze,"Physics of Semiconductor Devices", Fig. 5, p.750.
- [3] Japanese 1975-127646, 1975-127647 and 134985 Patents
- [4] Y. Daimon-Hagiwara, M. Abe, and C. Okada, "A 380Hx488V CCD imager with narrow channel transfer gates, "Proc. of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese J. Appl. Phys., vol. 18, supplement 18–1, pp. 335–340.
- [5] R.C. Neville and C.A. Mead, J. Appl. Phys. 41, 9 (1970).
- [6] C.A. Mead, Solid Sate Electronics--Pergamon Press 1966, Vol.9, pp.1023-1033.
- [7] D. Kahng, Solid Sate Electronics-Pergamon Press 1963, Vol. 6, pp.281-295.
- [8] Yoshiaki Hagiwara, "The World of Digital Circuits for Artificial Intelligent Partner System (AIPS)", published by Seizansha.co.jp, in 2016, ISBN978-4-88359-339-2, 450 pages, Hard Cover.9000yen+tax.