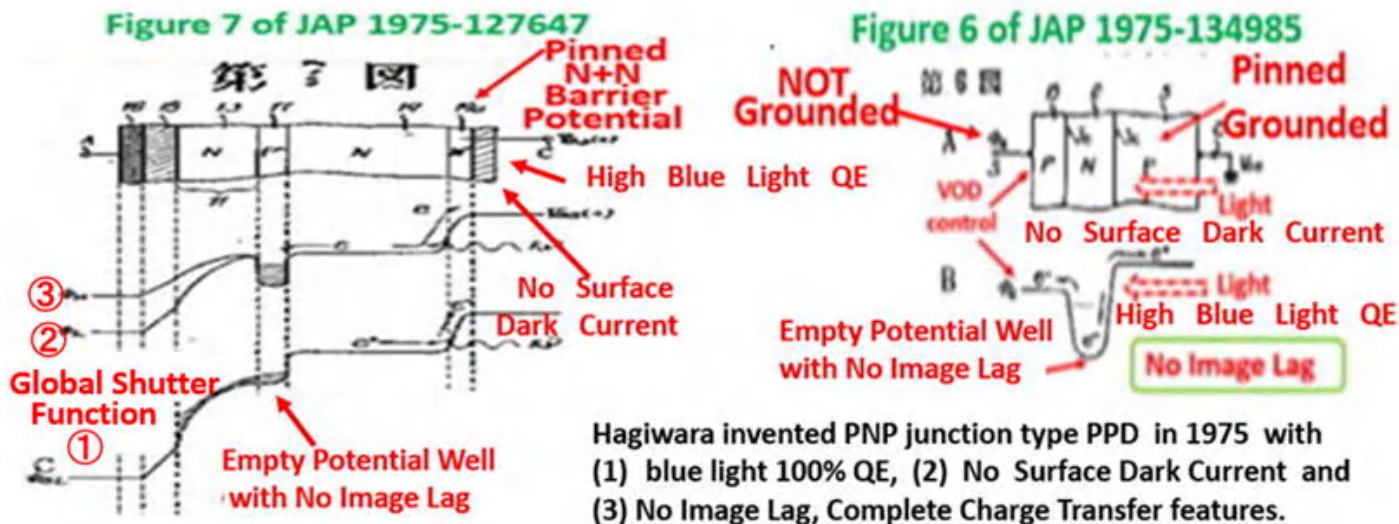


もと Sony の萩原良昭が Pinned Photodiode の発明者である証拠は下記の 1975 年 10 月 23 日出願特許 JPA1975-127647 の実施図 7 と、1975 年 11 月 10 日出願特許 JPA1975-134985 の実施図 6 から確認ができます。



File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public Grant	1977/05/13 1983/10/19

(1)半導体基体 (Nsub) に、第1電導型の第1半導体領域 (P1) と、(2) 之の上に形成された第2導電型の第2半導体領域 (N) とが形成されて (3)光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD) とが (4)上記半導体基体 (Nsub) の主面に沿う如く配置されて成る(5)固体撮像装置 に於いて上記光感知部 (N) の上記第2半導体領域 (N) に整流性接合 (Je) が形成され、該接合 (Je) をエミッタ (P2N) 接合とし、(6)上記第1 (P1) 及び 第2半導体領域 (N) 間の接合 (N/P1) をコレクタ接合 (Jc) とするトランジスタ (P2NP1) を形成し(7) 該トランジスタ (P2NP1) のベースとなる上記第2半導体領域 (N) に光学像に応じた電荷を蓄積しここに蓄積された電荷を上記転送部 (CTD) に移行させてその転送を行うようにしたことを特徴とする固体撮像装置。

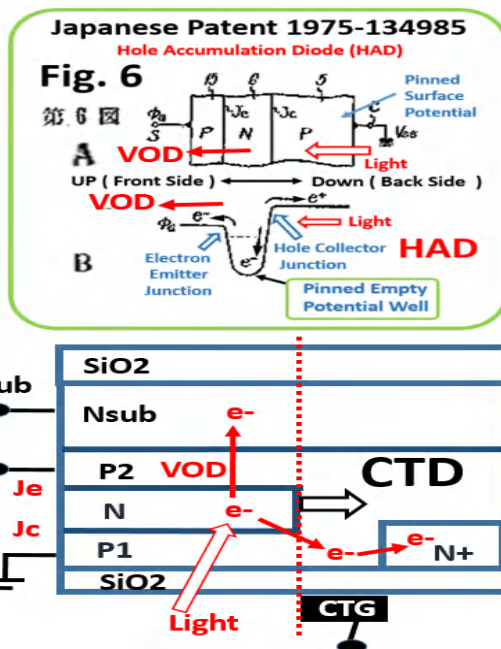


Fig.6 shows that this is also the invention of in pixel vertical overflow drain (VOD) function

Pinned Photodiode とは、受光面が固定電圧でピン止めされ、かつ、埋込み型の Photodiode と定義されます。上記の 2 つの 1975 年出願特許の実施例図には、受光面がピン止めされ、かつ、電荷蓄積部は埋込み型です。かつこの実施例図には、完全に信号電荷転送機能を持ち、残像がない事も明示しています。低表面暗電流特性と短波長超光感度の特性を持ちます。

Sony これまでの開発の経緯を振り返り、紫綬褒章の受賞理由になった、積層型多機能 CMOS イメージセンサーの技術の説明と、それを支える代表的なソニーの発明について、説明をしています。その中で「裏面照射型 CMOS イメージセンサーに採用された Pinned Photodiode」が紹介され、以下のように詳しく紹介しています。

<https://www.sony.co.jp/SonyInfo/News/notice/20200626/>

「ソニーのイメージセンサーの発明の歴史は、古くは CCD の時代までさかのぼる。中でも Pinned Photodiode は、裏面照射型 CMOS センサーの性能向上にも貢献する技術であり、その発明と製品開発の歴史を紐解く。ソニーは 1975 年、裏面照射型の N+NP+NP 接合型の Pinned Photodiode (PPD) を採用した CCD イメージセンサーを発明した (出願特許 1975-127646, 1975-127647 萩原良昭)。同年その構造をヒントに VOD (縦型オーバーフローレイン) 機能を持つ、PNP 接合型 PPD を発明した (特許第 1215101 号 萩原良昭)。ソニーはその後、イオン打ち込み技術により濃い P+ のチャンネルストップ領域をその受光部近傍に形成した PNP 接合型の PPD 技術を採用したフレームトランスファー型 CCD イメージセンサーの原理試作に世界で始めて成功し、1978 年の学会で論文を発表した (Y. Hagiwara, M. Abe, and C. Okada, “A 380H x 488V CCD imager with narrow channel transfer gates”, Proc. The 10<sup>th</sup> Conference on Solid State Devices, Tokyo (1978))。1980 年にはソニーはこの PNP 接合型 PPD を採用したワンチップのフレームトランスファー CCD イメージセンサーを使ったカメラ一体型 VTR の試作に成功し、東京では当時社長の岩間が、ニューヨークでは会長の盛田が同日記者会見をして世界を驚かせた。1987 年にはソニーは、VOD (縦型オーバーフローレイン) 機能を持つ「イオン打ち込み技術により濃い P+ のチャンネルストップ領域をその受光部近傍に形成した PPD」をインターライン転送型 CCD イメージセンサーに採用した 8 ミリビデオのカムコーダーの開発に成功し、ビデオカメラの市場を開拓した。このような長い歴史を経て育まれてきた PPD の技術が今も裏面照射型 CMOS イメージセンサーに採用されている。」

また、半導体産業人協会の歴史館もソニーの発明について、以下のように説明をしています。

<https://www.shmj.or.jp/museum2010/exhibi1005.html>

「1975 年、ソニーから PNP トランジスタを受光素子とする提案がなされた【3】。受光部を P+層(エミッタ)にすることにより従来のフォトダイオードのように表面電位を制御するセンサー電極で受光面全面を覆う必要がなくなり、受光感度を大幅に向上させた。受光部を P+層にすることは原理的に暗電流や残像を低減するピン留めフォトダイオードの基本となる提案であった。」

またソニーは 1978 年、同じ構造のフォトダイオードを用いたアナログ TV 放送規格 (SDTV) 対応 9.3 万画素 FT(FrameTransfer)-CCD イメージセンサを世界で初めて発表した【5】。それを発展させた 2/3 インチ型 28 万画素 FT-CCD イメージセンサを用いた、VTR 一体型カラームービカメラの試作に 1981 年に成功した【6】。

#### 参考文献

【3】 萩原 良昭、“個体撮像装置”、特許公報 昭 58-46905 (1975 年 11 月 10 日出願)

【5】 Y. Hagiwara, M. Abe, and C. Okada, “A 380H x 488V CCD imager with narrow channel transfer gates”, Proc. The 10th Conference on Solid State Devices, Tokyo, (1978): Japanese Journal of Applied Physics, vol. 18, Supplements 18-1, pp. 335-340, (1979)

【6】 梶野 功、島田 勝、中田康雄、平田芳美、萩原良昭、“ナローチャンネル CCD 単板カラーカメラ”、テレビジョン学会技術報告、vol.5, no. 29, pp. 32-36, (1981)

また、Delf 大学の Prof. Albert Theuwissen は IEED EDS 主催の IEDM2005 の論文でソニーの発明について、以下のように説明し、この 1978 年のソニーの論文の受光構造が K 社の PPD と N 社の埋込み PD とソニーの HAD の生みの親(the mother)と賞賛しています。もと SONY の萩原は PPD の発明者である事を明確に示唆したものです。世界的な Image Sensor の著名な研究者が発表した学術論文です。

[http://www.harvestimaging.com/pubdocs/089\\_2005\\_dec\\_IEDM\\_hole\\_role.pdf](http://www.harvestimaging.com/pubdocs/089_2005_dec_IEDM_hole_role.pdf)

“A simple self-aligned implant of  $2 \times 10^{13} / \text{cm}^2$  boron ions is sufficient to extend the channel stop areas to the gate edge and consequently fix the potential in the open areas [2]. The result after this self-aligned implant is shown in Figure 3. The presence of enough holes plays a crucial role in fixing the potential for the regions “beyond control” of the gates. (Is this structure the mother of the pinned-photodiode or buried diode or hole-accumulation device ?)

[2] Y. Daimon-Hagiwara et.al., Proc. 10th Conf. on Solid-State Devices, Tokyo, 1978, pp.335-340,

# 世界の誤解は 2014 年の Fossum の Fake Paper が原因である。

Fossum insulted in his 2014 paper Sony and Hagiwara 1975 PPD invention.

**Indeed, Hagiwara invented PPD with VOD and the virtual charge transfer in 1975 !!**

IEEE JOURNAL OF THE ELECTRON DEVICES SOCIETY, VOL. 2, NO. 3, MAY 2014

**Sony HAD (PPD+VOD) does not use LOCOS !!!**

## A Review of the Pinned Photodiode for CCD and CMOS Image Sensors

Eric R. Fossum, Fellow, IEEE, and Donald B. Hondongwa, Student Member, IEEE

**Many people now said this is a fake paper !**

C. Other Contributions to the PPD Invention

The PPD structure, while invented for low lag ILT CCD application, shares a strong resemblance to the Hynecek virtual-phase CCD structure, with the exception of the VOD. The two inventions were solving different problems with essentially the same device structure and operating principles.

In 1975, Hagiwara at Sony filed a patent application on bipolar structures for CCDs in which a *pn*p vertical structure was disclosed, among several structures [24]. The top *p* layer was connected by metal to a bias used to control full-well capacity and the *n*-type base layer was proposed for carrier storage. In an unusual paper, Hagiwara, in 1996, revisited the 1975 invention and claimed it was essentially the invention of both the virtual phase CCD and the NEC low-lag structures, as well as the basis of the Sony so-called "Hole Accumulation Diode," or HAD structure [25]. However, the 1975 application

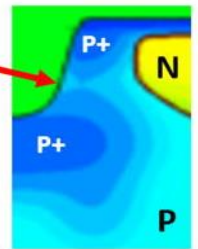
**False**

did not address complete charge transfer, lag or anti-blooming properties found in the NEC low-lag device, and does not seem to contain the built-in potential step and charge transfer device aspects of the virtual-phase CCD. Hagiwara repeats these claims in a 2001 paper [26] and shows a VOD structure that is not found in the 1975 patent application. Sony did not seem to pursue the HAD structure until well after the NEC paper was published. However, the "narrow-gate" CCD with an open *p*-type surface region for improved QE also disclosed in the 1975 application was reported in more detail by Hagiwara et al. at Sony in 1978 [27]. A similar structure was used extensively by Philips [28].

The PPD, as it is most commonly used today, bears the strongest resemblance to the Teranishi et al. ILT CCD device. Thus, these days Teranishi is considered as the primary inventor of the modern PPD [29].

**False**

The surface P+ layer is NOT connected to the LOCOS P+ layer. The surface P+ layer may be floating and this photodiode may have serious image lag.



Serious Image Lag ?

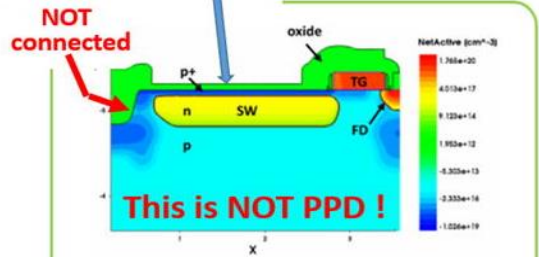
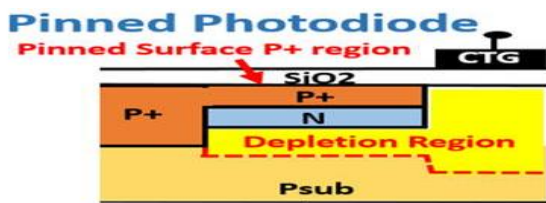


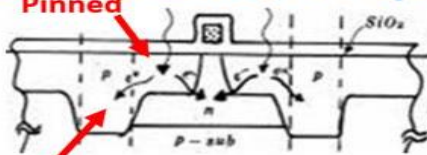
Fig. 4. Example of a pinned photodiode implemented in a CMOS image sensor showing doping concentrations. (Dimensional units are microns).

**Hagiwara in 1975 invented PPD with VOD and the virtual charge transfer. Study the Japanese Patents 1975-127646, 1975-127647 and 1975-134985.**

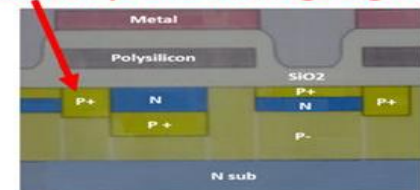
結論として、NEC の IEDM1982 の論文の受光素子も KODAK の IEDM1984 の論文の受光素子も本当の PPD ではありません。SONY の萩原チームは 1978 年の SSDM1978 の論文で、世界で初めて残像のない本当の PPD を FT 方式 CCD Image Sensor に採用しその原理試作に成功し (1) 超光感度特性 (2) 超低表面暗電流雑音特性と (3) 超低残像特性を報告しました。さらに 1987 年には萩原の後輩技術者チームである、SONY の浜崎チームは世界で初めて完全 VOD 機能と電子 Shutter 機能を持つ、P+NPNsub 接合型の、本当の PPD を ILT 方式 CCD Image Sensor に採用し、その原理試作に成功しその優れた特長を報告しました。



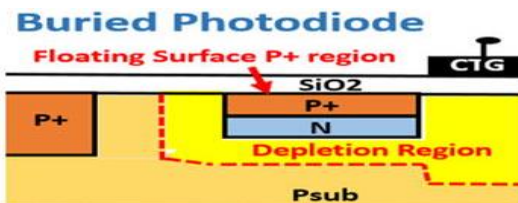
### SONY SSDM1978 Paper



**P+ Channel Stops and no Image Lag Problem**

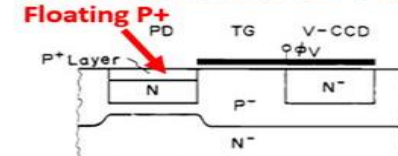


### SONY 1987 HAD Sensor

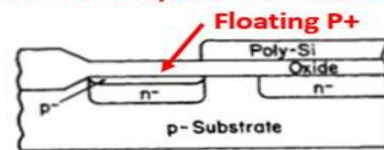


### Serious Image Lag Problem

### NEC IEDM1982 Paper



**No P+ Channel Stops and Serious Image Lag**



### KODAK IEDM1984 Paper

●SONY の受光素子が本当の PPD です。

●NEC と KODAK の受光素子は PPD ではありません。

●Image Sensor は2つの主要部品、受光素子 (LRD) と電荷転送装置 (CTD) で構成されます。電荷転送装置 (CTD = Charge Transfer Device) は (1) MOS型 CTD (2) CCD型 CTD (3) CMOS型 CTD と進化しました。一方の受光素子 (LRD = Light Receiving Device) は (1) N+P接合型 LRD (2) MOS容量型 LRD (3) P+NPNsub接合型 LRD と進化しました。以下はその歴史的背景の説明です。

- (1) N+P接合型受光素子は、表面のN+層が電荷蓄積部となりますが、その電位が浮遊状態になり完全電荷転送が不可能となり、映像に残像が生じ、それがビデオカメラの致命的な欠点となりました。
- (2) MOS容量型の受光素子は、金属電極で電荷蓄積部の埋込みN層の空乏化電位を固定することが可能となり、完全空乏化電荷転送 (CCD転送 mode) が実現し、残像のない映像が可能となりました。しかし、MOS容量型ではシリコン表面に強い電界が生じ、白点や暗電流が多発し、量産性が乏しいという致命的な欠点がありました。
- (3) そこで1975年萩原良昭 (もとSONY) は、3つの特許を出願しその中で基板 (Nsub) にP+NP接合の Dynamic Phototransistor 型の受光素子を発明しました。受光部はこのP+NP接合の Dynamic Phototransistor の base 領域のN層を電荷蓄積部としました。後にこの受光素子は埋込み型 Photodiode と呼ばれるようになりました。またこの萩原の特許出願 1975-134985 では受光表面のP層を外部金属端子で固定、ピン止めすることを考案しました。その表面がピン止めされた受光素子は後に Pinned Photodiode と呼ばれるようになりました。表面のP層がピン止めされることにより、埋込みN層の空乏化電位 (Empty Potential Well) もピン止め固定され、その埋込みN層の固定電圧より深い電位で、隣接する電荷転送電極 (CTG) が信号電荷を取り残す事なくすべての信号電荷を吸い取り、隣接する電荷転送装置 (CTD) へ電荷転送することが可能となりました。その結果、この表面のP層がピン止めされた Pinned Photodiode は、残像のない映像を提供することが可能となりました。さらにこの萩原の1975年の特許で萩原が考案した基板 (Nsub) にP+NP接合の Dynamic Phototransistor を形成した受光素子は、その結果、P+NPNsub接合型の dynamic 動作するサイリスター構造でもありました。サイリスターのパンチスルー動作で埋込みN層の電荷を取り残さなくすべて基板 Nsub へ掃き出す、縦型 Overflow Drain (VOD)機能を構造上持っている受光素子の発明でもありました。萩原はその結果 VOD機能を持つPPDをこの1975-134985 で発明しました。後に1987年にSONYはこのVOD付きPPDを Hole Accumulation Diode (HAD) と呼びました。

●1975年の特許1975-134985の中で萩原良昭 (もとSONY) は、CCD型電荷転送素子にもCMOS型電荷転送装置にも採用されている、P+NPNsub接合の dynamic photo transistor 型の受光素子を発明しました。後に学会では VOD機能付き Pinned Photodiode (PPD) と呼ばれる受光素子です。超光感度特性を持ち、表面暗電流が少なく、かつ残像が完全になく、VOD機能と電子 Shutter 機能を持つ受光素子です。

●1978年には萩原・阿部・岡田の3名はP+NP接合受光素子(PPD)を採用したFT方式のCCDの原理試作に成功し、SSDM1978で学会発表しました。SONYは1980年にはこのP+NP接合受光素子(PPD)を採用した、One chip FT CCD カラーカメラに原理試作に成功し、東京 (岩間社長)と New York (盛田会長)で同日記者会見を開催し民生用ビデオカメラの商品化をSONYがこれから注力することを宣言しました。

●この萩原の1975年発明のP+NP接合型受光素子を、その後1982年には、NECも追従し、世界初でILT方式のCCDに採用し埋込み型 Photodiode と呼びました。しかし残像特性のある data を報告しました。

●この萩原の1975年発明のP+NP接合型受光素子を、その後KODAKも追従し、1984年にはILT方式のCCDに採用しその特性を学会発表し、Pinned Photodiode (PPD)と呼びました。まだ残像がありました。

●SONYは遂に1987年には、完全に残像のない、VOD機能と電子 Shutter 機能を持つPPDをILT方式CCD採用し完成させ、かつその量産化に成功し、Hole Accumulation Diode (HAD) と名づけました。

1990年から Image Sensor の特許戦争が勃発し、萩原はその発明者として自分の特許を守った。

**SONY-Fairchild Patent War (1991-2000) on Pinned Photo Diode with Vertical OFD**

電子機器の主要部品であるCCD  
 荷合素子(CCD)の特許侵  
 害訴訟を審理して、在米ソニー  
 ヨーク支部は、ソニー社  
 長田井伸之郎を訴えていた来  
 ローラル・フェアチャイルド社  
 の主張を退け、ソニー側の判  
 決を下した。同訴訟はソニーが  
 特許を侵害して不正に利益を  
 得たことが認められた。ソニ  
 ーが逆転勝訴した。フェアチャ  
 イルドは日立製作所、三菱電機  
 日産の大手電子メーカー20社  
 以上を同様の被害で訴えてお  
 り、ソニーの訴えは各社の業績  
 に大きな影響を与えられた。

CCD特許侵害訴訟  
 日刊  
 7/16  
**ソニー、逆転勝訴**  
 NY東部地裁

**From Japanese News Paper, July 16, 1996.**

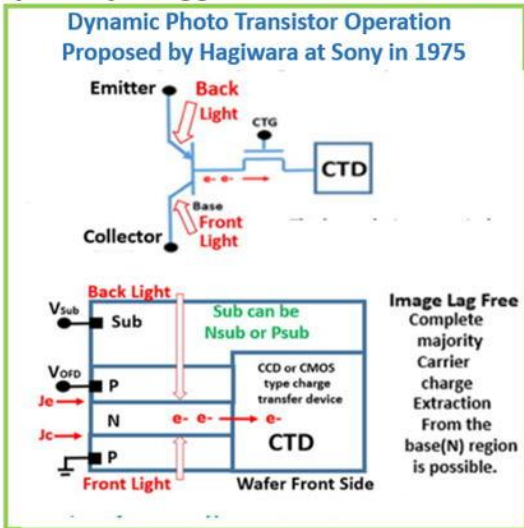
1996年7月 日刊工業新聞記事から  
 (2000年1月米国最高裁で最終決着ソニー勝訴)  
*In January 2000, the US supreme court made the final judgement favoring Sony claims. And the long SONY-Fairchild Patent War on the PDD with the built-in vertical overflow drain (VOD) ended.*

東部地裁は「ソニー側のCCD  
 はローラル・フェアチャイルド  
 社の二件の特許を侵害した」と  
 判決を下し、賠償金の請求  
 を認めた。フェアチャイルド  
 は逆転するかどうかの闘いを果  
 たすまでとてなっていた。  
 CCDはカメラの体積を小さ  
 くする重要な技術で、使  
 われるカメラの半分の重  
 と厚さを削減できる。フェア  
 チャイルドは自身が保有するCC  
 Dの設計ノウハウを、過去  
 五年の特許をめぐって争って  
 きた。ソニーは「日本のほか  
 日米、東欧、中南米、独逸  
 など世界の大手各社を訴えてい  
 た。ソニーは」日本のCCDは  
 フェアチャイルドの特許とは異  
 なる設計で、ロケット推進を採  
 用した設計だったと主張し、キ  
 ーワードをめぐって訴訟となっ  
 った。ソニーはフェアチャイルドが  
 特許を侵害し、賠償金を請求し  
 ていると主張している。

1975年出願特許がやっと評価されたが、25年が経過し、社外公開の機会や発明協会推薦を逃す。

**Finally the Sony-Fairchild Patent War(1991-2000) ended over the Sony HAD Sensor which is identical to the P+NPsub junction type Pinned Photodiode with Vertical Overflow Drain, originally invented by Hagiwara at Sony in 1975.**

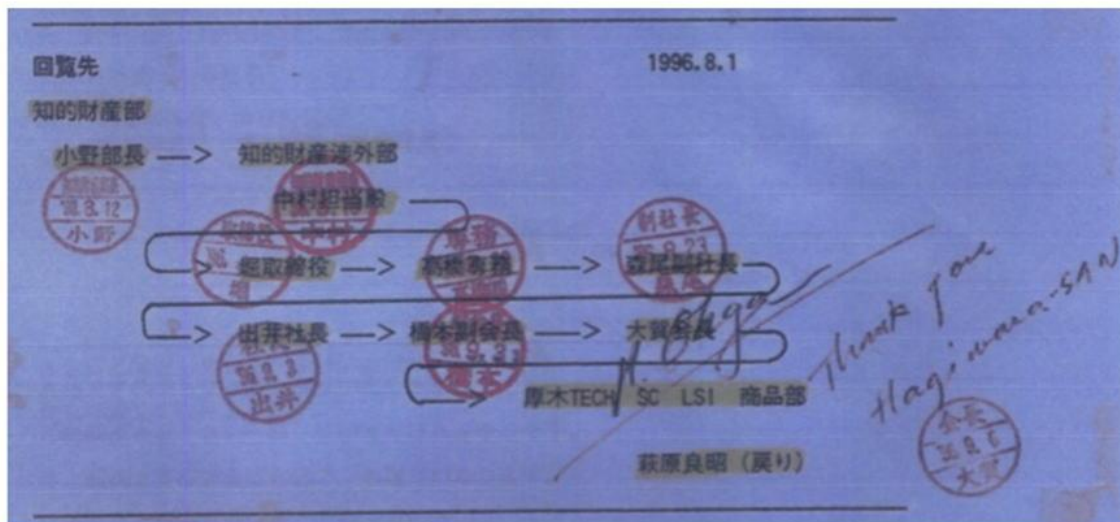
And finally Hagiwara received for his 1975-134985 Japanese Patent officially, the First Patent Award from Mr. Ando, Sony president in April, 2001 after more 26 years of struggles since his invention.



Fairchild 社との特許戦争の終結を祝って大賀さんと感謝の言葉を頂く。



After the US court favored Sony over the SONY-Fairchild Patent War on the **Pinned Photo Diode** , Hagiwara received a thanking signature from Sony Chairman (Mr. Ohga) , with many other official stamps from Sony executives including Sony President Idei , Sony Vice President Morio , Sony Top Executives Takahashi-san and Hori-san and other .



\*\*\*\*\*

E-MAIL communication on Sony-Fairchild Patent War

February 6, 1996

Evidence of Hagiwara contribution in the Patent War

\*\*\*\*\*

(1) 当時のSONY中央研究所所長の山田敏之さんからのメッセージ

\*\*\*\*\*

Subject: CCD Patent Report

X-Mailer: Eurora-J(1.3.8.5-J13)

中研の山田です。

ずいぶん前になりますが、分厚いレポートを送って頂きありがとうございました。

CCD裁判は越智さんはじめ関係者の大きな努力にもかかわらず（一審での判決では）不本意な結果となりましたが（その後逆転勝利となり）アメリカの裁判制度の問題点を如実に表しているような気がします。

それはそれとして、この過程で萩原さんのこの資料が越智さんにとっても大いに参考になったようです。

ご協力ありがとうございました。

CCD開発史の一ページというか、読み物としても面白く読ませて頂きました。

裁判の方はまだこれから延々と（最高裁まで）続くでしょうが、引き続きご支援をお願いします。

萩原さんのことですから自分のやりたいことをやりたいようにやっておられることと推察します。

私も少しその爪の垢を煎じて飲みたいものです。すっかり遅くなりましたがひとこと御礼まで。

以上

Date: Tue. 6 Feb 9608:51:07 JST  
To: hagiwara@mica.semicon.sony.co.jp(NanaeSato)  
From:nanae@avzna.av.crl.sony.co.jp  
Subject:testimony3  
Cc: msato@saccd.semicon.sony.co.jp,ochi@av.crl.sony.co.jp  
X-Mailer: Eurora-J(1.3.8-J13)

おはようございます。

中央越智副所長からのe-mailをforwardします。

お忙しいにもかかわらず、  
多大なご協力を下さりまして  
ありがとうございました。

2) SONYの森尾副社長、高橋専務、山田所長に対して  
米国滞在の越智さんから発信された裁判に関する報告  
\*\*\*\*\*

>X-POP3-Rcpt: nanae@avzna  
>Date: Tue. 6, Feb 96 06:48:53 JST  
>To: m-morio@cv.sony.co.jp, takahasi@rd.sony.co.jp,  
>hashi@re.sony.co.jp,tyamada@dpo.crl.sony.co.jp  
>Cc: ochi@av.crl.sony.jp,  
>msato@saccd.semicon.sony.co.jp,nanae@av.crl.sony.co.jp  
>Subject: testimony3  
>From: 越智 成之 <ochi@av.crl.sony.co.jp>  
>X-Mailer: Winbiff[version 1.50 beta1]  
>私に対する証人尋問が終わりました。  
>direct exam は主に  
>74年のAmelio (Apple Computerの社長になってしまいましたが)  
>特許や桑沢、松本レポートより前に、  
>既に two phase overlapping gate buried channel self aligned implanted barrier  
>が考えられていたことを、  
>Caltech (Bower, McGill, Daimon-Hagiwaraほか)  
>と Hughes( Erb, Sulほか) と Sony (三船,二神ほか) 等の資料を使い、  
>実証致しました。



2) SONYの森尾副社長、高橋専務、山田所長に対して  
米国滞在の越智さんから発信された裁判に関する報告  
\*\*\*\*\*

>X-POP3-Rcpt: nanae@avzna  
>Date: Tue, 6, Feb 96 06:48:53 JST  
>To: m-morio@cv.sony.co.jp, takahasi@rd.sony.co.jp,  
>hashi@re.sony.co.jp, tyamada@dpo.crl.sony.co.jp  
>Cc: ochi@av.crl.sony.jp,  
>msato@saccd.semio.cn.sony.co.jp, nanae@av.crl.sony.co.jp  
>Subject: testimony3  
>From: 越智 成之 <ochi@av.crl.sony.co.jp>  
>X-Mailer: Winbiff[version 1.50 beta1]

>cross examは米国政府の御用達と独禁法と糸沢レポートに  
>対する先方からの攻撃が中心でしたがどれも不発に終わりました。

>特に、Caltechの Dr. Daimon(Hagiwara) が 75年2月20日にソニーに  
>入社している事実がショックを与えたようで、質問が止まってしまいました。

>Prof. Bowerからも、Dr. Daimon (Hagiwara)が CaltechからSonyに(埋め込み型)  
>CCDの Ion Implantation 構造 (ISSCC1974で学会発表済みでその後中研時代には  
>P+NPNsub接合の Pinned Photo Diode 構造の特許を出願しそのIon Implantation  
>構造解析に活用した) 解析技術を持ち込んだ事実のStoryの流れがすばらしいとの  
>ことでした。

>佐藤真木さん佐藤七重さん恐れ入りますが、感謝の気持ちを込めて、  
>このe-mailを萩原良昭さんにforwardしてください。

>萩原さんはこの2晩で100ページ以上にも及ぶ個人資料をfaxで送ってくれました。

>馬橋さんの証言も成功裏に終わり、今後弁護士と今後の相談を致します。

>越智

\*\*\*\*\*

SONYの1975年の HAD Sensor 特許 に対する NEC からの攻撃内容の詳細。

No. NEC-4

略称: HADセンサ完全空乏化固体撮像装置及びその駆動方法		
登録: JP17728, 783	出願番号: 昭55-138026	出願人: 日本電気㈱
登録日:	出願日: 1980. 10. 02	発明者: 寺西, 石原, 白木
公告番号: P02-30189	公告日: 1990. 07. 04	満了日: 2000. 10. 02
対応出願	US 4484210-A (Ex 2001. 11. 20) 3M OP54-37422 OP53-86516 (8とHAD)	

要約

- HADセンサ構造で、かつ読み出し時にPN間に30V以下の逆バイアスをかけてセンサを完全空乏化する固体撮像装置。
- 上記1の固体撮像装置について、読み出しゲートのチャネル電位を上記PN間逆バイアスとフェルミレベルとを絡めて規定した固体撮像装置の駆動方法。

(効果) 残像抑制

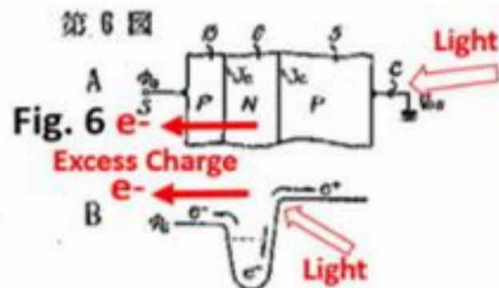
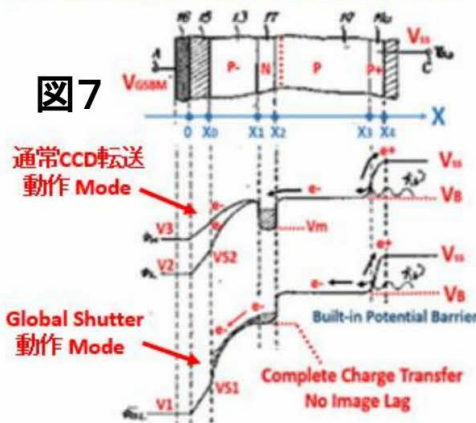
NECの1980年の埋め込みPhotodiode特許では BASE領域を完全空乏化することを特許請求しているが、すでに上記の2件の萩原1975年特許の実施図で完全空乏化が明示されている。また、その埋め込み層の電位は、CCDの埋め込みチャンネル層の濃度と同程度であることも明示している。1978年にSONYはこのPNP接合型 (SONY HAD = Pinned Photo Diode) の受光構造を採用した Imager で 20 volt 以下の埋め込み層の電圧を既に実現している。従って、周知情報であり、NECの1980年特許は無効である。

残像のない Pinned Buried Photodiodeの基本特許  
1975年 萩原出願

●JP1975-127647 の図7

●JP1975-134985の図6

特許 1975-127647 の図7 (裏面照射型です)



この2つの1975年特許は萩原が、  
 (1) 残像なしの PPD  
 (2) 裏面照射型 PPD  
 (3) VOD機能付き PPD  
 (4) Global Shutter 機能  
 を世界で初めて考案した証拠です。

SONY-NEC Patent War

2002年2月2日

特許52-58414 の請求範囲  
 において 半導体基体とオシ半導体領域は  
 必ずしも同一とは限らぬと理解します。  
 基体はあくまでも母体であり、領域は  
 ありません。また 発明の 詳細説明において  
 「二例において一、二の場合」と説明して  
 いる様に あくまでも一例を示していると理解出来  
 請求範囲を 拘束するものではないと解釈  
 出来ます。

図6から、請求範囲ではない。P-N領域は  
 完全空乏化してあり、No. Lag a HADセンサ  
 構造のP-N(基本)を示していると考えらる可  
 2000.2.2. カサシ礼子 (鈴木順也)

個人的見解  
 構造に同じ、  
 特開昭 52-58414  
 は、特許請求の範囲を見れば、  
 現 HAD 構造を見れば、似ていると思  
 2000.2.2 各特許部  
 基板とオシ領域が同じもの  
 あるかどうかは、判断できません。  
 (幸うかも知れない)  
 2000.2.2 各特許部

SONY-NEC Patent War

2002年2月2日

特許52-58414 の請求範囲  
 において 半導体基体とオシ半導体領域は  
 必ずしも同一とは限らぬと理解します。  
 基体はあくまでも母体であり、領域は  
 ありません。また 発明の 詳細説明において  
 「二例において一、二の場合」と説明して  
 いる様に あくまでも一例を示していると理解出来  
 請求範囲を 拘束するものではないと解釈  
 出来ます。

図6から、請求範囲ではない。P-N領域は  
 完全空乏化してあり、No. Lag a HADセンサ  
 構造のP-N(基本)を示していると考えらる可  
 2000.2.2. カサシ礼子 (鈴木順也)

個人的見解  
 構造に同じ、  
 特開昭 52-58414  
 は、特許請求の範囲を見れば、  
 現 HAD 構造を見れば、似ていると思  
 2000.2.2 各特許部  
 基板とオシ領域が同じもの  
 あるかどうかは、判断できません。  
 (幸うかも知れない)  
 2000.2.2 各特許部

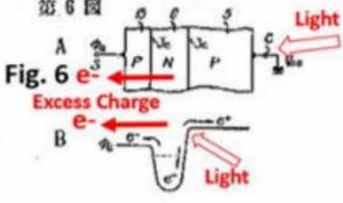
SONYは、従来のCCDを この中では、MOSCCDと呼び、  
 残像のないPinned PhotodiodeをPNPCCDと呼んだ。

ただし、本特許の信号電荷蓄積部がPNPで構成されているのに対し、これら一般  
 の電荷結合素子の多くは信号電荷蓄積部がMOSCCDで構成されている点において  
 両者は相違しています。しかしながら、MOSCCDがPNPCCDで置き換え可能  
 であることは公知例4-1、4-3等多くの文献に記載されていますように公知です。  
 本特許は出願当時最も一般的であった、信号電荷蓄積部をMOSCCDで構成した固  
 体撮像素子を上記公知例4-1や4-3に倣ってPNPCCDに置き換えたにすぎま  
 せん。

MOSCCDをPNPCCDに置き換えることの根拠を以下に説明いたします。公  
 知例4-1には、MOSCCDでは受光感度が悪いため、これを改善するためにPN  
 CDの説明として、"a totally depleted potential well is formed which can be used to  
 store mobile charges."と記載されており、本公知例のDJCCDに可動電荷を蓄積す  
 る蓄積部があることは明らかです。

Japanese Patent 1975-134985 by Hagiwara at Sony on Oct 23, 1975.

特 願 昭50-134985  
 出 願 昭50(1975)11月10日  
 公 開 昭52-58414  
 特開昭52(1977)5月13日  
 発 明 者 萩原 貞昭



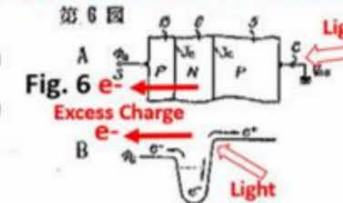
4. 特許第1,728,783号

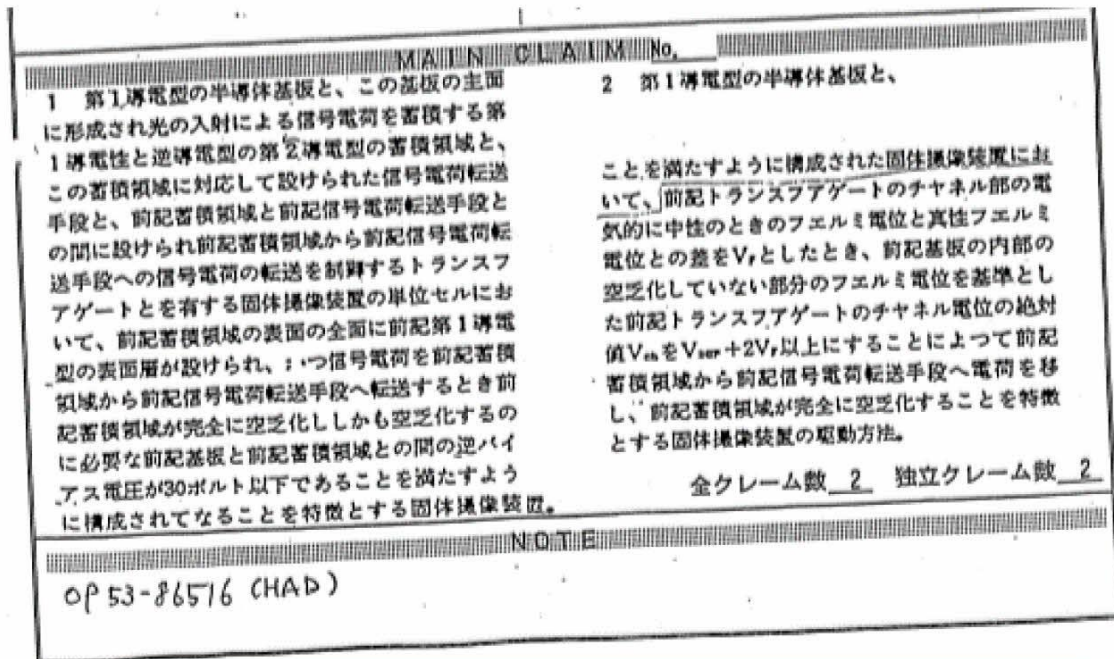
貴社は平成7年7月31日付け書簡(以下単に、前回の書簡)において、「電荷転  
 送デバイス、CCD、BBDの基礎と応用」の図2.2と図2.6には空乏化してい  
 る電位分布図が描かれているが、弊社が業界慣例と主張している「空乏化した電位井  
 戸を描き、このなかに電荷が蓄積されたときの電位を表す」という形式になってい  
 ない旨主張されています。確かにこの文獻では「空乏化した電位井戸を描き、このなか  
 に電荷が蓄積されたときの電位を表す」という形式になっていません。しかし、例え  
 ば"CHARGE COUPLED DEVICES IN SIGNAL PROCESSING SYSTEMS' VOL.I  
 DIGITAL SIGNAL PROCESSING, pp.4-5~4-6, JULY 1974 (参考例4-1)やUS  
 P 3, 738, 485 (参考例4-2) Fig. 2には「空乏化した電位井戸を描き、  
 このなかに電荷が蓄積されたときの電位を表す」形式の電位分布図が描かれていま  
 すが、深さ方向の電位分布図を描く手法には2つの形式が存在していたことにな  
 ります。このことを承知したうえで、公知例4-1の6図Bを見たならば、この電  
 位分布図がどちらの形式で描かれたものかは一目瞭然です。公知例4-1の6図Bは  
 空乏化した井戸である実線とこのなかに電荷が蓄積されたときの電位を表している

SONY からNEC への反論文

Japanese Patent 1975-134985 by Hagiwara at Sony on Oct 23, 1975.

特 願 昭50-134985  
 出 願 昭50(1975)11月10日  
 公 開 昭52-58414  
 特開昭52(1977)5月13日  
 発 明 者 萩原 貞昭

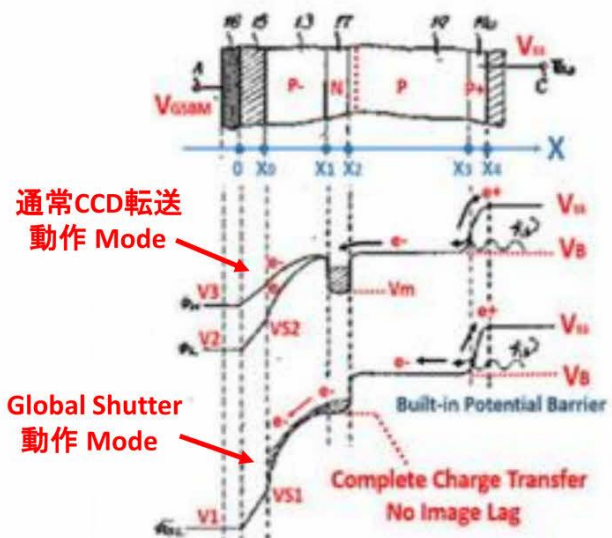




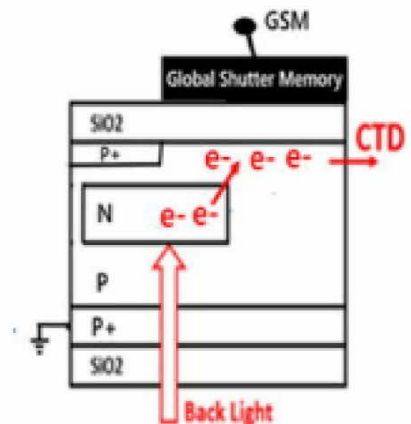
NECの1980年の埋め込みPhotodiode特許では BASE領域を完全空乏化することを特許請求しているが、すでに上記の2件の萩原1975年特許の実施図で完全空乏化が明示されている。また、その埋め込み層の電位は、CCDの埋め込みチャンネル層の濃度と同程度であることも明示している。1978年にSONYはこのPNP接合型 (SONY HAD = Pinned Photo Diode) の受光構造を採用した Imagerで 20 volt 以下の埋め込み層の電圧を既の実現している。従って、周知情報であり、NECの1980年特許は無効である。

残像のないPinned Buried Photodiodeを萩原は 特許 1975-127647 の図7で明示している。

特許 1975-127647 の図7 (裏面照射型です)



特許 1975-127647 が意味する構造。  
Buried Pinned Photodiode



P+PNP junction type Buried Depletion Pinned Photodiode with MOS Capacitor type Global Shutter Buffer Memory  
See Japanese patent 1975-127647 filed by Hagiwara.

## Transistor の動作は、Diodeの動作を含む HADセンサーは Dynamic Phototransistor 動作である

### 4. HADセンサ

S 1 : 無効 (①公知4-1, 4-2 により)

N 1 : 有効 (<公知例4-1 > ①バイポーラトランジスタの動作においてベース領域が全体にわたって空乏化されるという考えはない。②また、残像抑制、暗電流低減という作用効果について示唆されていない。<公知例4-2 > ③表面層の開示がない。④4-1 は空乏化しない、4-2 は空乏化しようというもので、動作原理の異なる両者を組み合わせることは失当である。⑤4-1 の目的は青感度向上であるが4-2 はこの目的を達成しているため組み合わせる必然性がない。)

94.4

S 2 : 無効 (<公知例4-1 > ①pnpトランジスタがバイポーラ動作するとの記載はなく、ベース領域を空乏化することは可能。②6図Bのポテンシャル図はベース領域が完全空乏化している様子を示している。③空乏化するにあたり4-2 のような電圧を選ぶことは容易である。)

94.5

N 2 : 有効 (<公知例4-1 > ① ~~ベース領域全体が完全空乏化していることを示している~~ とは認識しない。②ボルツマン分布を仮定すると、空乏化していなくてもポテンシャルは下に凸になる。③不純物分布を上凸状とすると、空乏化していなくてもポテンシャルは下に凸になる。④両方を考慮するとこれがさらに顕著になる。⑤よって、6図Bからベース領域が完全空乏化していることは誤り。⑦公知例4-1 と4-2 とはその課題が異なり、両者を結びつけるものはない。)

94.9

S 3 : 無効 (①近似法 [ボルツマン分布や不純物分布] についての議論は明細書に基づいていないから意義のないものである。②6図Bは空乏化を示すものである。<公知例4-1 > ③本特許発明の特徴とする構成要件をすべて具備。④残像抑制という目的は異なるが、公知例4-4 に記載されているように残像抑制のために全ての電荷を読み出すことは公知。⑤公知例4-3 に記載されているように、表面層を設けると完全空乏化電圧が80V以下になることは公知。)

94.11

N 3 : 有効 (<公知例4-1 > ①「電荷転送デバイス」図2. 2. 2. 6には空乏化している電位分布図が描かれているが、S社が業界慣例と主張している「空乏化した井戸を描き、このなかに蓄積された電荷を表す」という形式になっていない。②不純物分布が記載されおらず、ベース領域が完全に空乏化しているということにはならない。③完全に空乏化したときの技術的效果について記載がない。<公知例4-4 > ④転送時に完全空乏化するとの記載がない。⑤pn接合ダイオードを蓄積部とする固体イメージセンサに関する記述がない。⑥本公知例当時にpn接合ダイオードを蓄積部とする固体イメージセンサは報告されていない。⑦本特許出願当時、pn接合ダイオードを蓄積部とするITCCDイメージセンサには残像がないと信じられていた。<公知例4-3 > ⑧DJCCDはMOSCCDの変形であり、pnダイオードの改良とは異なる。⑨DJCCDを蓄積部と呼ぶのは誤り。)

95.7.31

\* Charge du T37E12 #9 a profile B  
sets.

95.12

#### 4. 特許第1、728、783号

貴社は平成7年7月31日付け書簡（以下単に、前回の書簡）において、「電荷転送デバイス、CCD、BBDの基礎と応用」の図2.2と図2.6には空乏化している電位分布図が描かれているが、弊社が業界慣例と主張している「空乏化した電位井戸を描き、このなかに電荷が蓄積されたときの電位を表す」という形式になっていない旨主張されています。確かにこの文献では「空乏化した電位井戸を描き、このなかに電荷が蓄積されたときの電位を表す」という形式になっていません。しかし、例えば"CHARGE COUPLED DEVICES IN SIGNAL PROCESSING SYSTEMS" VOL.I DIGITAL SIGNAL PROCESSING, pp.4-5～4-6, JULY 1974（参考例4-1）やUSP 3,738,485（参考例4-2）Fig. 2には「空乏化した電位井戸を描き、このなかに電荷が蓄積されたときの電位を表す」形式の電位分布図が描かれています。したがって、深さ方向の電位分布図を描く手法には2つの形式が存在していたこととなります。このことを承知したうえで、公知例4-1の6図Bを見たならば、この電位分布図がどちらの形式で描かれたものかは一目瞭然です。公知例4-1の6図Bは空乏化した井戸である実線とこのなかに電荷が蓄積されたときの電位を表している

SONYからNEC への反論文

いう以外に解釈のしようがありません。

SONYからNEC への反論文

さらに、「電荷転送デバイス、CCD、BBDの基礎と応用」の第12頁16～19行には、「2つのダイオードを逆バイアスとし、可動電荷を排出しおわった後に、電位の井戸、したがって空乏バルクチャネルが形成される（図2.6b）、可動の信号電荷、この場合は電子、は電位の極大の近傍に存在し、図2.6cの平坦な部分を生じさせる。」と記載されています。これは、完全空乏化していればエネルギー準位図が下に凸になり、可動電荷が蓄積されていればエネルギー準位図に平坦な部分が生じることを明示しています。したがって、この文献を参照すれば、電位分布図が下に凸になっている公知例4-1の6図Bの実線が完全空乏化した電位井戸を示していることは明らかです。

貴社は前回の書簡において、公知例4-1には不純物分布が記載されおらず、ベース領域が完全に空乏化しているということにはならない旨主張されています。しかし、

SONYからNEC への反論文

れた部分において、1)残像がないとうたわれているのは「pn接合ダイオードを蓄積部とするインターライン転送CCD固体撮像素子」ではなく、単に「固体撮像素子」または「CCDイメージセンサ」です。2)また、残像がないとは撮像管との対比において述べられているにすぎません。したがって、これら文献より推定できるのは、「固体撮像素子やCCDイメージセンサは撮像管に比較して残像が少ないと信じられていた」ということだけです。このように、これら文献から「pn接合ダイオードを蓄積部とするインターライン型CCDイメージセンサには残像がないと信じられていた。」と結論づけることは不可能です。このことは、貴社の従業員によって著された参考例4-3 (TV学会技術報告「CCD単板カラーカメラ」)の「とくに感度、低照度での残像についてはビジコンによる単板カラーカメラを凌駕することができたことは、固体撮像デバイスの将来が非常に明るくなったといえる。」(P. 88, 左欄3～6行)の記載からも読み取ることができます。すなわち、このくだりは固体撮像デバイスには残像はあるもののその大きさはビジコンよりも小さい(「凌駕することができた」)、ということの意味しており、残像がない(ゼロである)とは言いません。これは貴社自身が認めていることです。

#### SONY から NEC への反論文

さらに、CCDイメージセンサにおいて残像があったことは特開昭49-22869 (公知例4-5)にありますように公知です。公知例4-5にはCCD固体撮像装置において転送効率が悪いと(=不完全転送の場合には)残像が生じる点が記載されています。

・ 以上のとおり、「pn接合ダイオードを蓄積部とするインターライン型CCDイメージセンサには残像がないと信じられていた。」との貴社が主張には根拠がありません。

貴社は前回の書簡において公知例4-3に関し、DJCCDはMOSCCDの変形であり、pn接合ダイオードの改良とは異なる旨主張されています。しかし、本公知例4-3は公知例4-1に明確に記載されていない点(完全空乏化に必要な電圧が30ボルト以下である点)を補助する役割を果たす文献でありますから、pnp構造であって蓄積部を空乏化するのに必要な電圧が30V以下であるという事実さえ開示されていればよく、これがpn接合ダイオードの改良であるか否かは本特許の有効性を

います。例えば公知例4-8では光電変換素子を光感応CCD素子と称しています(P. 2, 右下欄19行～P. 3, 左上欄1行)。

貴社は本特許審査経過において「一般のCCDにおいて信号電荷は完全に転送され、転送後の蓄積領域は完全空乏状態となる」ことを認めています(特許異議答弁書P. 9, 12～19行)。これは、蓄積部としてのCCDにおいても同様であり、よって、従来のIT型固体撮像素子では蓄積部の信号電荷を完全転送しており、転送後の蓄積部は完全空乏化していたこととなります。この点は、公知例4-11の「フォト電極(10)下に形成される電位の井戸はシフトレジスタ(12)に形成される電位の井戸に比較して浅いので、信号電荷が全てシフトレジスタ(12)の方へ転送される。」(P. 3, 右上欄12～15行)との記載にも裏付けられています。この記載はCCDにおける完全転送を意味しています。これらより、上記公知例4-1, 4-6～4-11にありますような一般の固体撮像素子におきましては、信号電荷は電荷蓄積部から電荷転送部へ完全に転送され、転送後の電荷蓄積領域は完全空乏状態となります。

#### SONY からNEC への反論文

公知例4-4の全ての電荷を読み出すので固体撮像装置には残像がないとの記載より、上記公知例4-1, 4-6～4-11に記載されているような一般の固体撮像素子では残像がないことが周知です。

さらに、これら参考例の固体撮像素子は全て電荷蓄積部がBCCDで構成されており、電荷蓄積部に本特許と同様にpn接合があり、また、インターライン転送型である点においても本特許と同様です。

ただし、本特許の信号電荷蓄積部がPNPで構成されているのに対し、これら一般の電荷結合素子の多くは信号電荷蓄積部がMOSCCDで構成されている点において両者は相違しています。しかしながら、MOSCCDがPNPCCDで置き換え可能であることは公知例4-1, 4-3等多くの文献に記載されていますように公知です。本特許は出願当時最も一般的であった、信号電荷蓄積部をMOSCCDで構成した固体撮像素子を上記公知例4-1や4-3に倣ってPNPCCDに置き換えたにすぎません。

MOSCCDをPNPCCDに置き換えることの根拠を以下に説明いたします。公知例4-1には、MOSCCDでは受光感度が悪いため、これを改善するためにPN



CDの説明として、"a totally depleted potential well is formed which can be used to store mobile charges."と記載されており、本公知例のDJCCDに可動電荷を蓄積する蓄積部があることは明らかです。

2000.2.2.

萩原 萩原  
Sony HAD Sensor

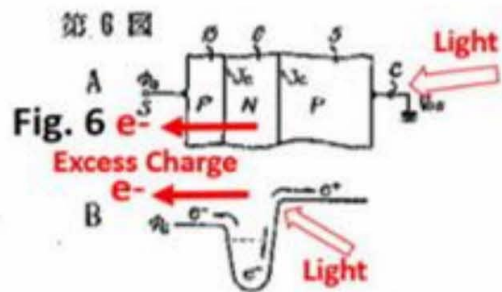
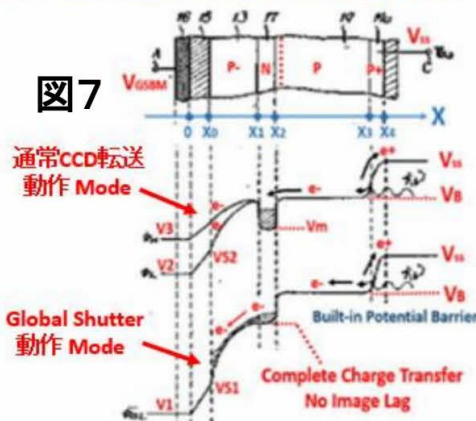
SONY から NEC への反論文

残像のない Pinned Buried Photodiodeの基本特許  
1975年 萩原出願

●JP1975-127647 の図7

●JP1975-134985の図6

特許 1975-127647 の図7 (裏面照射型です)



この2つの1975年特許は萩原が、  
 (1) 残像なしの PPD  
 (2) 裏面照射型 PPD  
 (3) VOD機能付き PPD  
 (4) Global Shutter 機能  
 を世界で初めて考案した証拠です。

特許 52-58414 の請求範囲  
 において 半導体基体とオ1半導体領域は  
 必ずしも同一とは限らぬと理解します。  
 基体はあくまでも母体であり、領域とは  
 ありません。特許 52-58414 の請求範囲において  
 「二つの例において一、二の場合」と強調し  
 ているように、あくまでも一例を示している  
 と理解出来、請求範囲を拘束するもの  
 ではないと解釈出来ます。

図6から、請求範囲ではないが、ベース領域は  
 完全空白化してあり、No. LagのHADセンサ  
 構造のベース(基本)を示していると考えられます。

2000.2.2. カワズミテウ (鈴木健也)

SONYからNEC への反論文

個人的な見解解として  
 構造に関して、

特許 52-58414  
 は、特許請求の範囲を以て限り、  
 現 HAD 構造を見ると、似ていると思えます。  
 2000, 2, 2 条 特許 52-58414  
 基板とオ1領域が同じもので  
 あるかどうかは、判断できません。  
 (違つかも知れない)

2000, 2, 2 条 特許 52-58414

SONYからNEC への反論文

# Hagiwara Invented Pinned Photodiode ( PPD) 1 /13

Hagiwara helped Sony for 17 years or more to defend Sony Image Sensor business from 1991 till 2007 and finally retired in July 2008 with more than 37 years of wonderful engineering experience since June 1971.

## SONY- Fairchild Patent War (1991-2000) on Pinned Photo Diode with Vertical OFD

ソニーとフェアチルドの両社が、米国最高裁判所で争った「垂直オーバーフロー排水型（VOD）のPinned Photo Diode」の特許権をめぐって争った訴訟は、ソニーが勝訴した。同訴訟はソニーが特許を侵害したと主張していたが、ソニーが逆転勝訴した。フェアチャイルドは巨額の出費を要したが、ソニーは巨額の出費を要し、最終的にソニーが勝訴した。ソニーは巨額の出費を要したが、ソニーが勝訴した。ソニーは巨額の出費を要したが、ソニーが勝訴した。

CCCD特許侵害訴訟 日刊 7/6

ソニー、逆転勝訴

NY 東部地裁

From Japanese News Paper, July 16, 1996.  
 1996年7月 日刊工業新聞記事から  
 (2000年1月米国最高裁で最終決着ソニー勝訴)  
 In January 2000, the US supreme court made the final judgement favoring Sony claims. And the long SONY-Fairchild Patent War on the PDD with the built-in vertical overflow drain (VOD) ended.

ソニーは「当社のCCDはフェアチャイルドの特許とは異なる。またフェアチャイルドはソニーの特許を侵害している」として九月、ソニーの巨額の出費を要したが、ソニーが勝訴した。ソニーは巨額の出費を要したが、ソニーが勝訴した。ソニーは巨額の出費を要したが、ソニーが勝訴した。

フジサンケイビジネスアイ、2007.1.4 朝刊 3面

### ソニーと米コダック和解 特許を相互利用

ソニーは4日、米フェアチャイルド大手のイーストマン・コダックと特許のクロスライセンス契約を結んだと発表した。

両社はデジタルカメラの画像処理や制御技術などの特許をめぐって争っていたが、今回のクロスライセンス契約の締結に伴って和解する。

ソニーは今回の契約締結と和解について昨年10月に発表した業績予想への影響は軽微としている。

コダックは2004年3月にデジタルカメラ関連技術の特許を侵害したとしてソニーを提訴。これに対してソニーは、同年4月にデジタルカメラの画像処理技術の特許侵害でコダックを提訴し、両社はデジタルカメラの技術をめぐってにらみ合いの状態が続いていた。

東京新聞、2007.1.4 朝刊 3面

### ソニーとコダック契約 訴訟合戦も和解

画像処理技術 特許相互利用

「ニューヨーク」共同ライセンス契約を結んだ、とカメラの出荷台数でトップの米写真用品大手「イーストマン・コダック」は3日、ソニーと画像処理を率化やコスト減などの効果があると特許の相互利用に関するクロスライセンス契約を結んだと発表した。

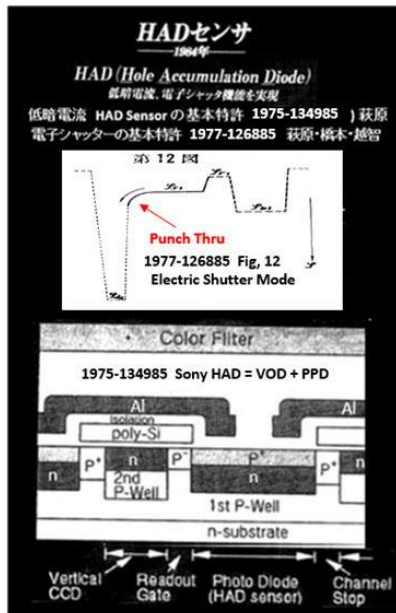
両社は米国でデジタルカメラの出荷台数でトップの米写真用品大手「イーストマン・コダック」は3日、ソニーと画像処理を率化やコスト減などの効果があると特許の相互利用に関するクロスライセンス契約を結んだと発表した。

# Hagiwara Invented Pinned Photodiode (PPD) 2 / 13

Japanese Patent Application JPA1977-126885

on Electrical Shutter Clocking Scheme using the OFD Punch thru mode

## The Pinned Photodiode (Sony Original HAD sensor) Structure



( from SONY Product Catalog )

Electric Shutter Basic Patent Award  
from Sony President Idei to Yoshiaki Hagiwara  
for Japanese Patent 1977-126885 by Hagiwara



今は後進の育成が最大の使命と感じています。それが恩師への恩返しになります。

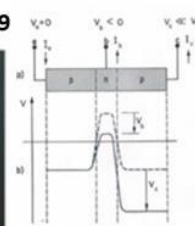


with Prof. James McCaldin @Newport Beach

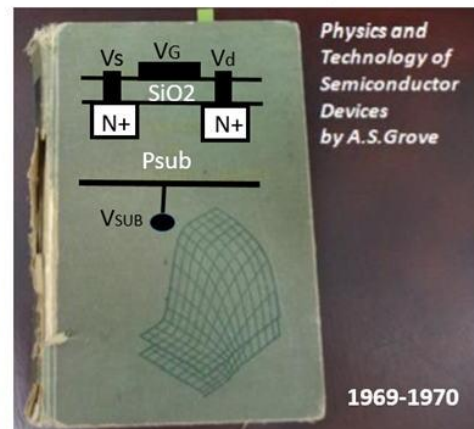


with Prof. Tom McGill @Caltech Campus

Feynman Physics 1967-1969



Bipolar Transistor



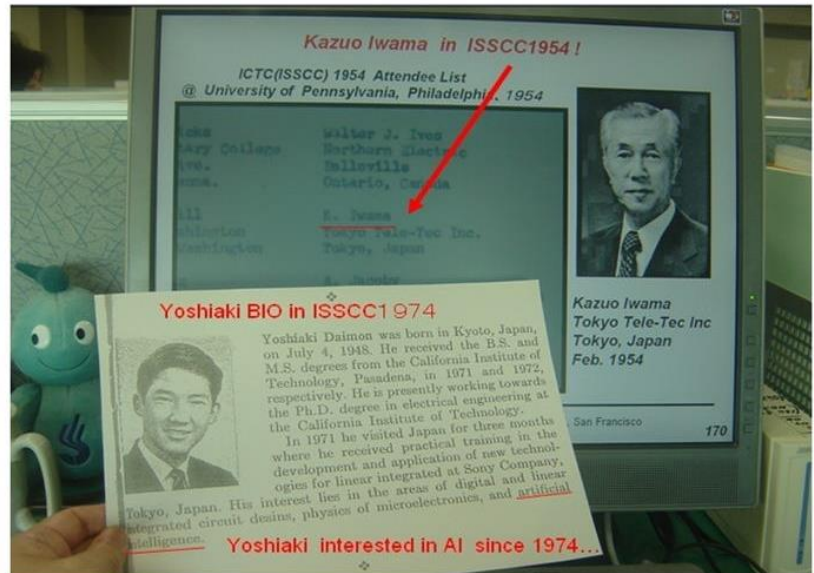
# Hagiwara Invented Pinned Photodiode (PPD) 3 /13

岩間和夫さんは1954年に第1回目のISSCCに出席。萩原はISSCC1974でPhD論文の発表を発表しました。

岩間 和夫(1919年2月7日 - 1982年8月24日)  
日本の技術者、経営者、実業家である。  
第4代ソニー社長。トランジスタに着目し、  
日本における半導体産業の基盤を創った。



ISSCC1954の国際会議に初めて岩間さんは東洋人として出席した技術者です。その20年後の1974年2月には萩原良昭は国際学会のSSCC1974にてPhD学生論文を発表。



Computer数値計算を駆使し、埋め込み型CCDのデイス回路モデル解析結果を報告しました。埋め込み型CCDの将来展望を説明し、高感度ビデオカメラへの応用があることに注目しました。電子の目として期待が大きかった夢ある時代でした。その論文に注目してくれた人々の中には、SONYの岩間和夫氏もいました。1974年当時SONY本社の副社長でSONY USAの会長でした。

Intel社は萩原の母校の先輩たちが創設した会社で、萩原も後輩としていろいろと先輩からMOS技術を学んだ。

## 128-Bit Multicomparator Chip designed by Caltech Students and fabricated by Intel.

Ref: IEEE Journal of Solid State Circuits, VOL.SC11, No.4, October 1976

Prof. C. A. Mead and Yoshiaki Daimon Hagiwara working on the silicon chip design at Caltech in 1972

128-Bit Multicomparator  
CARVER A. MEAD, RICHARD D. PASHLEY, MEMBER, IEEE, LEE D. BRITTON, YOSHIKAZU T. DAIMON, AND STEWART F. SANDO, JR., MEMBER, IEEE

**Abstract**—A 128-bit multicomparator was designed to perform the search-sort function on arbitrary length data strings. Devices can be cascaded for longer block lengths or partitioned for bit-parallel, word-level applications. The circuit utilizes a 1-phase static-dynamic shift register cell for data handling and a unique gated exclusive-or circuit to accomplish the compare function. The compare operation is performed bit parallel between a "data" register and a "key" register with a shift "mask" register controlling each bit. This device is the multicomparator. The multicomparator was fabricated using p-channel MOSFET technology on a 100 × 100 μm chip containing 3550 devices. With constant-current logic (CTL) logic, data rates in excess of 2 Mbits/sec have been achieved. The average power dissipation was 250 mW in the dynamic mode and 300 mW in the static mode.

**INTRODUCTION**  
OVER the past several years, there have been significant amounts of energy devoted to the fabrication of larger and faster semiconductor memories and conventional central processing units (CPUs) in chip form. In the process, many other applications of large-scale integration (LSI) to computer architecture have been neglected [1]. LSI has removed the technological distinction between logic and memory. It is now economically feasible to decentralize the CPU of a computer by replacing much of its mainframe software with functional hardware to improve system efficiency. Presently, an inordinate amount of processing time is spent on organizing and accessing files in peripheral. Peripherals are usually controlled directly by the CPU and have little or no associated logic of their own. A great improvement in this situation can be made by developing peripheral logic units. This would allow each peripheral to accomplish its own internal processing and then reduce CPU bookkeeping duties. This paper describes a 128-bit multicomparator that is designed to perform the search-sort function.

The block diagram of the multicomparator is shown in Fig. 1. The circuit consists of three independently clocked static-dynamic shift registers with associated EXCLUSIVE-OR gating. In operation, the device indicates a match between the data word and the masked bits of the key word. The multicomparator is loaded with a key word by serially shifting the word into the key register and locking the register in static mode. While the key word is being loaded, the comparator is enabled by entering "zeros" in the appropriate locations of the

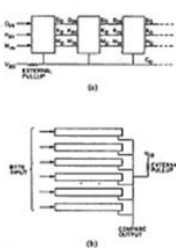
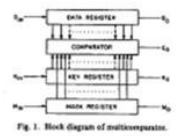


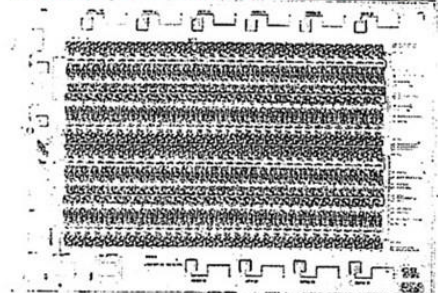
Fig. 1. Block diagram of multicomparator. (a) Cascaded. (b) Bit-parallel, word-level.

mask register. Masking allows the multicomparator to search for bit strings of varying length and composition. For example, assume it is necessary to search for all words containing a specific 113-bit code. By entering the 113-bit code in the key register and masking out the rest of the comparator, the multicomparator is confined to search for this code wherever it occurs in the data file. Once the multicomparator is loaded with "key" and "mask" words, the file being searched is serially shifted through the data register. The data words are compared in bit parallel with the masked bits of the key word as they pass through the data register. When a match is found, the compare output goes high.

Large multicomparators can be constructed of the 128-bit circuit. Cascaded [Fig. 2(a)], the comparator can be used to search for words longer than 128 bits. By implementing multicomparators in parallel [Fig. 2(b)], a word-level, bit-parallel



128-bit Multicomparator chip, designed by Hagiwara in 1972-1973 and fabricated by Intel PMOS process.



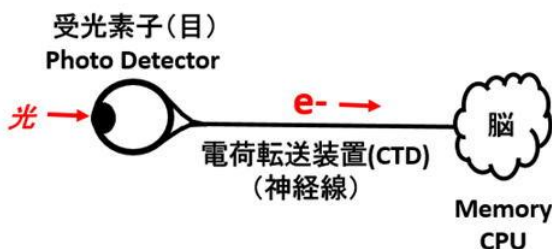
# Hagiwara Invented Pinned Photodiode (PPD) 4 /13

「Pinned Photodiode (PPD) の特長」について説明します。

もと Sony の萩原良昭が 1975 年に発明した受光素子のことです。優れた性能を持つ**超光感度**の特性(s)を持つ受光素子です。**残像** (Image Lag) のない特性や、**過剰光**信号電荷量を調整する機能 (VOD)や、受光表面の**暗電流雑音**(N)を抑圧する機能が組み込まれている、優れた性能と特長を持つ超光感度の受光素子です。

## 基本質問

- (1) 受光素子とは？
- (2) 感度 (S/N)とは？
- (3) 電荷転送装置(CTD)とは？
- (4) CCD Image Sensor とは？
- (5) CMOS Image Sensor とは？



- 太陽電池と受光素子は同じ(光電変換)動作原理で動きます。PPD が超光感度受光素子なら 太陽電池にも応用が可能です。

SONY の強さは半導体技術です。 Bipolar 技術が CCD 技術を育て今の CMOS 技術へと伝承されています。

Image Sensor Story

023

### Why is SONY so strong in Semiconductor Business from the beginning to now ?

(0) Sony could purchase the Bipolar Transistor Patent Right with a very low price of \$ 500 (?) from Bell Lab USA in 1954.

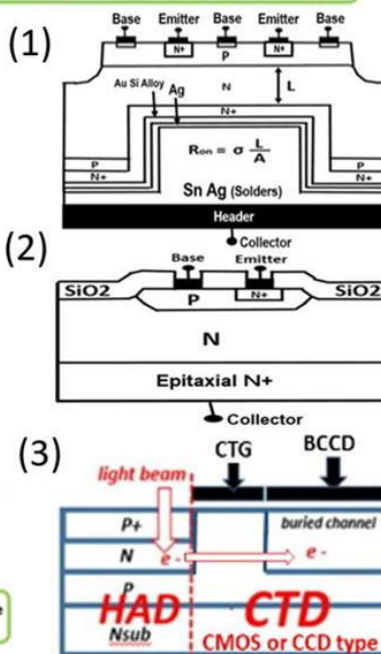
(1) Kawana, Yoshiyuki at Sony invented the low collector On-Resistance N+PN junction type Bipolar transistor by thinning the back side of silicon wafer, a technique now used for the backside illumination CMOS image sensors widely to improve sensitivity.

(2) Kato, Toshio at Sony invented the silicon surface light etching and new SiO<sub>2</sub> Passivation technique for the N+PN junction type Bipolar transistor with the MESA like isolation, which is now known as the shallow trench isolation with the excellent side wall SiO<sub>2</sub> formation to reduce the leakage current.

(3) Hagiwara, Yoshiaki at Sony invented the P+NPNsub junction ( thyristor ) type Pinned Photodiode, which is identical to SONY Hole Accumulation Diode ( HAD ), with the built-in vertical overflow drain (VOD) function, the image lag free electric shutter function and good light sensitivity to realize fast action video cameras.

See Japanese Patent 1975-134985

Hagiwara invented SONY HAD which is identical to the Pinned Photodiode which is also the Depletion Photodiode and the Buried Photodiode.



SONY Bipolar 時代の現役開発者 川名喜之さんと加藤俊夫さんの指導のもと、CCD 技術が実を結んだ。

# Hagiwara Invented Pinned Photodiode (PPD) 5 /13

1970年～1980年初頭の CCD の開発技術者はほんの数人だった。

## CCD撮像素子 (ICX008)

SONYが初めて1980年商品化した国産の CCD Image Sensor です。  
日本発明協会公式WEBでも掲載していただいております(笑顔)。

[http://koueki.jiii.or.jp/innovation100/innovation\\_detail.php?eid=00059&test=open&age](http://koueki.jiii.or.jp/innovation100/innovation_detail.php?eid=00059&test=open&age)



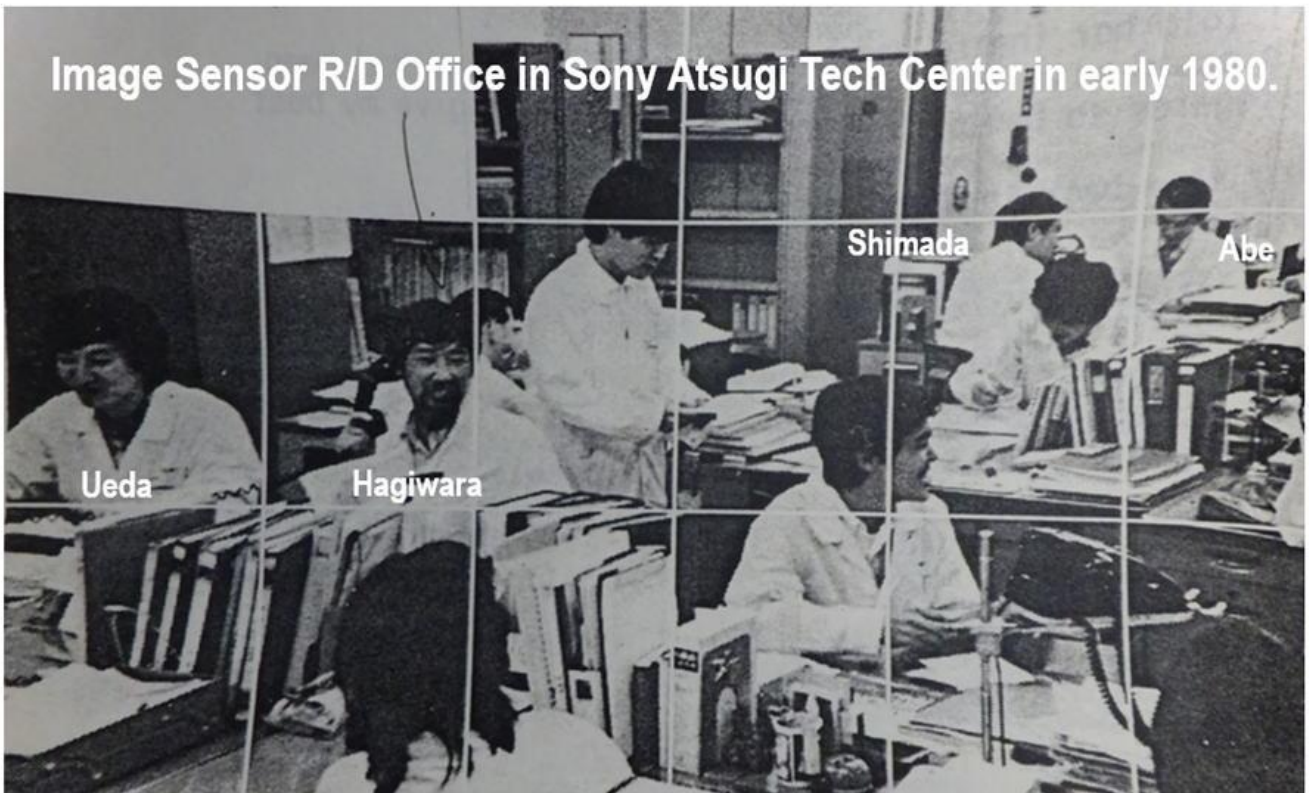
「高密度インターライン転送方式CCD撮像素子」

岡田静夫、島田孝、松本博行、  
安藤哲雄、狩野靖夫、桑沢哲郎、萩原良昭  
Japan SSD Conferenc , DDD78-5, May , 1978.

(画像提供：ソニー)

米国カリフォルニア工科大学在学中萩原良昭は埋め込み型 CCD の電荷転送原理の博士論文を国際学会のISSCC1974年にて発表。1975年2月20日にSONYに入社。この写真はSONYの中央研究所のほんの十数名の開発 研究者先輩の中で指導を受けて、試行錯誤しながら、第8番目の試作品で成功したものです。当時まだ20歳後半の若い研究者の萩原良昭が、プロセス担当の先輩の狩野課長・松本係長と評価担当の安藤課長・桑沢先輩の指導を受けながら、一人で設計し、評価を担当したものです。透明電極を採用し、残像のない高速アクション映像を提供した画期的な固体撮像装置でした。

## Image Sensor R/D Office in Sony Atsugi Tech Center in early 1980.



1980年初頭のSONY 厚木工場内の CCD プロセス開発ラインの事務室風景、川名さん、加藤さん、狩野さん、安藤さん、岡田さん、阿部さん、松本さん、島田さん、鈴木(とも)さん、神戸さん、上田さん達が仲間だった。

# Hagiwara Invented Pinned Photodiode (PPD) 6 /13

Sony の Bipolar Process 技術が CCD Process 技術に継承され更に CMOS Imager Process 技術に継承された。

## Story of Pinned Photodiode and Sony HAD Sensor

Sony Kumamoto Technology Center is the center of Image Sensor World.



Hagiwara visited his friends in Sony Kumamoto Technology Center on November 19, 2018.

## Story of Pinned Photodiode and Sony HAD Sensor

Sony Kumamoto Technology Center is the center of Image Sensor World.



Hagiwara explained why Sony is now so strong in the Image Sensor World.



# Hagiwara Invented Pinned Photodiode (PPD) 7 /13



萩原良昭の夢は 人工知能 (AI) 搭載の、人間にやさしい、賢いロボット総合システムの開発研究だ。

1975-1982 Engineer in CCD Imagers and Camera System  
1983-1989 Engineering Manager in SRAM/DRAM/ADC  
1990-1998 General manager in Sony /NVM/MCU/PS1  
1998-2008 Executive Staff Sony Semiconductor  
Strategic Planning PS2/PS3

**IEEE Computer Elements Workshop  
@ Vail, Colorado, 1995**

06

# Hagiwara Invented Pinned Photodide (PPD) 8 /13

萩原良昭の夢は 人工知能 (AI) 搭載の、人間にやさしい、賢いロボット総合システムの開発研究だ。

特別セッション(6):未来の生活を変えるAIPSロボティクス[Artificial Intelligent Partner System]~未来の生活を変えるメカエレキソフトの融合技術~

## パネル討論 「未来の生活を変えるAIPSロボティクス」

基調講演 「コンピュータ・エンタテインメント+AIPSの可能性」



PlayStation 久夛良木 健

パネル討論「未来の生活を変えるAIPSロボティクス」  
3月12日(木)15:20-16:20[第1イベント会場(プリズムハウス 1F プリズムホール)]

### 【討論概要】

近年では、二足歩行ロボットによるサッカー大会が開催され、またAIによる自動車の運転補助が実用化するなど、ロボティクス技術、及びイメージングにもゲームに代表されるコンピュータ技術が融合し、Real Timeでパートナーシステム(PS)としての本パネル討論では我々の未来の実現の為の要素技術とは何か具体的にはREAL TIMEでの音声来へ向けての研究課題について

**電子情報通信学会全国大会  
@立命会館草津キャンパス  
2009年3月**

は各家庭分野とロボ  
話もするパ  
ともに、そ  
語りつつ、  
紹介や持



司会:萩原 良昭(AIPSコンソーシアム)

1971年米国カリフォルニア工科大学卒業。1975年6月同大学博士課程卒業(主:電子工学, 副:物理学)。  
1975年2月ソニー入社。固体撮像素子とそのカメラシステム, ADC, メモリチップ, MCUマイコン, システムLSIの開発事業化担当。主幹技師, 半導体技術企画室長などを歴任。2008年7月, 60歳定年退職。  
2008年8月神奈川県認定(NPO法人)AIPSコンソーシアム設立。その理事長に就任, 現在に至る。

Hagiwara was on TV and was talking about the AIPS robot system and self-driving cars.

工学者100人が教える  
自動車の最先端事情!!

崇城大学  
情報学部情報学科

萩原良昭教授

**YES**

**自動運転は可能**

100人の学者が教えます  
アカデミー

問.20年以内に全自動運転の車は日本で販売される?

# Hagiwara Invented Pinned Photodiode (PPD) 9 /13

しかし、いい事ばかりではなかった。(大涙)

悪の根源は世界の IEEE の学会で Fake 論文が公開されている事実を全く萩原も SONY も把握しておらず、反論の機会を失い、萩原の 1975 年の発明特許の存在が英語圏の国際学会に間違っ理解されていた為だった。

Fossum insulted in his 2014 paper Sony and Hagiwara 1975 PPD invention.

**Indeed, Hagiwara invented PPD with VOD and the virtual charge transfer in 1975 !!**

IEEE JOURNAL OF THE ELECTRON DEVICES SOCIETY, VOL. 2, NO. 3, MAY 2014

**Sony HAD (PPD+VOD) does not use LOCOS !!!**

A Review of the Pinned Photodiode for CCD and CMOS Image Sensors

Eric R. Fossum, Fellow, IEEE, and Donald B. Hondongwa, Student Member, IEEE

False

Many people now said this is a fake paper !

C. Other Contributions to the PPD Invention

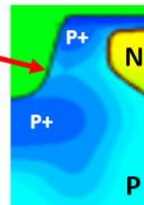
The PPD structure, while invented for low lag ILT CCD application, shares a strong resemblance to the Hynceck virtual-phase CCD structure, with the exception of the VOD. The two inventions were solving different problems with essentially the same device structure and operating principles.

In 1975, Hagiwara at Sony filed a patent application on bipolar structures for CCDs in which a *pn*p vertical structure was disclosed, among several structures [24]. The top *p* layer was connected by metal to a bias used to control full-well capacity and the *n*-type base layer was proposed for carrier storage. In an unusual paper, Hagiwara, in 1996, revisited the 1975 invention and claimed it was essentially the invention of both the virtual phase CCD and the NEC low-lag structures, as well as the basis of the Sony so-called "Hole Accumulation Diode," or HAD structure [25]. However, the 1975 application

did not address complete charge transfer, lag or anti-blooming properties found in the NEC low-lag device, and does not seem to contain the built-in potential step and charge transfer device aspects of the virtual-phase CCD. Hagiwara repeats these claims in a 2001 paper [26] and shows a VOD structure that is not found in the 1975 patent application. Sony did not seem to pursue the HAD structure until well after the NEC paper was published. However, the "narrow-gate" CCD with an open *p*-type surface region for improved QE also disclosed in the 1975 application was reported in more detail by Hagiwara et al. at Sony in 1978 [27]. A similar structure was used extensively by Philips [28].

The PPD, as it is most commonly used today, bears the strongest resemblance to the Teranishi et al. ILT CCD device. Thus, these days Teranishi is considered as the primary inventor of the modern PPD [29].

The surface P+ layer is NOT connected to the LOCOS P+ layer. The surface P+ layer may be floating and this photodiode may have serious image lag.



Serious Image Lag ?

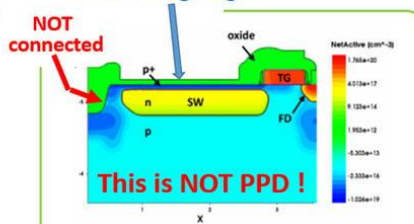


Fig. 4. Example of a pinned photodiode implemented in a CMOS image sensor showing doping concentrations. (Dimensional units are microns).

**Hagiwara in 1975 invented PPD with VOD and the virtual charge transfer. Study the Japanese Patents 1975-127646, 1975-127647 and 1975-134985.**

今も萩原良昭の 1975 年の PPD の特許出願と 1978 年の PPD の原理試作に関してその重要性を理解されていない事が最大の問題で、誤解を招き、全く現在社会認知されていない事実は重い。

**● 発明協会の公式 Homepage の記載には事実誤認があります？**  
<http://koueki.jiii.or.jp/innovation100/>

イメージセンサー (CCD・CMOS)

概要 [イノベーションに至る経緯](#) [発明技術開発の概要](#) [主な受賞歴](#) [参考文献等](#)

## 概要

撮像デバイスの研究開発は、19世紀後期のテレビジョン研究がスタートである。機械式、撮像管、固体撮像素子（以下「イメージセンサー」と呼ぶ）と発展し、社会に大きなインパクトを与えつつ、大きく発展してきた。

真空管の一種である撮像管は、サイズが大きい、割れ物である、消費電力が大きい、画像にゆがみがある、高価である、などの欠点があり、固体化が望まれていた。1960年代半ばにイメージセンサーの開発がスタートした。そのときは、MOS (Metal Oxide Semiconductor) 型が中心であった。

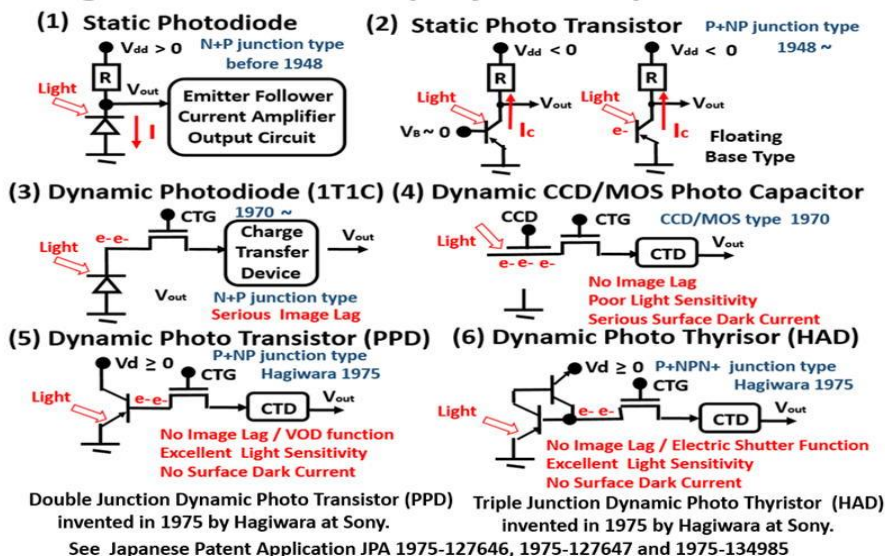
1970年にBoyleとSmith (当時Bell研究所) が CCD (Charge-Coupled Device、電荷結合素子) を発表した<sup>1</sup>。構造が単純であり、イメージセンサーのような大規模なアレイ構造を製造するのに適していること、矢継ぎ早に CCD に改善が加えられたことから、イメージセンサー開発の中心は CCD になった。1970年後半からは開発の中心は日本に移った。1978年、山田哲生 (当時 東芝) は、強い光が入射したときに縦線の偽信号を発生させるブルーミングを抑制する縦型オーバーフローレイ構造を発明した<sup>2</sup>。1979年には寺西信一 (当時 NEC) が、白傷や暗電流を大幅に低減し、残像や転送ノイズを解消する埋込フォトダイオード (Pinned Photodiode) を発明した<sup>3</sup>。これらの結果、CCD はまずムービーを、引き続きコンパクトデジタルスチルカメラを主な市場として量産されていった。

事実誤認？

# Hagiwara Invented Pinned Photodiode (PPD) 10 /13

昔の原始的な受光素子は Single 接合 N+P 型の Dynamic Photo Diode だった。  
 萩原良昭は 1975 年に Double 接合 P+NP 型の Dynamic Photo Transistor (PPD) と  
 Triple 接合 P+NPN 型の Dynamic Photo Thyristor (HAD) を発明した。

## Pinned Photodiode (PPD) and Sony Hole Accumulation Diode (HAD) Story single, double and triple junction photo sensors

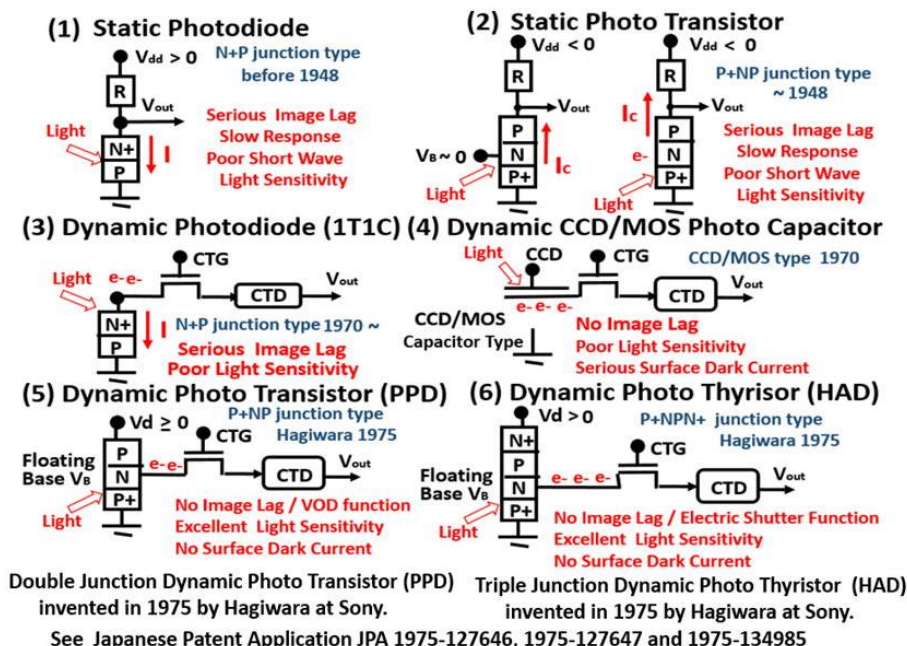


現在でも太陽電池の受光素子は Single 接合 N+P 型の Dynamic Photo Diode である。

短波長青色光はシリコン結晶を 0.2 ミクロン以上透過しない。

受光面の N+領域が floating で 光電変換された電子と正孔を電界分離する表面電界が存在しないので、電子と正孔はその場によんだ状態となり、いずれ再結合し、非常に短波長青色光の光電変換率が悪い。  
 一方、太陽光には、短波長青色光や紫外線が豊富である。

## Pinned Photodiode (PPD) and Sony Hole Accumulation Diode (HAD) Story single, double and triple junction photo sensors



各位、皆さまにお願いがあります。

萩原良昭

権威ある IEEE の Electron Device Society (EDS) 学会の見解では、現在、「もと NEC の寺西氏が Pinned Photodiode (PPD) の発明者である。」との認識です。「Pinned Photodiode の概念を寺西氏が世界で初めて提唱した」と認識されていますが、これは事実誤認です。

事実、SONY と日本半導体産業人協会 (SSIS) では、「もと Sony の萩原良昭が既に 1975 年に 3 件の日本国・発明特許を出願し、それを証拠に、Pinned Photodiode (PPD) を発明・考案した。」と公言しております。さらに、「Sony の萩原の開発チームが 1978 年に世界で初めて PPD の試作・原理開発に成功し、東京で開催の国際学会 SSDM1978 で PPD の開発結果を詳細に報告した。」と公言しております。

「寺西氏を発明者」とする、IEEE の EDS の持つ見解に対して、「萩原を発明・開発者」とする、日本半導体産業人協会 (SSIS) と Sony の持つ見解との間には、明らかに矛盾があります。ぜひ、事実に基づき、この矛盾を正していただきたく、希望しております。IEEE の EDS は、責任をもって、事実に基づき、半導体デバイスの真の発明者を明らかにして正しい半導体デバイスの開発歴史認識を持っていただきたいです。

IEEE の Electron Device Society (EDS) 学会の見解には事実誤認があります。その原因を造った要因は第一に PPD の発明者である萩原良昭が、自分が出願した 1975 年の 3 件の特許の詳細を完全に忘れていた為です。残念ながら、出願特許の日本国特許であり英語圏の科学者にはなかなか入手できず、入手しても日本語が理解できないという問題があった為に多くの誤解を招いた為です。

しかし、松下、日立、東芝、日電、三菱など日本企業の技術者はライバル企業の特許出願には精通しています。「知らない」では許されません。事実 NEC は 1979 年の寺西の埋込み Photodiode の出願特許を武器にして、SONY に対して多額の特許使用料を請求していました。しかし、萩原の 1975 年の PPD の基本特許を武器にして SONY は反論して、NEC の要求を退けました。結果、NEC は Image Sensor のビジネスから撤退する事になりました。

当時、KODAK も、1980 年代に後発出願した PPD の特許で SONY を攻撃していました。Fairchild 社も in-Pixel VOD 特許で Sony を攻撃していました。しかし萩原の 1975 年出願の in-Pixel VOD 機能付きの PPD 特許は SONY を守ることができました。

# Hagiwara Invented Pinned Photodiode (PPD) 12/13

Old Boys of Sony Semiconductor Group support that Hagiwara at Sony is the true inventor of Pinned Photodiode.

各位

2019年7月25日

半導体産業において、重要な役割を持つイメージセンサの受光素子である、Pinned Photodiode の発明者は、もと SONY の萩原良昭氏です。萩原良昭氏が1975年に出願した、以下の3件の日本国特許がその証拠です。

昭 50 - 127646、昭 50 - 127647、昭 50 - 134985

この3件の特許の実施例には、この受光素子構造が Interline Transfer 方式の CCD Image Sensor にも応用できると明示しています。CMOS Image Sensor にも適用可能で、広く現在採用されています。萩原良昭氏の業績は社会的に認知されるべきものです。

ソニー半導体 OB 会

会長 露木忠晴 露木忠晴

有志 川名喜之 川名喜之

加藤俊夫 加藤俊夫

# Hagiwara Invented Pinned Photodiode (PPD) 13/13

各位

2020年12月12日

萩原良昭の妻の萩原トミエと申します。

良昭がこの数年たいへんな精神的な苦痛と金銭的な打撃を受けている状態を家族として近くで見えておりましたが、専門家でもなく、技術的な事は何も理解できず、無力であり、どう良昭を助ければ良いのか、そのすべが全くわかりませんでした。ずっと無力で静観していたのが、今までの状態でございます。

ソニーから公式のWEBサイトには、「萩原がPPDの発明者である」と公言する記事が掲載されました。

また日本の半導体産業を代表する半導体産業人協会の日本半導体歴史館の公式のWEBサイトにも「萩原が1975年に世界で最初にPPDを考案した」ことを明示した記事が掲載されました。萩原良昭の名前が日本半導体歴史館に記載され後世に伝えられる事なり、非常に日本半導体歴史館には感謝しております。

また、現在、権威あるImage Sensorの国際学会の会長で、オランダのDelft大学の教授のProf. Albert Theuwissenは2006年のIEEEのIEDM国際学会での論文の中で、萩原の1978年のSSDM1978の論文を引用しました。その論文の中で「萩原が1978年に開発に成功し報告した光電変換素子はNECが1982年に命名した埋込みPhotodiodeやKODAKが1984年に命名したPinned PhotodiodeやSONYが1987年に命名したHole Accumulation Diode (HAD)のMother(生みの親=発明者)である」と明示しております。

また2018年にProf. Albert Theuwissenと個人的に萩原が交換したE-mail Communicationの中でも、Prof. Albert Theuwissenは「寺西の発明出願の前にすでにPPDは提案されており、萩原がすでに開発に成功し、SSDM1978で報告した光電変換素子もPPDである。」と証言しております。これは2人の個人的な会話ですが、世界的なImage Sensorの学識権威者の一人の証言としてたいへん重い意味があると思っております

また、他にも、科学技術分野の公の投稿サイトには、匿名の方ですが、かなりこの分野の専門家と思われる技術者からの投稿ですが、「The first PPD was invented by Hagiwara at Sony」と公言されています。

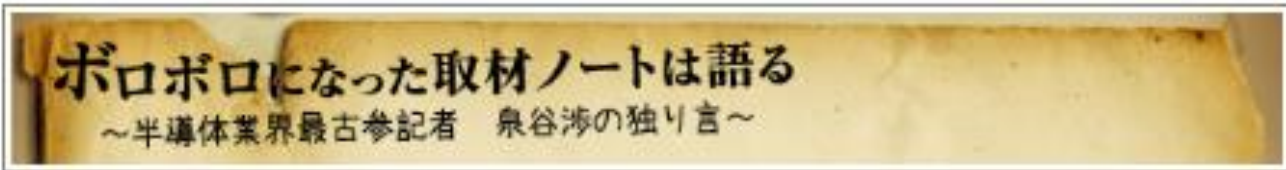
SONYのOB会の露木忠晴会長も、もとSONYの中央研究所の副所長の川名喜之様も、またSONYのImage Sensorのプロセス開発部門のもと最高責任者であり、かつ萩原のもとImage Sensorの職場の上司でもおられました、加藤俊夫様も萩原の1975年と特許出願を根拠に「萩原がPPDの発明者だ」と断定されておられます。

しかし、発明協会の公式WEBサイトには今も「寺西氏がPPDの発明者だ」と記載されています。これは事実誤認、矛盾を感じております。その事実関係を明らかにしていただきたく、切におねがいもうしあげます。

代表

萩原トミエ(妻)、  
萩原昭紀(長男)、  
市川真樹(長女)、  
萩原勇(次男)、  
萩原憲(三男)

萩原トミエ  
萩原昭紀  
市川真樹  
萩原勇  
萩原憲



1 / 7

●記事の原文に解説図を追加、この詳細を Image Sensor Story と題して 本にまとめたいです。(萩原良昭)

第408回

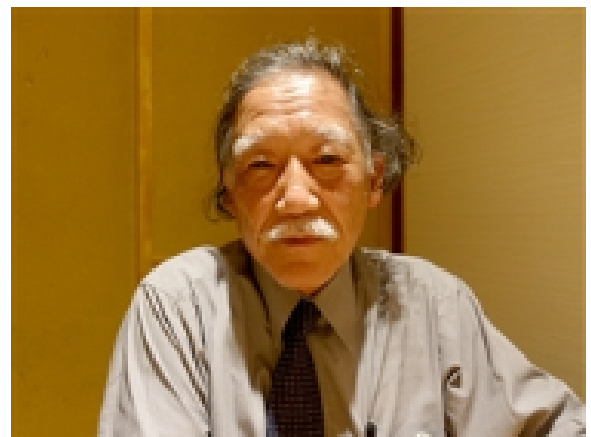
## 「鉄腕アトムを創りたい」という男が画像の新世界を切り開く

### 元ソニーの萩原良昭氏が開発したPPDは超優れものデバイス

2020/11/13

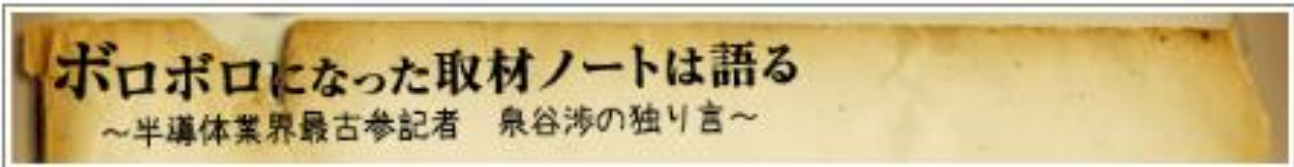
「鉄腕アトムを創りたいというのが、ソニーに入社した動機であった。そしてまた、みんなが夢を共有していくというソニーの基本哲学は、自分にマッチングしていると考えた。IEEE主催の国際固体集積回路会議(ISSCC)の委員長をやらせていただくなど活躍の場を与えられ、今でもソニーには感謝している」(萩原氏)

眼光は炯炯として鋭く、口調も滑らかにこう語るのは、ソニーで半導体の中枢を駆け抜けた人物として知られる萩原良昭氏である。萩原氏は1948年に京都に生まれ、洛星高校を1965年に中退し、南カリフォルニアに在住してRiverside市立高校に編入。1967年にカリフォルニア工科大学に進む。1972年には、修士課程そして博士課程を終えて、1975年にソニーに入社する。大阪・枚方の酒屋の出身の父親は、大手映画会社の東映の美術監督であった。京都奈良の寺社や町屋を歩き、建築写真を撮る父親に小学校時代よくついて行った。



ソニーの半導体で活躍した萩原良昭氏





2 / 7

萩原氏を語るうえで何とんでもビカイチの業績は、ダブル接合型受光素子である PPD、別称 Hole Accumulation Diode (HAD) の開発に 1978 年に成功したことである。これはまさに快挙ともいふべき出来事であり、この原理が今日のソニーの半導体を支えている裏面照射型の CMOS イメージセンサーに結び付いていく。

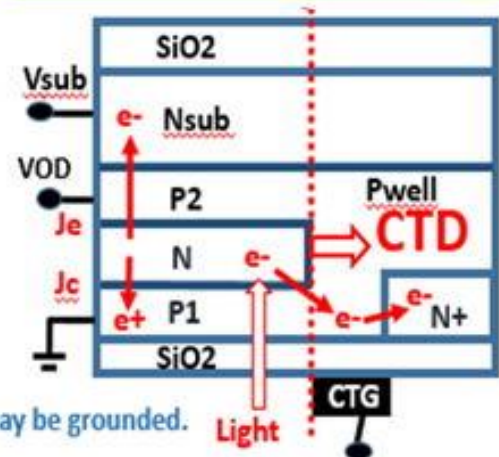
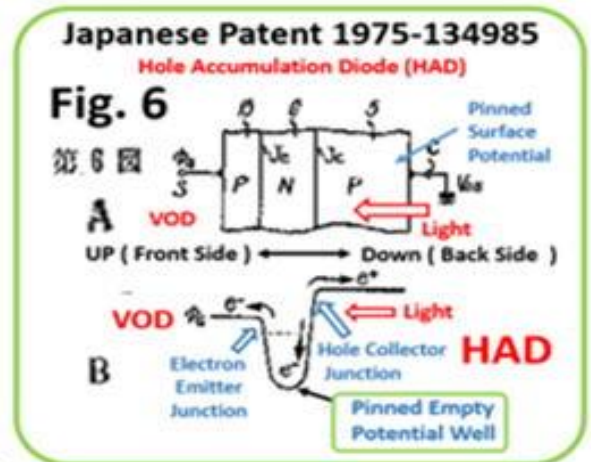
## PNPN junction Transistor type Pinned Photodiode

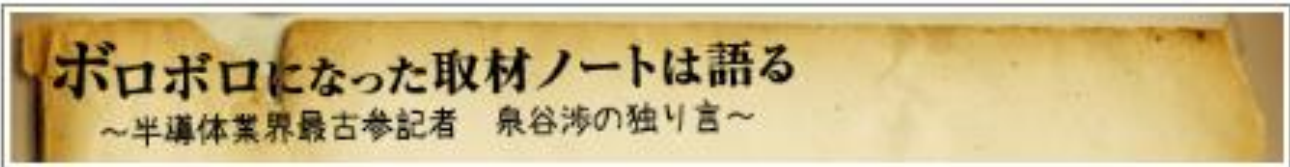
Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

### Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), the first region (P1) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) from the light collecting part (N) is transferred to the adjacent charge transfer device (CTD). (4) Both are placed along the main surface of the semiconductor substrate. (5) In the solid state image sensor so defined, a rectifying Emitter junction (Je) is formed on the second region (N) of the light collecting part (N). And (6) Collector junction (Jc) is formed by the second region (N) and the first region (P1), forming a transistor structure (P2NP1) (7) Photo charge is stored in the Base region (N) according to the illuminated light intensity, and transferred to the adjacent CTD. The solid state image sensor so defined is in the scope of this patent claim.

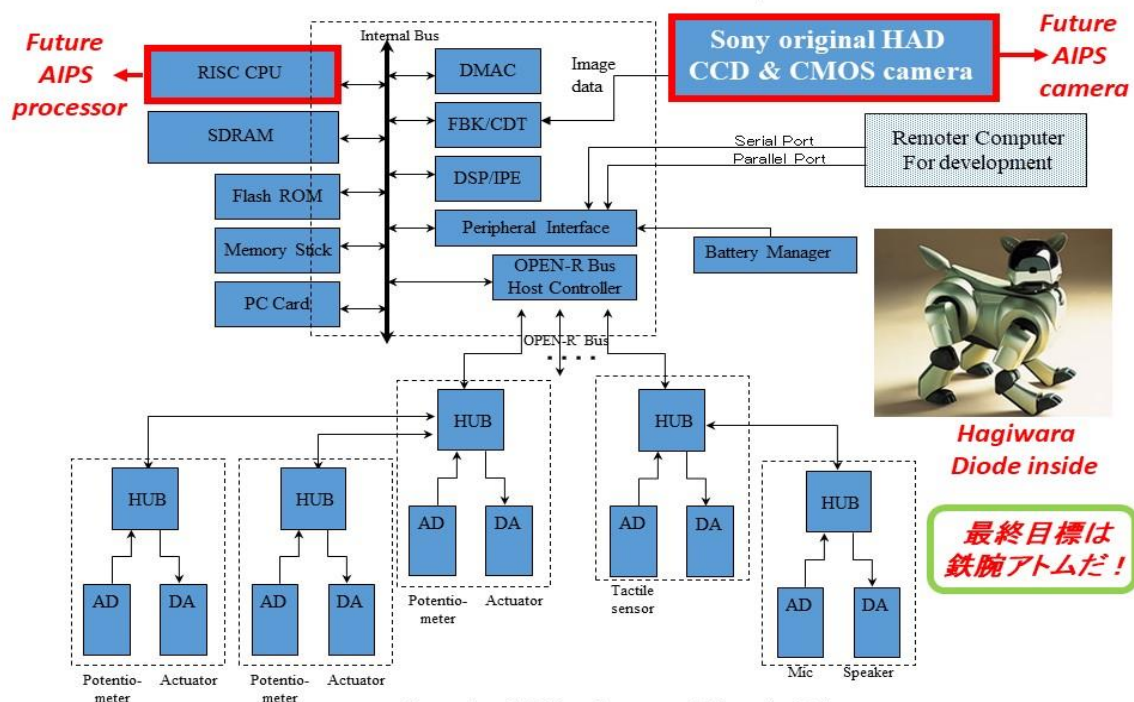




「1970年代、CCDカメラの登場は、フィルムとメカのシャッターの文化を排除し、電子映像の新しい技術革新を実現したことになり、ソニーはまたもとんでもないことをやってのけたと世間に言われた。しかし、私が思うに、実は本当の光超感度の主役はCCDではなく、PPDである。さらに、トリプル接合型PPDを採用することにより、SONYは世界初の高速電子シャッターをも実現した」(萩原氏)

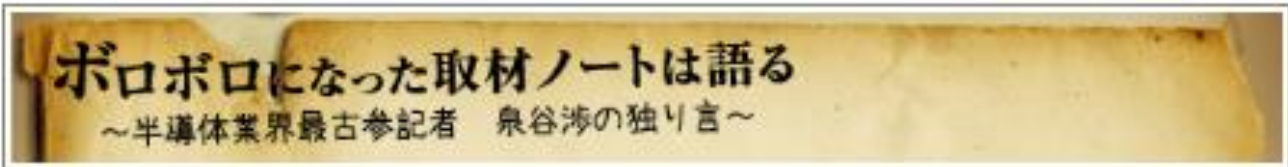
このPPDのSONYでの開発背景のアナウンスが遅れたのは、発明者である萩原さん自身が1980年にこまイメージセンサーの仕事から離れ、SRAM、DRAM、ADC、マイコン、さらにはロボットのAIBOやPS2、PS3の半導体部品の開発・商品化に注力して超繁忙なためであったという。自らが開発したこのPPDの特許の存在、詳細を忘れていて、PRしなかったというのだ。

## SONY AIBO 2<sup>nd</sup> Generation, ERS-210



最終目標は鉄腕アトムだ!

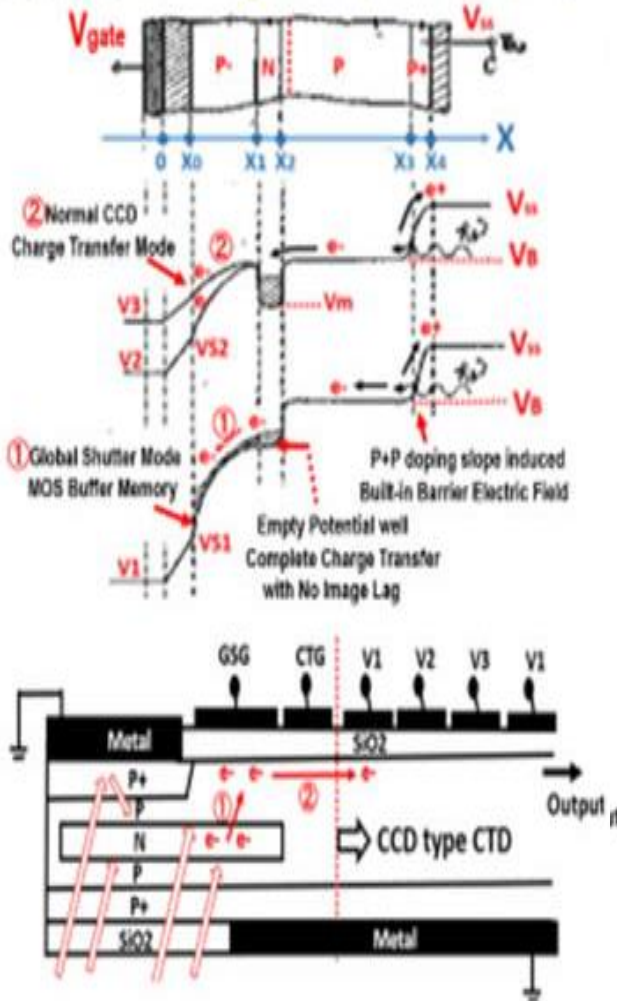
Logical Hardware Block Diagram



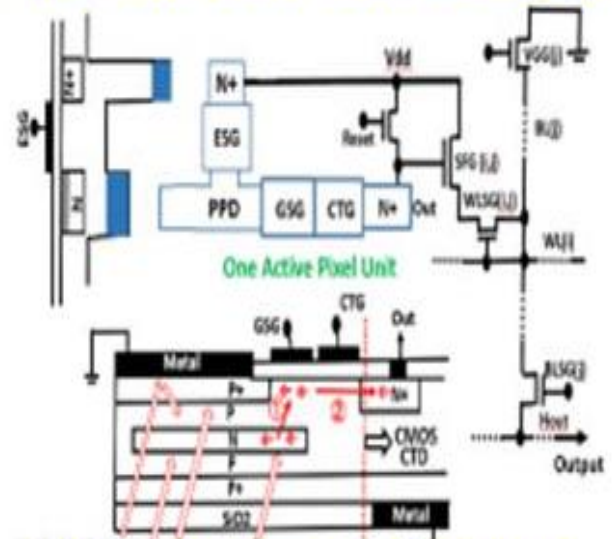
4 / 7

2019年に至って、萩原氏は仙台で開催された3次元集積回路の国際会議で初めて、IEEEの論文としてこの1975年の3つの特許を引用し、ダブル接合型とトリプル接合型のPPDの基本特許を世界の国際舞台で初めて、その詳細を紹介したのだ。

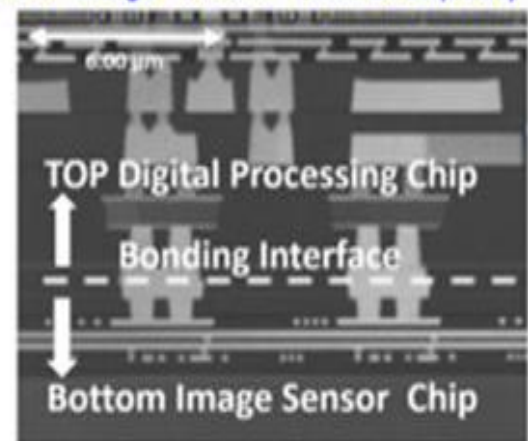
P+PNPP+接合型 Buried Pinned Photodiodeを採用した  
裏面照射型 CCD Image Sensor (JAP 1975-127647)

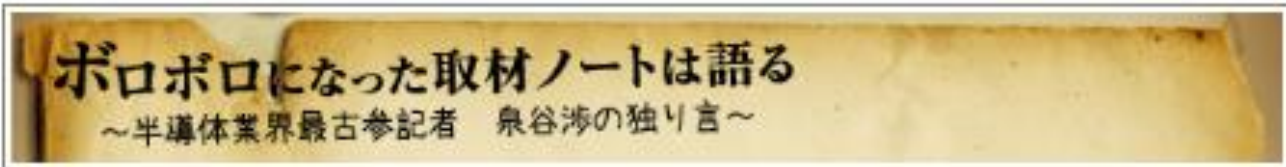


表面照射型 CMOS Image Sensor (2020)



CMOS Image Sensor の断面図(2020)

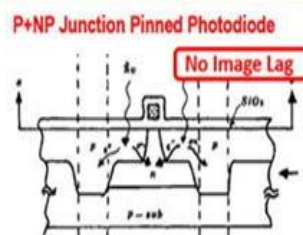
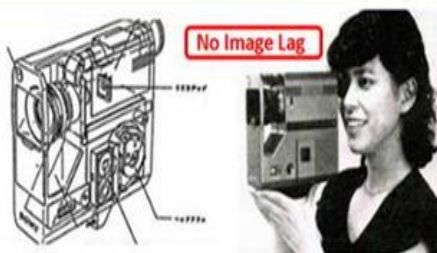




5 / 7

「PPDは超光感度で光電変換出力が非常に大きく、一方で表面暗電流ノイズが小さく、また残像がない。このことは、1975年に3つの特許で発明し、さらにそのPPDの試作開発に成功し、1978年のSSDM1978で学会発表した。ソニーはそのPPDを使って、それまでこない、超光感度で、超低雑音で、かつ残像がなく、高速アクション映像を可能にしたビデオムービーを1980年に試作し、岩間社長が東京で、盛田会長がニューヨークで同日新聞発表し、世界を驚かせた」(萩原氏)

Sony original 570H x 498 V one-chip FT CCD Image Sensor with Pinned Photodiode, July 1980



On July 1980, Iwama Kazuo at Sony Tokyo Press Conference and Morita Akio at New York Press Conference announced the one chip CCD video camera with the 8 mm VTR in one box.

See the Original 1978 Publication of the Pinned Photodiode Sensor

Y. Daimon-Hagiwara, M. Abe, and C. Okada, "A 380Hx488V CCD imager with narrow channel transfer gates," Proceedings of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, vol. 18, supplement 18-1, pp. 335-340, 1979

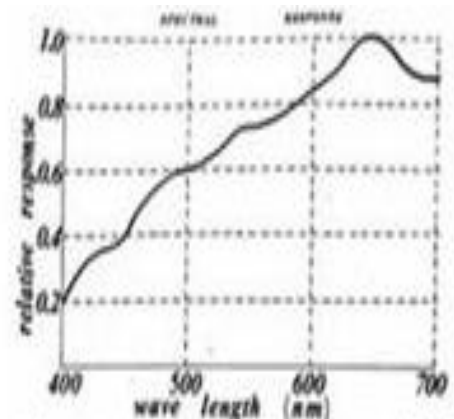
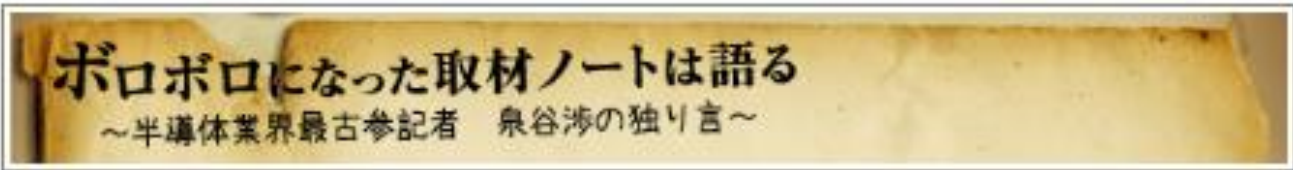


Figure 13 Spectral Response of the P+NP junction Pinned Photodiode (PPD) with the excellent blue light sensitivity

High quality picture of SONY CMOS Imager is also based on SONY HAD ( Pinned Photodiode).

1970年代中頃には、イメージセンサー用のフォトダイオードの改良は日立、NEC、東芝なども躍起になって取り組んでいた。しかし、ソニーのやり方は、受光部をピン止め固定電位のPプラス層(エミッター)にすることで、従来のフォトダイオードのように表面電位を制御するのではなく、光透過率の悪いセンサー電極で受光面全面を覆う必要もないという優れたものであった。世界最高レベルの超光感度のイメージセンサーを創るということは、ソニーにとってCCD時代からの悲願であった。このブレークはこの1975年のマルチ接合型受光素子であるPPDの提案に貢献できた、と今でも考えていると萩原氏は言う。



「思い返せば、私がカリフォルニア工科大学の2年生の時に、あのインテルを創ったゴードン・ムーアが先輩としていた。ムーア氏は、これから新しいベンチャーを創るという意気込みを語っていた。200人で会社を創ることを誇りにしていた。そしてインテルができた。カリフォルニア工科大学の卒業生が集まって作ったのが、いまや半導体業界の世界チャンピオンに輝くインテルなのである」(萩原氏)

## 128-Bit Multicomparator Chip designed by Caltech Students and fabricated by Intel.

Ref: IEEE Journal of Solid State Circuits, VOL.SC11, No.4, October 1976

Prof. C. A. Mead and Yoshiaki Daimon Hagiwara working on the silicon chip design at Caltech in 1972

972 IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-11, NO. 4, OCTOBER 1976  
**128-Bit Multicomparator**  
CARVER A. MEAD, RICHARD D. PASHLEY, MEMBER, IEEE, LEE D. BRITTON, YOSHIKI T. DAIMON, AND STEWART F. SANDO, JR., MEMBER, IEEE

**Abstract**—A 128-bit multicomparator was designed to perform the search-sort function on arbitrary length data words. Devices can be cascaded for longer block lengths or paralleled for bit-parallel, word-level applications. The circuit utilizes a 3-phase static-dynamic shift register cell for data loading and a unique gated exclusive-or circuit to accomplish the compare function. The compare operation is performed bit parallel between a "data" register and a "key" register with a third "mask" register containing zero's mask bits that disable the comparator. The multicomparator was fabricated using p-channel silicon-gate metal-oxide-semiconductor (MOS) technology on a  $107 \times 150$  mil chip containing 3350 devices. With combinator-translation logic (CTL) inputs, data rates in excess of 2 MHz have been attained. The average power dissipation was 250 mW in the dynamic mode and 300 mW in the static mode.

### INTRODUCTION

OVER the past several years, there have been significant amounts of energy devoted to the fabrication of larger and faster semiconductor memories and conventional central processing units (CPU's) in chip form. In the process, many other applications of large-scale integration (LSI) to computer architectures have been neglected [1]. LSI has removed the technological distinction between logic and memory. It is now economically feasible to decentralize the CPU of a computer by replacing much of its microprocessor software with functional hardware to improve system efficiency. Presently, an inordinate amount of processing time is spent on organizing and accessing files in peripherals. Peripherals are usually controlled directly by the CPU and have little or no associated logic of their own. A great improvement in this situation can be made by developing peripheral logic units. This would allow each peripheral to accomplish its own internal processing and thus reduce CPU housekeeping duties. This paper describes a 128-bit multicomparator that is designed to perform the search-sort function.

The block diagram of the multicomparator is shown in Fig. 1. The circuit consists of three independently clocked static-dynamic shift registers with associated EXCLUSIVE-NOR gating. In operation, the device indicates a match between the data word and the masked bits of the key word. The multicomparator is loaded with a key word by serially shifting the word into the key register and locking the register in static mode. While the key word is being loaded, the comparator is enabled by entering zeros<sup>1</sup> in the appropriate locations of the

Manuscript received March 15, 1976; revised July 18, 1976.  
C. A. Mead is with the California Institute of Technology, Pasadena, CA 91125.  
R. D. Pashley and S. F. Sando, Jr., are with the Intel Corporation, Santa Clara, CA.  
L. D. Britton is with the Hewlett-Packard Laboratories, Cupertino, CA.  
Y. T. Daimon is with the Sanyo Corporation, Tokyo, Japan.

<sup>1</sup>Values operation: high="1"= $V_{DD}$ , low="0"= $V_{CC}$ . Note that since  $V_{DD}$  is negative for p-channel MOS and positive for n-MOS transistor-translation logic (CTL) inputs may or may not have reverse polarity depending on the processing used.

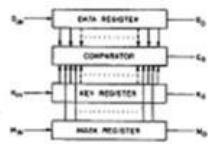


Fig. 1. Block diagram of multicomparator.

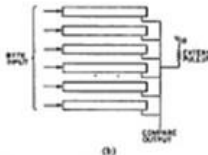
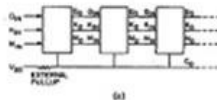


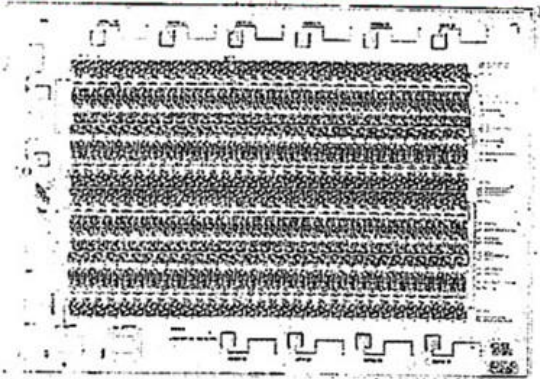
Fig. 2. Possible connections of multicomparators. (a) Cascaded. (b) Bit-parallel, word-wide.

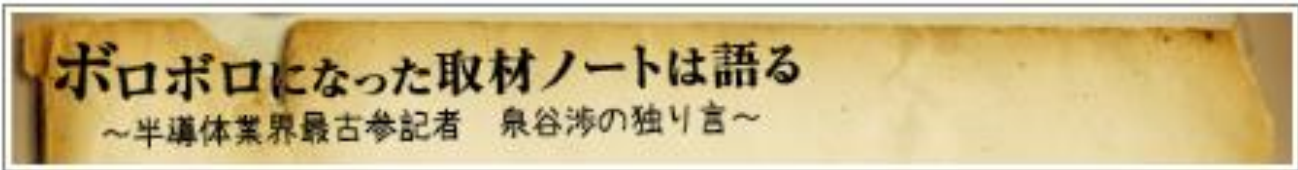
mask register. Masking allows the multicomparator to search for bit strings of varying length and composition. For example, assume it is necessary to search for all words containing a specific 113-bit code. By entering the 113-bit code in the key register and masking out the rest of the comparator, the multicomparator is confined to search for this code wherever it occurs in the data file. Once the multicomparator is loaded with "key" and "mask" words, the file being searched is serially shifted through the data register. The data words are compared in bit parallel with the masked bits of the key word as they pass through the data register. When a match is found, the compare output goes high.

Large multicomparators can be constructed of the 128-bit circuit. Cascaded [Fig. 2(a)], the comparator can be used to search for words longer than 128 bits. By implementing multicomparators in parallel [Fig. 2(b)], a word-wide, bit-parallel



128-bit Multicomparator chip, designed by Hagiwara in 1972-1973 and fabricated by Intel PMOS process.

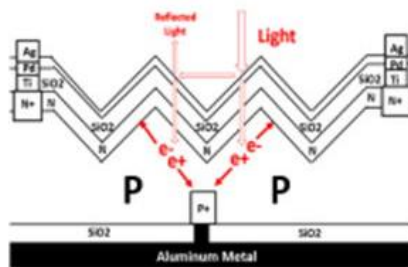




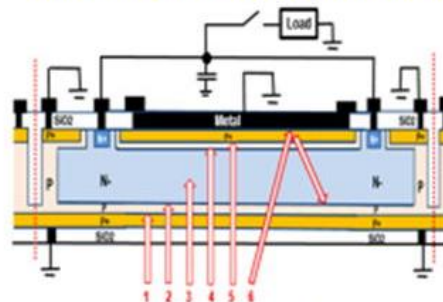
いまでも熱く語る萩原氏の脳裏にはまだまだ新しいアイデアがあるという。それは例えば「プロセッサ搭載のCMOSイメージセンサー」「可視光に頼らないCMOSイメージセンサー」「X線を検知するCMOSイメージセンサー」「太陽光に豊富な短波長紫外線を非常に効率よく電気エネルギーに変換する、超短波長光感度の太陽電池」などであり、これを開発できれば、それは素晴らしいことだと机を叩いて言う。今こそソニーは、あの死に物狂いの開発で、夢の製品、夢の工場を創ったころの原点に戻るべし、という萩原氏の指摘は、正鵠を得ているのかもしれない。

鉄腕アトムを創りたいという一心で、ソニーに入社した萩原氏の遙かなる夢の舞台はまだ終わらない。

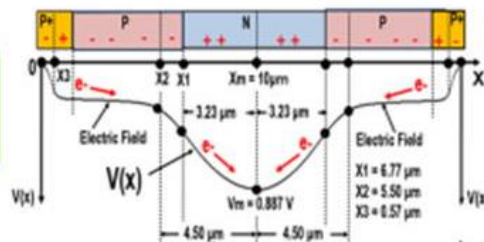
NP Single 接合型太陽電池 (従来構造)



PNP Double 接合型太陽電池(PPD構造)



PNP Double 接合型太陽電池の電位図



Double PNP 接合型太陽電池(PPD構造)では光電変換に必要な空乏層領域が、PN接合とNP接合の double になる。さらに表面の濃いP+P濃度勾配 Hole Accumulation Diode(HAD)構造により、表面での短波長光電効率が向上。

■泉谷 渉(いずみや わたる)略歴

神奈川県横浜市出身。中央大学法学部政治学科卒業。35年以上にわたって第一線を走ってきた国内最古参の半導体記者であり、現在は産業タイムズ社 社長。著書には『自動車世界戦争』、『日・米・中IoT最終戦争』、(以上、東洋経済新報社)、『これが半導体の全貌だ!』(かんき出版)、『心から感動する会社』(重紀書房)、『君はニッポン100年企業の底力を見たか!!』(産業タイムズ社)など27冊がある。一般社団法人日本電子デバイス産業協会 理事 副会長。全国各地を講演と取材で飛びまわる毎日が続く。

++++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_001  
 ++++++

The details of explanations are given below regarding the 1975 invention of the First Pinned Photodiode proposed by Yoshiaki Hagiwara at Sony in 1975.

In his 1975 Japanese patents Hagiwara proposed a double junction and a triple junction type photodiodes with the pinned silicon surface hole accumulation region with the excellent short wave blue light sensitivity and also the complete charge transfer capability resulting in the no-image-lag high performance photodiode.

As Prof. Albert Theuwissen wrote in his IEDM2005 paper, the structure that Hagiwara proposed in 1975 , that Hagiwara developed in 1978 and that Hagiwara reported in the SSDM1978 conference can be considered as the "mother" of of NEC Buried Photodiode, KODAK Pinned Photodiode and Sony Hole accumulation Diode.

++++++

Albert J.P. Theuwissen, Jan T.J. Bosiers, Edwin Roks, " The Hole Role ", an invited paper at IEDM2005, Washington DC, Techn. Dig. , 2005.

But in the case that parts of the depleted n-type CCD channels are not covered by gate material, their surface potential is undefined ! Such a structure will suffer from charge transport issues during operation, because charge can be trapped in local potential pockets. The effect can be solved by defining the potential in the open areas through an extension of the p<sup>+</sup> channel stopper. A simple self-aligned implant of  $2 \times 10^{13}$  /cm<sup>2</sup> boron ions is sufficient to extend the channel stop areas to the gate edge and consequently fix the potential in the open areas [2]. The result after this self-aligned implant is shown in Figure 3. The presence of enough holes plays a crucial role in fixing the potential for the regions "beyond control" of the gates. (Is this structure the mother of the pinned-photodiode or buried diode or hole-accumulation device ?)



Figure 3. Cross section of a buried-channel CCD on n-Si substrate including light windows and pinned interface potential in the non-covered CCD channels (the cross section is made perpendicular to the CCD channel).

[2] Y. Daimon-Hagiwara et.al., Proc. 10<sup>th</sup> Conf. on Solid-State Devices, Tokyo, 1978, pp.335-340,

++++++

+++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_002  
 +++++

At that time Prof. Albert Theuwissen did not know the details of Hagiwara1975 Japanese patents, yet.

Hagiwara did not explain in the past till 2019 his 1975 PPD inventions in details to the English speaking community.

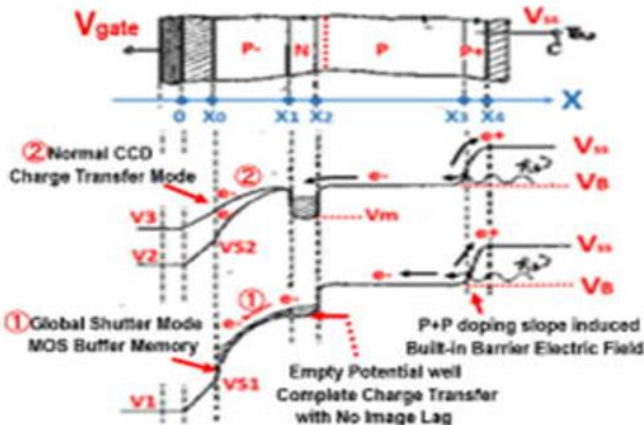
The Hagiwara 1975 Japanese patents, proposing the Buried Pinned Hole Accumulation Photodiode, had never been exposed in details in the English speaking community until in September, 2019.

Hagiwara published a paper in the 3DIC2019 Conference sponsored by IEEE EDS and held in Sendai, Japan.

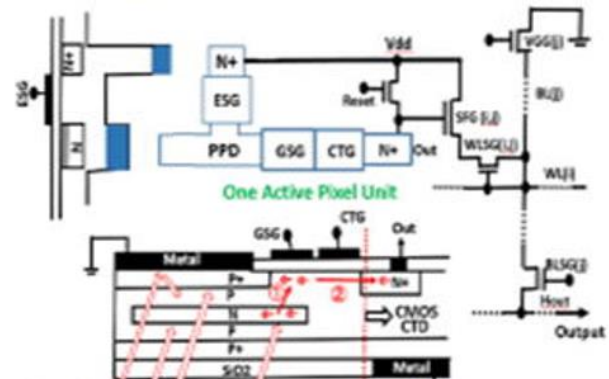
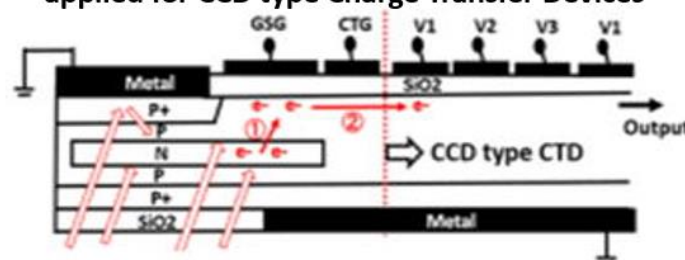
+++++  
 Yoshiaki Hagiwara, "Multichip CMOS Image Sensor Structure for Flash Image Acquisition",  
 2019 International 3D Systems integration Conference (3DIC),  
 Paper 2DIC2019.4017, Sendai Japan, September 2019  
 +++++

**The P+PNP double junction type Buried Pinned Photodiode (HAD) used in the back light illumination type Modern CMOS Image Sensors**

Japanese Patent Application JPA1975-127647 invented by Yoshiaki Hagiwara at Sony in 1975 with the back light illumination scheme and the built-in Global Shutter function



The original 1975 Buried Pinned Photodiode applied for CCD type Charge Transfer Devices



Back Light Illumination type CMOS Image Sensor





+++++  
 The\_First\_Pinned\_Phodiode\_was\_invented\_in\_1975\_by\_Yoshiaki\_Hagiwara\_at\_Sony\_003  
 +++++

**Hagiwara also proposed in 1977 the electrical shutter clocking scheme by controlling the punch-thru overflow drain voltage.**

+++++  
<http://www.aiplab.com/JP1977-126885.jpg>  
 +++++

Hagiwara realized that we don't need the control gate over the p-region which bridges the photo charge collecting storage region and the overflow drain (VOD).

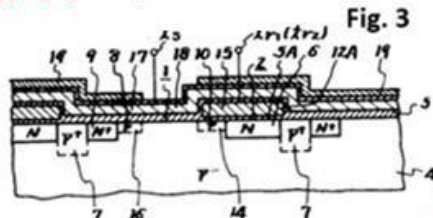
Hagiwara realized that the strong overflow drain (VOD) voltage can induce the punch-thru action to transfer all the signal photo charge completely to the VOD.

**With these technology, we now can enjoy ourselves in the world of the mechanical free and filmless image sensors.**

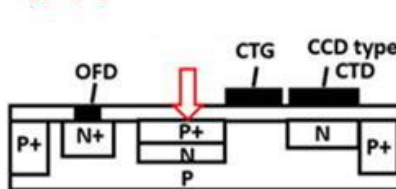
### Japanese Patent 1977-126885

Japanese Patent JPA 1977-126885 on Electrical Shutter Clocking Scheme invented by Y. Hagiwara, S. Ochi and T. Hashimoto in 1977.

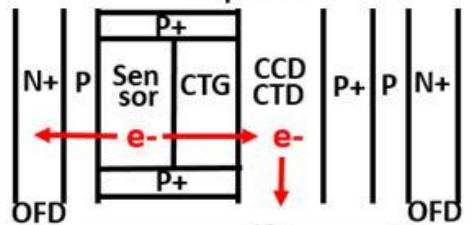
**Type(A) CCD/MOS Photo Capacitor**



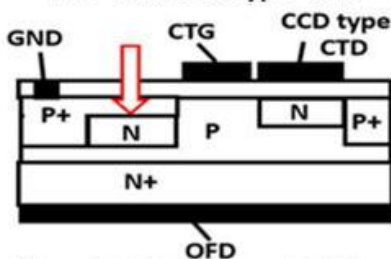
**Type(B) PPD with Lateral OFD**



**Type(A) and (B) with Lateral OFD Top View**



**Type(C) Vertical OFD (VOD) PPD with CCD type CTD**



**Type(D) Vertical OFD (VOD) PPD with CMOS type CTD**

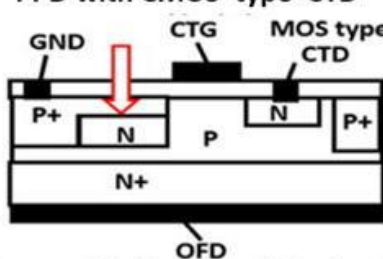
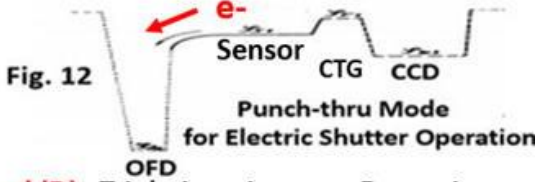
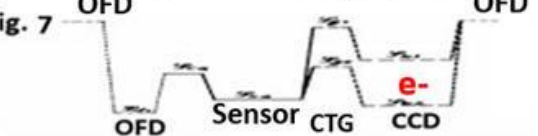


Fig. 7



The electric shutter clocking scheme with the complete signal charge draining of no image lag can be achieved by the OFD punch-thru voltage control for any photodiodes, including not only the type (A) of the conventional CCD/MOS photo capacitor but also (B), (C) and (D) type Pinned Photodiodes.

**Type(B) Double Junction type Dynamic Photo Transistor (PPD) invented in 1975 by Hagiwara.**

**Type (C) and (D) Triple Junction type Dynamic Photo Thyristor (HAD) invented in 1975 by Hagiwara**

See Japanese Patent Application JPA 1975-127646, 1975-127647 and 1975-134985

**In March 2019, the History Museum of Japan sponsored by the SSIS community said that Hagiwara at Sony proposed the PPD structure in 1975 and developed in 1978.**

Semiconductor History Museum of Japan

Q To search page

## 1975-80

### **Improvement of photodiode for image sensor** **(Sony, Hitachi, NEC, Toshiba)**

~ Discrete Semiconductor/Others ~

<https://www.shmj.or.jp/english/pdf/dis/exhibi1005E.pdf>

Photodiodes are used for photodetectors of image sensors. In 1987, Sony introduced a 2 / 3-inch, 380,000-pixel CCD image sensor (ICX022) using a new type of photodetector, now called a Pinned Photodiode (Sony named it HAD: Hole Accumulation Diode)[1].

The Pinned Photodiode is a photodiode in which the entire N layer is covered with a P layer. The part of the P layer on the light incident surface is heavily doped P+ (Fig-1). Kodak named this structure Pinned Photodiode in 1984 because the P + surface of the light incident surface was pinned to the substrate potential. This device has features such as high light sensitivity, wide dynamic range, image lag free, much smaller dark current due to reduced influence of GR center on the light receiving surface, and no white scars.

In 1975, Sony proposed using a PNP transistor as the photodetector[3]. By providing a P + layer (emitter) for the light incident section, the sensor electrode that covers the entire light receiving surface of the photodiode can be eliminated, greatly improving the light sensitivity. This P + layer was also a proposal to reduce the dark current and image lag which became the basis of the pinned photodiode.

In 1978, Sony presented a 93,000-pixel FT (Frame Transfer) -CCD image sensor compliant with the Analog TV Broadcasting Standard (SDTV) for the first time in the world [5], using the photodiode with the same structure as above. Sony succeeded in 1981 in trial production of a VTR-integrated color movie camera using a 2 / 3-inch 280,000-pixel FT-CCD image sensor by further improvement of this technology [6].

#### References:

- [1] M. Hamasaki, T. Suzuki, Y. Kagawa, K. Ishikawa, K. Miyata and H. Kambe, "An IT-CCD imager with electronically variable shutter speed", Technical Report of The Institute of Image Information and Television Engineers, vol. 12, no. 12, pp. 31-36, (1988)
- [3] Y. Hagiwara, Japanese Patent JP1975—134985
- [5] Y. Hagiwara, M. Abe, and C. Okada, "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, Tokyo, (1978): Japanese Journal of Applied Physics, vol. 18, Supplements 18-1, pp. 335-340, (1979)
- [6] I. Kajino, M. Shimada, Y. Nakada, Y. Hirata and Y. Hagiwara, "Single Chip Color Camera Using Narrow channel CCD Imager with Over Flow Drain", Technical Report of The Institute of Image Information and Television Engineers, vol. 5, no. 29, pp.

++++++  
The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_005  
++++++

**In June 2019, Sony also said Hagiwara at Sony invented in 1975 the Pinned Photodiode with the VOD function, which is identical to the Sony PNPN junction type Hole Accumulation Diode (HAD)**



<https://www.sony.net/SonyInfo/News/notice/20200626/>

## Pinned Photodiode Adopted for Back-Illuminated CMOS Image Sensors

The history of Sony's inventions of image sensors goes back to the CCD era. Above all, Pinned Photodiode is a technology that contributes to improving the performance of back-illuminated CMOS image sensors, and the history of inventions and product development are as below.

In 1975, Sony invented a CCD image sensor that adopted a back-illuminated N+NP+N junction type and an N+NP+NP junction type Pinned Photodiode (PPD) (**Japanese patent application number 1975-127646, 1975-127647 Yoshiaki Hagiwara**). In the same year, inspired by such structure, Sony invented a PNP junction type PPD with VOD (vertical overflow drain) function (**Japanese Patent No. 1215101 Yoshiaki Hagiwara**). After that, Sony succeeded in making a principle prototype of a frame transfer CCD image sensor that adopted the PNP junction type PPD technology, having a high-impurity-concentration P+ channel stop region formed near a light receiving section by ion implantation technology for the first time in the world, and its technical paper was presented at the academic conference, SSDM 1978 (**Y. Hagiwara, M. Abe, and C. Okada, "A 380H x 488V CCD imager with narrow channel transfer gates"**, Proc. The 10th Conference on Solid State Devices, Tokyo, (1978)). In 1980, Sony succeeded in making a camera integrated VTR which incorporated a one-chip frame transfer CCD image sensor that adopted the PNP junction type PPD. **President Iwama** in Tokyo, **Chairperson Morita** in New York, at the time held a press conference respectively on the same day, which surprised the world. In 1987, Sony succeeded in developing a 8 mm video camcorder that adopted, for the first time in the world, the interline transfer CCD image sensor, which incorporated "PPD having a high-impurity-concentration P+ channel stop region formed near the light receiving section by ion implantation technology" with VOD function, and became the pioneer of the video camera market. The PPD technology that has been nurtured through such a long history is still used in back-illuminated CMOS image sensors.

+++++  
**The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_006**  
 +++++

In September 1978, at the International Solid State Device Meeting (SSDM1978), Y. Hagiwara, M. Abe, and C. Okada reported a technical paper which is titled as "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, 1978.

Figure 2 Cross Section of the CCD charge Transfer Region with the P+NP junction type Pinned Photodiode (PPD)

Figure 13 Spectral Response of the P+NP junction Pinned Photodiode (PPD) with the excellent blue light sensitivity

Figure 14 Comparison of CCD image sensor output signals with and without image signal.

Sony original 570H x 498 V one-chip FT CCD Image Sensor with Pinned Photodiode, July 1980

No Image Lag

See the Original 1978 Publication of the Pinned Photodiode Sensor  
 Y. Daimon-Hagiwara, M. Abe, and C. Okada, "A 380Hx488V CCD imager with narrow channel transfer gates," Proceedings of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, vol. 18, supplement 18-1, pp. 335-340, 1979

The oxide exposed surface P+ hole accumulation region of Pinned Photodiode must have the adjacent heavily doped P+ channel stops nearby. The reason can be explained by the observation that, if covered by the surrounding depletion region extended by the strongly reverse biased buried N charge storage region, the surface P+ region would be isolated from the substrate grounded voltage and would become floating.

Consequently the electron potential of the empty potential well would also be floating, being coupled by the adjacent parasitic charge transfer gate (CTG) oxide capacitance. The situation is similar to the case of the classical N+P single junction photodiode with the floating surface N+ charge storage region, being coupled by the adjacent parasitic charge transfer gate (CTG) oxide capacitance, which is well known to have the serious image lag problem due to the incomplete charge transfer operation mode.

The empty potential well of the buried charge storage region must also be pinned to have the complete charge transfer operation mode of the no image lag feature. The adjacent P+ channel stops is a must for Pinned Photodiode to have the no image lag feature. Hagiwara Team developed in 1978 the First Pinned Photodiode with the adjacent P+ channel stops, formed by the high energy ion implantation technology without the conventional LOCOS device isolation technology which induces the serious silicon crystal stress.

Hagiwara reported in the SSDM1978 conference the CCD image sensor signal output data with the excellent short wave blue light sensitivity, the no image lag feature and the very low surface dark current feature. The choice of the high energy ion implantation technology was the key to form the P+ heavily doped adjacent channel stops for the Pinned Photodiode.

++++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_007  
 ++++++

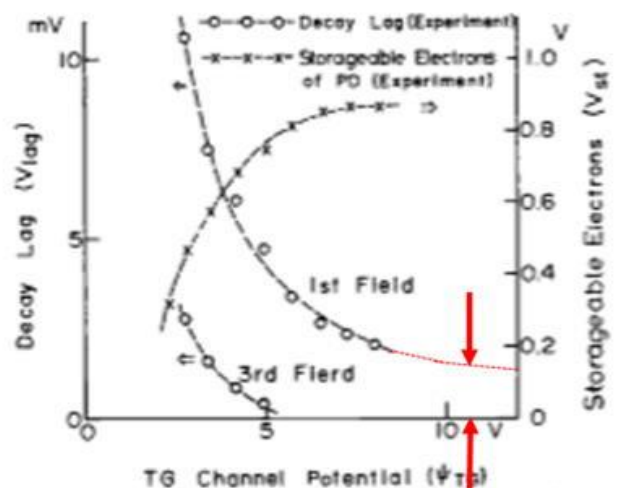
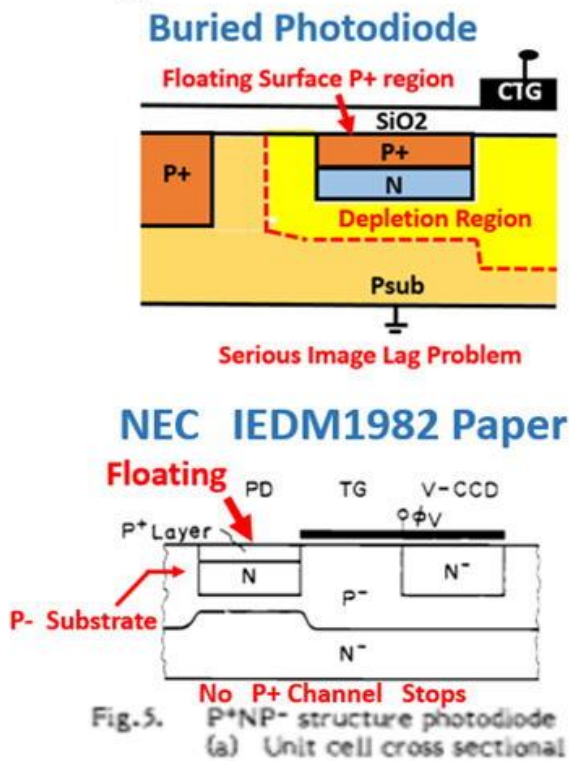
In SSDM1978 Hagiwara reported the excellent performance of the P+NP double junction type dynamic photo transistor which was later called as Pinned Photodiode by the IEDM1984 KODAK paper and also as Hole Accumulation Diode (HAD) by Sony in 1987.

However, Buried Photodiode reported by NEC in the IEDM1982 paper had the serious image lag problem and was not Pinned Photodiode by definition because the surface P+ hole accumulation region is not completely pinned. Apparently there was no heavily doped P+ channel stops adjacent to the Buried Photodiode reported by NEC at the IEDM1982.

The IEDM1982 NEC paper indeed reported the serious image lag problem.

## Difference of Buried Photodiode and Pinned Photodiode

Figure 5 does not have the P+ channel stop nearby.



**There is still image lag at the CTG gate voltage more than 10 volt.**

Fig.6. Storageable electrons vs. transfer gate channel potential, and decay lag vs. transfer gate channel potential in the P<sup>+</sup>NP<sup>-</sup> structure photodiode

## NEC IEDM1982 Paper reported Image Lag

Figure 6 shows that there is still image lag at the CTG gate voltage of > 10 volt.

So by definition, the photodiode reported in IEDM1984 KODAK paper was Pinned Photodiode while the buried photodiode reported in IEDM1982 NEC paper was not a Pinned Photodiode.

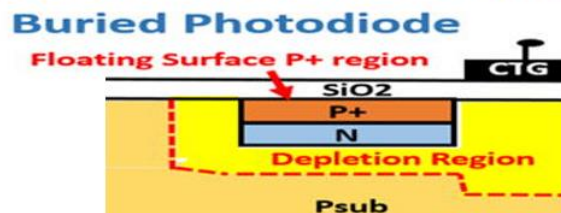
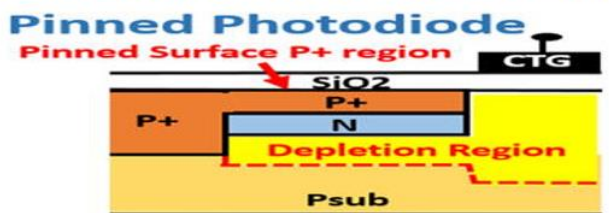
The reason can be explained by the observation that the surface P+ region in the IEDM1982 NEC paper may be isolated from the grounded substrate voltage by the surrounding depletion region extended by the deeply biased buried N charge storage region. The result is the floating P+ surface and the floating empty potential of the buried charge collecting storage region.

+++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_008  
 +++++

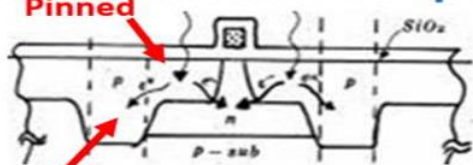
Hagiwara reported in the SSDM1978 conference the CCD image sensor signal output data with the excellent short wave blue light sensitivity, the no image lag feature and the very low surface dark current feature. The choice of the high energy ion implantation for the formation of the P+ heavily doped adjacent channel stops was the key technology. Hagiwara Team developed in 1978 the First Pinned Photodiode with the adjacent P+ channel stops, formed by the high energy ion implantation technology. Sony did not use the conventional LOCOS device isolation technology which induces the serious silicon crystal stress.

NEC apparently understood by 1982 that the LOCOS device isolation technology induces the serious silicon crystal stress and is not suited for the image sensor processing. NEC did not use the LOCOS device isolation technology for the buried photodiode process formation. NEC 1982 photodiode was not Pinned Photodiode while KODAK 1984 photodiode was Pinned Photodiode.

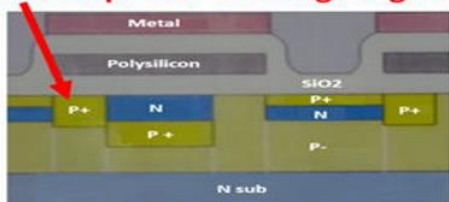
### Difference of Buried Photodiode and Pinned Photodiode



#### SONY SSDM1978 Paper



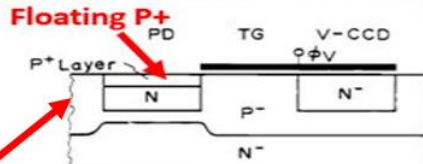
Pinned  
 P+ Channel Stops and no Image Lag Problem



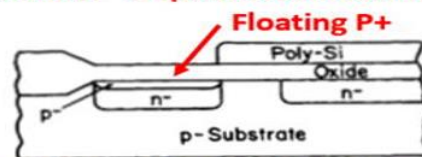
#### SONY 1987 HAD Sensor

Sony used no LOCOS process but used the High Energy Ion Implantation Technology to form the adjacent P+ channel stops region.

#### No LOCOS Technology used NEC IEDM1982 Paper



No P+ Channel Stops and Serious Image Lag



#### KODAK IEDM1984 Paper

Kodak used the LOCOS Technology with the hidden P+ channel stops under the LOCOS which is pinning down the P+ hole accumulation region

NEC in the IEDM1982 paper did not apparently use the high energy ion implantation and had no heavily doped surface P+ channel stops adjacent to the buried photodiode. This may be the reason why the P+ surface becomes floating and causing the serious image lag problem in the NEC IEDM1982 buried photodiode. On the other hand, the IEDM1984 KODAK paper used the LOCOS isolation technology which has the hidden P+ channel stops under the LOCOS region that would pin down the adjacent P+ surface potential. Hence the KODAK Photodiode is Pinned Photodiode, for the first time used in the Interline Transfer CCD image sensor.

++++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_009  
 ++++++

Pinned Photodiode is by necessity Buried Photodiode, but not all Buried Photodiodes are pinned.

The first Pinned Photodiode was invented by Hagiwara at Sony and is used in ILT CCD Pinned Photodiodes, these same Pinned Photodiodes and the principles behind this complete transfer of charge are used in most CMOS imagers built today.

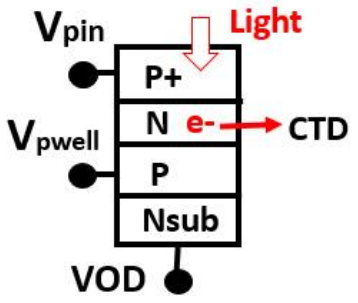


### Difference between Buried Photodiode and Pinned Photodiode

What is the difference between Buried Photodiode and Pinned Photodiode? I understand that the P+/N/P structure where the P+ and P layers have the same potential is the Pinned Photodiode. So what is the buried Photodiode? **Buried Photodiode is not always Pinned Photodiode.**

<https://electronics.stackexchange.com/questions/83018/difference-between-buried-photodiode-and-pinned-photodiode>

Hagiwara proposed  
 in JPA 1975-134985  
 the double Junction  
 (P+NP) type  
 dynamic Photo Transistor  
 in the (Nsub) substrate  
 with the Pinned P+ surface  
 Hole Accumulation layer.



This is a commonly misunderstood misused set of terminologies.

First off these are not PIN Photodiodes - which stands for P - Intrinsic- N. These have large depletion regions for higher internal QE (Quantum Efficiency) and faster response. You can't make an array with this design though.

Pinning, refers to fermi-level pinning or pinning to a certain voltage level. Or also the forcing or prevention of the fermi-level/voltage from moving in energy space.

You can get surface state pinning from the dangling Si/SiO2 bonds providing trapping centers. A buried PD (Photodiode) has a shallow implant that forces the charge carriers away from these surface traps. The Si/SiO2 surface contributes to increased leakage (dark current) and noise (particularly 1/f noise from trapping/de-trapping). So confusingly a buried PD avoids pinning of the fermi-level at the surface.

A pinned PD is by necessity a buried PD, but not all buried PD's are pinned. The first Pinned PD was invented by Hagiwara at Sony and is used in ILT CCD PD's, these same PD's and the principles behind this complete transfer of charge are used in most CMOS imagers built today.

A pinned PD is designed to have the collection region deplete out when reset. AS the PD depletes it becomes disconnected from the readout circuit and if designed properly will drain all charge out of the collection region (accomplishing complete charge transfer). An interesting side effect is that the capacitance of the PD drops to effectively zero and therefore the KTC noise  $q_n = \text{sqrt}(KTC)$  also goes to zero. When you design the depletion of the PD to deplete at a certain voltage you are pinning that PD to that voltage. That is where the term comes from.

I've edited this Answer to acknowledge Hagiwara-san's contribution. It has long been incorrectly attributed to Teranishi and to Fossum (in CMOS image sensors)

Edited this Answer to acknowledge Hagiwara-san's contribution, it has long been incorrectly attributed to Teranishi and to Fossum (in CMOS image sensors).

**Teranishi did not invent the Pinned Photodiode.** The NEC IEDM1982 paper had the serious image lag problem. It was NOT Pinned Photodiode. It was just a Buried Photodiode with the serious image lag problem. **Fossum did not invent the in-Pixel source follower amplifier circuit for the Active Amp CMOS image sensors.** Peter Noble invented the in-Pixel Amp in 1968. Fossum wrote a fake paper in 2016 in which Fossum insulted SONY and Hagiwara by making a false statement, saying that Hagiwara 1975 patent application had no description on the image lag feature, which is not true. Hagiwara 1975 PPD patents indeed had clear descriptions of the complete charge transfer and no image lag feature.

++++++  
 The\_First\_Pinned\_Phodiode\_was\_invented\_in\_1975\_by\_Yoshiaki\_Hagiwara\_at\_Sony\_010  
 ++++++

The First PPD was invented by Hagiwara in 1975. **Teranishi did not invent PPD.**

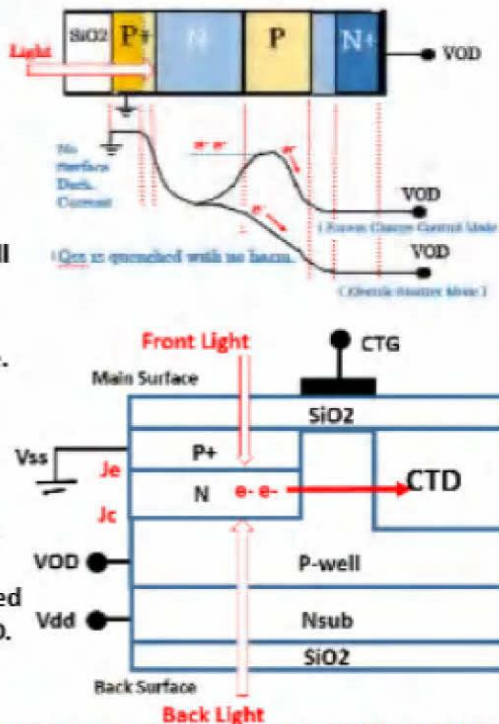
### P+NP/Sub junction type Pinned Photo Diode

invented by Hagiwara at Sony in Japanese Patent 1975-134985.

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

#### Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), the first region (Pwell) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) from the light collecting part (N/Pwell Junction) is transferred to the adjacent charge transfer device (CTD). (4) Both are placed along the main surface of the semiconductor substrate. (5) In the solid state image sensor so defined, a rectifying Emitter junction (Je) is formed on the second region (N) of the light collecting part (N/Pwell), (6) forming a P+NP Junction type transistor structure with the N/Pwell junction as Collector junction (Jc). (7) The charge, stored in the Base region (N) according to the illuminated light intensity, is transferred to the adjacent CTD. The solid state image sensor so defined is in the scope of this patent claim.

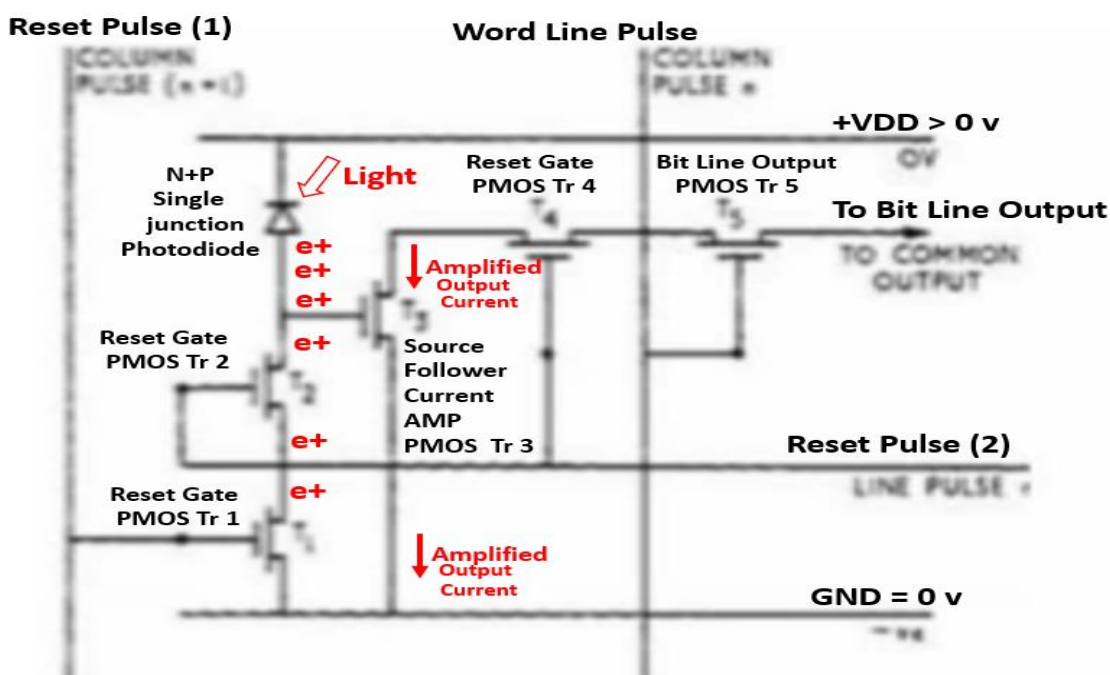


Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

Peter Noble invented the in-Pixel Amp MOS Image Sensor in 1968.

See IEEE Transaction Electron devices 15-4 (1968) pp.202-209.

**Fossum did not invent the in-Pixel Amp Active CMOS Image Sensor.**



Active Pixel Sensor (APS) with a photodiode and buffer amplifier as proposed by Peter Noble in 1968



++++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_011  
 ++++++

NHK scientists developed the active MOS image sensor in 1989 already. See “Amplified MOS Intelligent Imager (AMI)”, Japanese TV Journal,41, 11, pp.1075-1081, (1987). **Fossum did not invent the Active Amp CMOS Image Sensors.**

Also see E. Oba, K. Mabuchi, U. Ida, N. Nakamura, and H. Mimura, “A 1/4 Inch 330K Square Pixel Progressive Scan CMOS Active Pixel Image Sensor”, ISSCC Digest of Technical Papers, pp. 180-181 (1997).

KODAK also had the USP patent on the CMOS process applied to the In Pixel Source Follower Amplifier circuit for modern CMOS Image Sensors.

*CMOS LOCOS Process Active in-Pixel Sensor  
 integrated with P+N+P Double Junction Pinned Photodiode  
 defined by KODAK in USP6100551*

**United States Patent** [19] [11] Patent Number: **6,100,551**  
 Lee et al. [45] Date of Patent: \*Aug. 8, 2000

[54] ACTIVE PIXEL SENSOR INTEGRATED WITH A PINNED PHOTODIODE

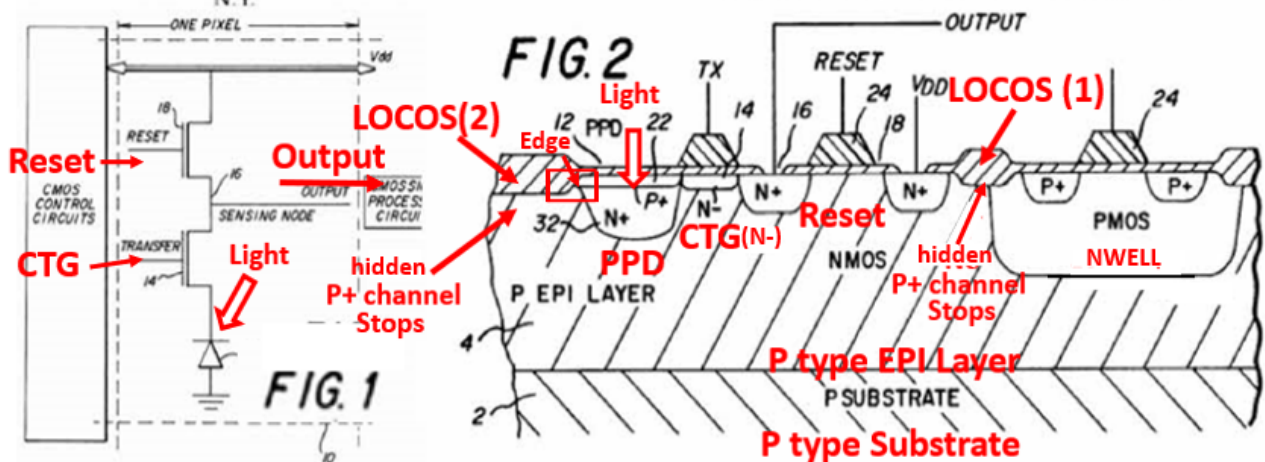
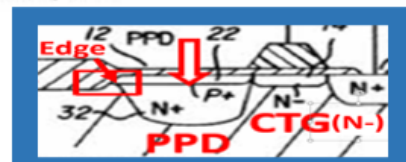
[21] Appl. No.: 09/186,845

[75] Inventors: Paul P. Lee, Pittsford; Robert M. Guidash, Rush; Teh-Hsuang Lee, Webster; Eric G. Stevens, Rochester, all of N.Y.

[22] Filed: Nov. 5, 1998

[73] Assignee: Eastman Kodak Company, Rochester, N.Y.

**PPD with the Weak Pinning LOCOS Edge**



Kodak still used the LOCOS technology for the image sensor process. Yes, there is possibly hidden P+ channel stops for pinning under the **LOCOS (1)** Area Edge and also at the boundary **LOCOS (2)**.

+++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_012  
 +++++

Fossum wrote a fake paper in 2016 in which Fossum insulted SONY and Hagiwara by making a false statement, saying that Hagiwara 1975 patent application had no description on the image lag feature, which is not true.

**Fossum insulted in his 2014 paper Sony and Hagiwara 1975 PPD invention.**

Indeed, Hagiwara invented PPD with VOD and the virtual charge transfer in 1975 !!

IEEE JOURNAL OF THE ELECTRON DEVICES SOCIETY, VOL. 2, NO. 3, MAY 2014

Sony HAD (PPD+VOD) does not use LOCOS !!!

A Review of the Pinned Photodiode for CCD and CMOS Image Sensors

Eric R. Fossum, *Fellow, IEEE*, and Donald B. Hondongwa, *Student Member, IEEE*

Many people now said this is a fake paper !

*C. Other Contributions to the PPD Invention*

The PPD structure, while invented for low lag ILT CCD application, shares a strong resemblance to the Hyncek virtual-phase CCD structure, with the exception of the VOD. The two inventions were solving different problems with essentially the same device structure and operating principles.

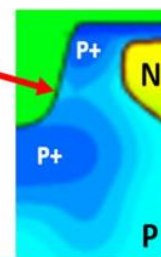
In 1975, Hagiwara at Sony filed a patent application on bipolar structures for CCDs in which a *pn*p vertical structure was disclosed, among several structures [24]. The top *p* layer was connected by metal to a bias used to control full-well capacity and the *n*-type base layer was proposed for carrier storage. In an unusual paper, Hagiwara, in 1996, revisited the 1975 invention and claimed it was essentially the invention of both the virtual phase CCD and the NEC low-lag structures, as well as the basis of the Sony so-called "Hole Accumulation Diode," or HAD structure [25]. However, the 1975 application

False

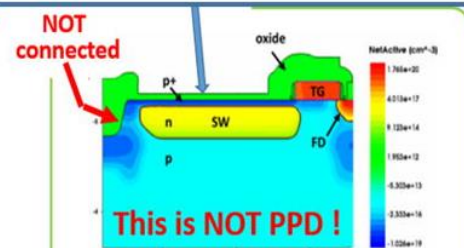
did not address complete charge transfer, lag or anti-blooming properties found in the NEC low-lag device, and does not seem to contain the built-in potential step and charge transfer device aspects of the virtual-phase CCD. Hagiwara repeats these claims in a 2001 paper [26] and shows a VOD structure that is not found in the 1975 patent application. Sony did not seem to pursue the HAD structure until well after the NEC paper was published. However, the "narrow-gate" CCD with an open *p*-type surface region for improved QE also disclosed in the 1975 application was reported in more detail by Hagiwara et al. at Sony in 1978 [27]. A similar structure was used extensively by Philips [28].

The PPD, as it is most commonly used today, bears the strongest resemblance to the Teranishi et al. ILT CCD device. Thus, these days Teranishi is considered as the primary inventor of the modern PPD [29].

The surface P+ layer is NOT connected to the LOCOS P+ layer. The surface P+ layer may be floating and this photodiode may have serious image lag.



PPD with the Weak Pinning LOCOS Edge.



Sony does not use the LOCOS technology. Sony used the high energy ion implantation technology to form the surface P+ PPD of the hole accumulation diode (HAD).

**Hagiwara in 1975 invented PPD with VOD and the virtual charge transfer.**

**Study the Japanese Patents 1975-127646, 1975-127647 and 1975-134985.**

Sony does not use the LOCOS technology which may have the serious trouble of the silicon crystal stress and also the possible disconnection between the heavily dope P+ channel stops under the LOCOS and the P+ surface hole accumulation layer. Hagiwara 1975 PPD patents indeed had clear description of the empty potential well, the evidence of complete charge transfer and no image lag feature.

## Pinned Photodiode and Sony Hole Accumulation Diode (HAD)

**PNPN junction Transistor type Pinned Photodiode**

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

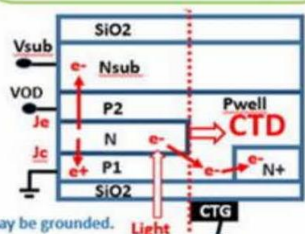
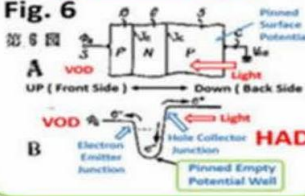
File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

**Patent Claim in English Translation**

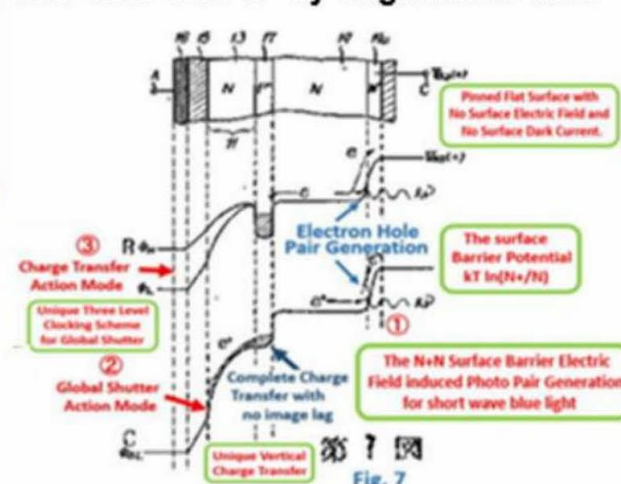
(1) In the semiconductor substrate (Nsub), the first region (P1) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) from the light collecting part (N) is transferred to the adjacent charge transfer device (CTD). (4) Both are placed along the main surface of the semiconductor substrate. (5) In the solid state image sensor so defined, a rectifying Emitter junction (Je) is formed on the second region (N) of the light collecting part (N). And (6) Collector junction (Jc) is formed by the second region (N) and the first region (P1), forming a transistor structure (P2NP1) (7) Photo charge is stored in the Base region (N) according to the illuminated light intensity, and transferred to the adjacent CTD. The solid state image sensor so defined is in the scope of this patent claim. VOD may be grounded.

**Japanese Patent 1975-134985**

**Hole Accumulation Diode (HAD)**



**Pinned Photodiode defined in JPA 1975-127647 by Hagiwara in 1975**



**Yoshiaki Hagiwara, Japanese Patent JP 1975-134985**

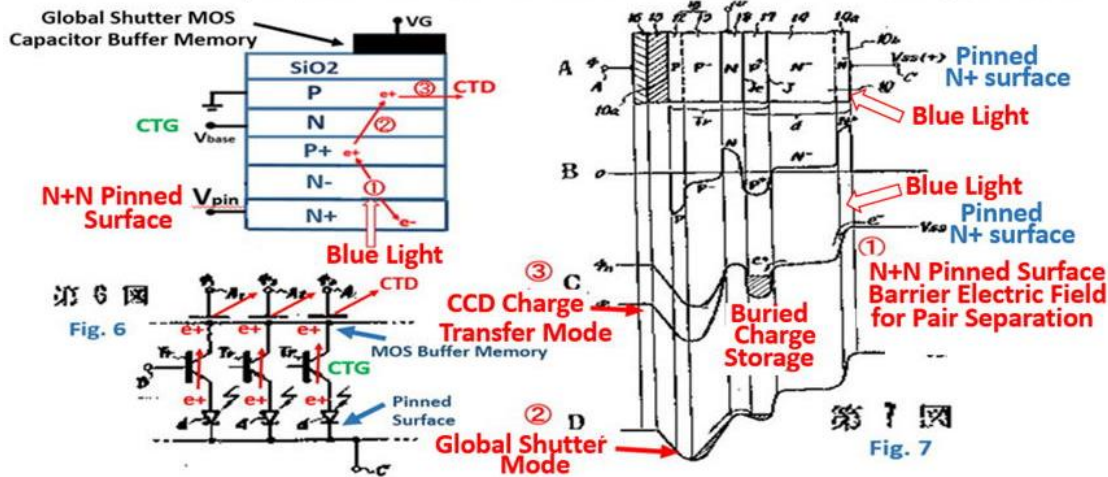
++++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_013  
 ++++++

Hagiwara applied two Japanese Patents JPA1975-127646, and JPA1975-127647 for the back light illumination type Pinned Photodiode with Global Shutter Function which is a very important feature needed for the modern CMOS image sensors. The complete charge transfer mode and the no image lag feature is also shown and implied by the empty potential well of the buried charge storage region.

**Japanese Patent 1975-127646**

N+NP+NP junction type Buried Pinned Photodiode  
 with Built-in MOS Capacitor Buffer Memory Global Shutter Function  
 and the surface N+N doping slope Barrier Electric Field Photo Pair Generation

The First Japanese PPD Patent Application JPA 1975-127646 was applied for the back light illumination type Pinned Photodiode (PPD) image sensors with the CCD/MOS capacitor type buffer memory for Global Shutter Function which is a very important function needed for Modern CMOS Image Sensors.



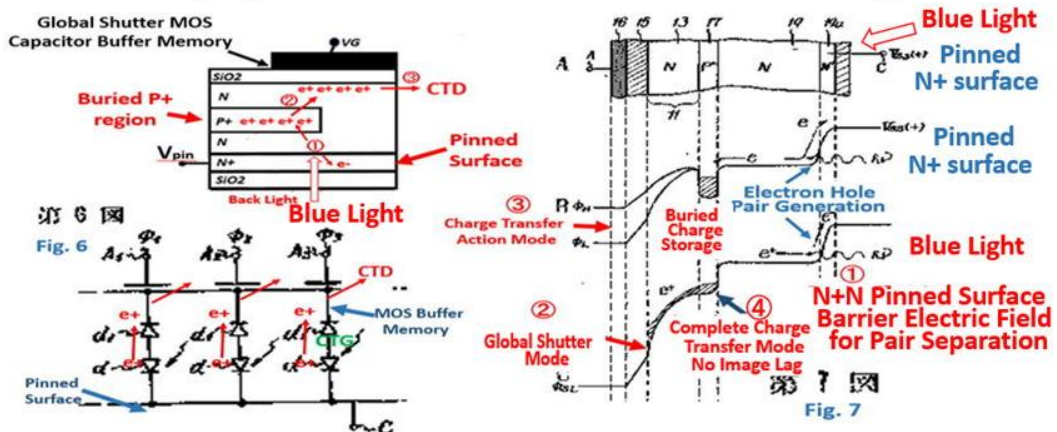
**Global Shutter Mode**

**Japanese Patent 1975-127647**

**Complete Charge Transfer Mode No Image Lag**

N+NP+N junction type Buried Pinned Photodiode  
 with Built-in MOS Capacitor Buffer Memory Global Shutter Function  
 and the surface N+N doping slope Barrier Electric Field Photo Pair Generation

This Japanese PPD Patent Application JPA 1975-127647 was also applied for the back light illumination type Pinned Photodiode (PPD) image sensors with the CCD/MOS capacitor type buffer memory for Global Shutter Function which is a very important function needed for Modern CMOS Image Sensors.



+++++ The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony 014 +++++

Hagiwara also applied two Japanese Patents JPA1975-134985 for the PPD structure with the VOD and also JPA1977-126885 on the electrical shutter clocking scheme controlling the overflow drain voltage in the punch-thru mode.

### Japanese Patent 1975-134985

#### Pinned Photodiode and Sony Hole Accumulation Diode (HAD)

Pinned Surface Double Junction P+NP Dynamic Photo Transistor in the silicon substrate (Nsub)  
 Pinned Photodiode with the vertical overflow drain (VOD) function in the silicon substrate (Nsub)

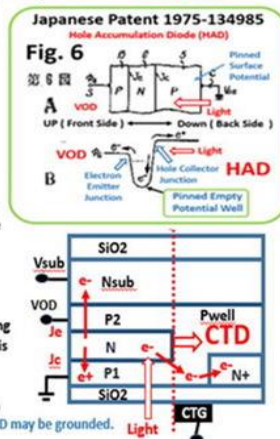
#### PNP junction Transistor type Pinned Photodiode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

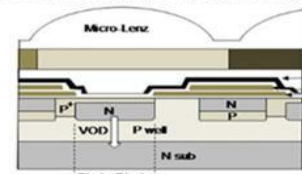
File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

#### Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), the first region (P1) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) from the light collecting part (N) is transferred to the adjacent charge transfer device (CTD). (4) Both are placed along the main surface of the semiconductor substrate. (5) In the solid state image sensor so defined, a rectifying Emitter junction (Je) is formed on the second region (N) of the light collecting part (N). And (6) Collector junction (Jc) is formed by the second region (N) and the first region (P1), forming a transistor structure (P2NP1) (7) Photo charge is stored in the Base region (N) according to the illuminated light intensity, and transferred to the adjacent CTD. The solid state image sensor so defined is in the scope of this patent claim.



Most CCD Image sensors and CMOS Image sensors today are applied with the combination of the vertical overflow drain (VOD) and Pinned Photodiode.



In 1975 Yoshiaki Hagiwara at Sony proposed using a PNP transistor as the photodetector which is the combination of the VOD and Pinned Photodiode. By providing a P+ layer (emitter) for the light incident section, the sensor electrode that covers the entire light receiving surface of the photodiode can be eliminated, greatly improving the light sensitivity. This P+ layer was also a proposal to reduce the dark current and image lag which became the basis of the pinned photodiode

<https://www.shmj.or.jp/english/pdf/dis/exhibi1005E.pdf>

Double Junction Dynamic Photo Transistor (PPD) invented in 1975 by Hagiwara at Sony.

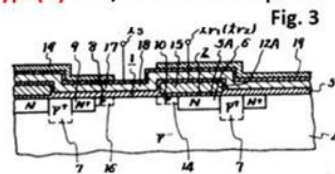
Triple Junction Dynamic Photo Thyristor (HAD) invented in 1975 by Hagiwara at Sony.

See Japanese Patent Application JPA 1975-127646, 1975-127647 and 1975-134985

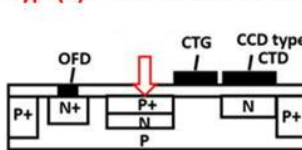
### Japanese Patent 1977-126885

#### Japanese Patent JPA 1977-126885 on Electrical Shutter Clocking Scheme invented by Y. Hagiwara, S. Ochi and T. Hashimoto in 1977.

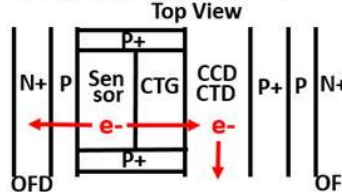
Type(A) CCD/MOS Photo Capacitor



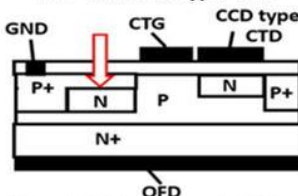
Type(B) PPD with Lateral OFD



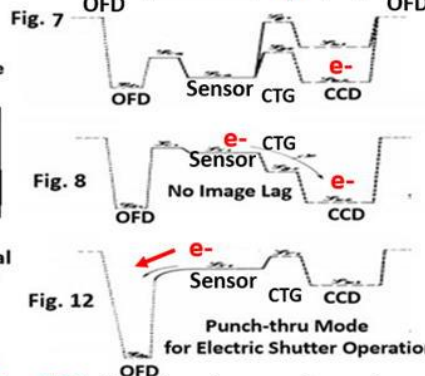
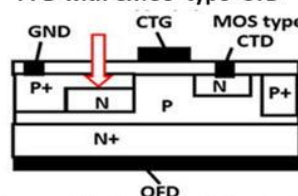
Type(A) and (B) with Lateral OFD



Type(C) Vertical OFD (VOD) PPD with CCD type CTD



Type(D) Vertical OFD (VOD) PPD with CMOS type CTD



The electric shutter clocking scheme with the complete signal charge draining of no image lag can be achieved by the OFD punch-thru voltage control for any photodiodes, including not only the type (A) of the conventional CCD/MOS photo capacitor but also (B), (C) and (D) type Pinned Photodiodes.

Type(B) Double Junction type Dynamic Photo Transistor (PPD) invented in 1975 by Hagiwara.

Type(C) and (D) Triple Junction type Dynamic Photo Thyristor (HAD) invented in 1975 by Hagiwara

See Japanese Patent Application JPA 1975-127646, 1975-127647 and 1975-134985

+++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_015  
 +++++

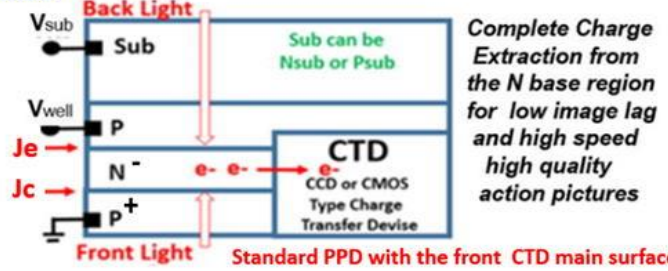
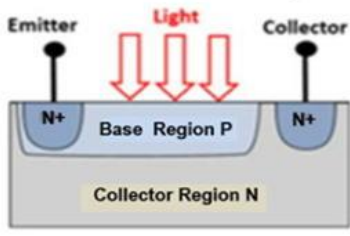
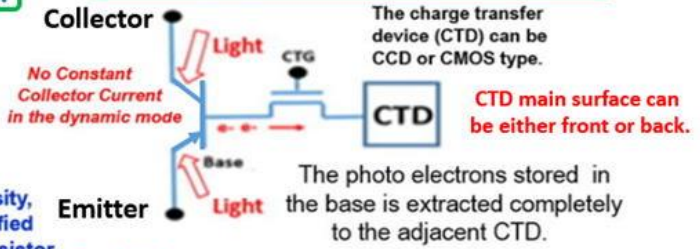
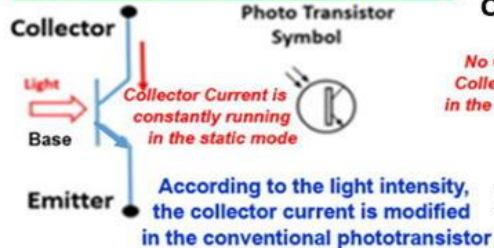
Difference of the static and dynamic photo transistors are illustrated in these figures.

Sony Hole Accumulation Diode (HAD) is the P+NPNsub junction dynamic photo transistor with the surface P+ hole collecting and accumulation region is pinned and grounded, which is now widely called as Pinned Photodiode with the vertical overflow drain (VOD) function. Only Pinned Photodiode with the VOD function can realize the electrical shutter function.

SONY HAD Sensor 1975 was hinted by SONY PNP Bipolar Transistor Process Technology  
 Conventional Static Phototransistor      Dynamic Phototransistor Operation  
 (by John Northrup Shive, 1950)      by Yoshiaki Hagiwara at Sony in 1975

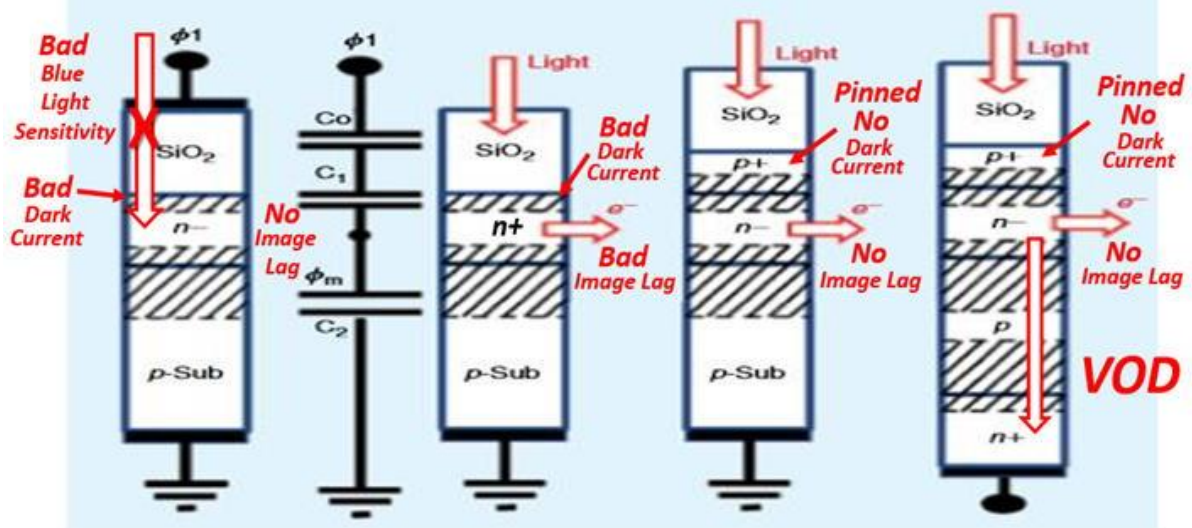
No memory function is involved.

Dynamic Memory function is involved.



**History of dynamic Solid State image sensing structure**

from BCCD type MOS capacitor to the P+NPN junction Pinned Photodiode capacitor



- (1) CCD type invented by Bell Lab in 1968
- (2) N+P type The classical photodiode with serious image lag
- (3) P+NP type (3) and (4) are the P+NP junction type Pinned Photodiode invented by Yoshiaki Hagiwara, 1975
- (4) P+NPN type

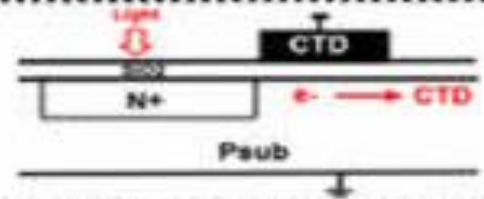
In Japanese patent 1975-134985, Hagiwara at Sony invented the Pinned photodiode with very low dark current, which is also the completely depleted Buried Photodiode with image lag free picture quality, and also with the built-in vertical overflow drain (VOD) function.

Reference: IEEE Solid-STATE CIRCUITS MAGAZINE, SUMMER 2013 issue pp. 6 ~

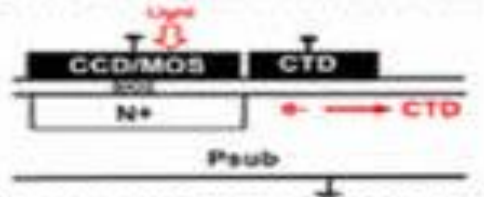
++++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_016  
 ++++++

## Four Types of Image Sensor Structure

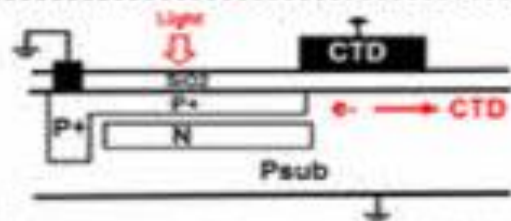
- (1) the N+P Single Junction type  
 Classical Floating Surface  
 Dynamic Photodiode



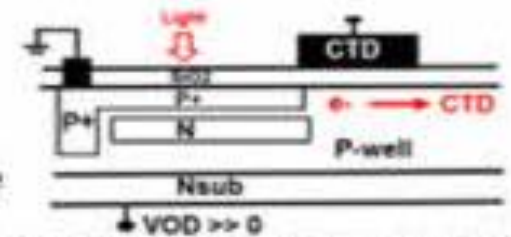
- (2) the CCD/MOS Metal Oxide Gate  
 Dynamic Photo Capacitor  
 invented and developed  
 by Boyle/Smith in 1969



- (3) the P+NPsub Double Junction type  
 Pinned Photodiode  
 invented by Hagiwara in 1975  
 and developed in 1978  
 by Hagiwara Team in Sony  
 with Excellent Blue Light Sensitivity  
 No Image Lag and No Surface Dark Current



- (4) the P+NPsub Triple Junction type  
 Pinned Photodiode  
 invented by Hagiwara in 1975  
 and developed in 1987  
 by Hamazaki Team in Sony  
 with Completely Mechanical-Parts Free  
 No Image Lag Electrica Shutter

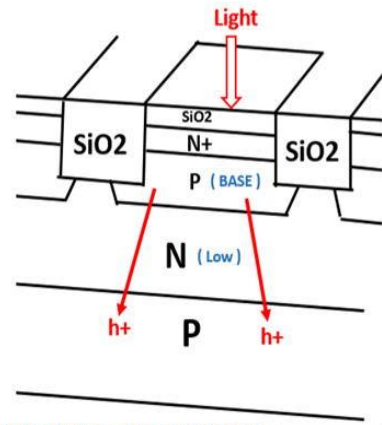
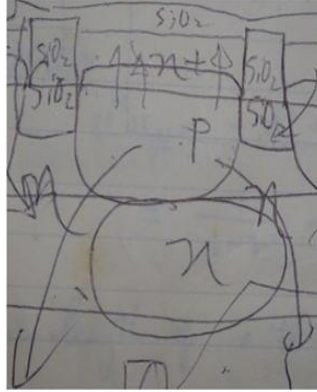
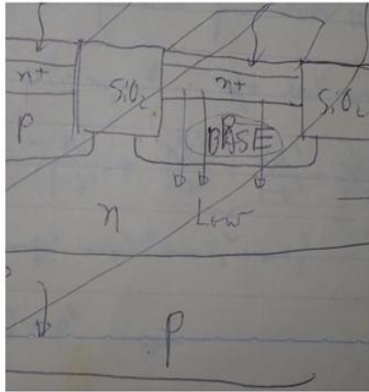


	Blue Light Sensitivity	Image Lag	Surface Dark Current	Electric Shutter
(1)	△	×	○	×
(2)	×	○	×	×
(3)	○	○	○	×
(4)	○	○	○	○

Four Types of Image Sensor Structure

+++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony 017  
 +++++

**The N+PNP junction type Dynamic Photo Transistor Structure  
 Pinned Photodiode and Sony Hole Accumulation Diode (HAD)  
 with the vertical overflow drain (VOD) function  
 invented by Hagiwara at Sony in 1975**



**Hagiwara's Lab Note at Sony in February 1975**

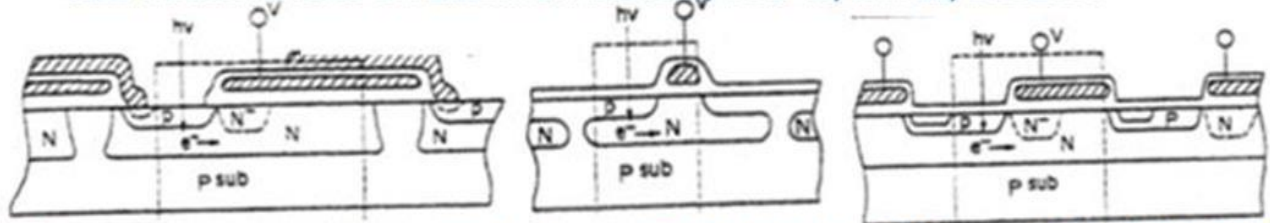
In 1975 at Sony, Yoshiaki Hagiwara filed three Japanese patents JPA1975-127646, JPA1975-127647 and JPA1975-134985 on the Pinned Surface Photodiode with the VOD function which is later called as Sony Hole Accumulation Diode (HAD).

Hagiwara did not file a patent on the SiO<sub>2</sub> device isolation but this lab note shows that Hagiwara had an idea of forming the Shallow Trench Isolation by the Local Oxidation Method, which was hinted by the LOCOS isolation in 1970s.

Since PPD also has the complete charge transfer capability, a single polysilicon electrode type CCD delay line becomes possible with the complete charge transfer, by creating the pinned potential wells of PPD at the polysilicon electrode gaps.

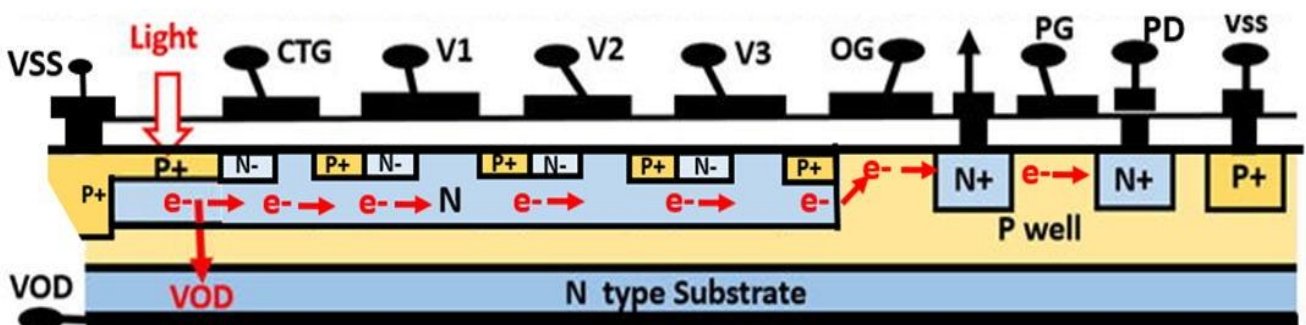
**See the Japanese Patent 1975-134985 for the original invention of the Pinned Photodiode  
 High-Density and High-Quality Frame Transfer CCD Imager with  
 Vey Low Smear, Low Dark Current, and Very High Blue Sensitivity  
 Yoshiaki Hagiwara**

IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 43, NO. 12, DEC 1996



**(1) Hagiwara 1975 P+NP PPD (2) Hagiwara 1978 P+NP PPD (3) Henecek 1979 P+NP PPD**

The most important idea of the P+NP Double Junction Buried Pinned Photodiode proposed by Hagiwara in the 1975-134985 Japanese Patent Application is the virtual complete charge transfer operation with no image lag which does not need the conventional double polysilicon overlapping CCD process with very poor productivity.



+++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_018  
 +++++

The electric shutter function becomes possible only in the CCD/MOS type photo capacitor sensor and Pinned Photodiode (PPD), both of which have the complete charge transfer capability of no image lag. However, Buried Photodiode (BPD) is not always Pinned Photodiode (PPD). But, Pinned Photodiode (PPD) is always Buried Photodiode (BPD). Buried Photodiode (BPD) and Pinned Photodiode (PPD) are both the same double junction type PNP dynamic photo transistors invented by Yoshiaki Hagiwara in 1975.

Hagiwara applied two Japanese Patents JPA1975-127646, and JPA1975-127647 for the back light illumination type Pinned Photodiode with Global Shutter Function which is a very important feature needed for the modern CMOS image sensors. The complete charge transfer mode and the no image lag feature is also shown and implied by the empty potential well of the buried charge storage region.

Hagiwara also applied two Japanese Patents JPA1975-134985 for the PPD structure with the VOD and also JPA1977-126885 on the electrical shutter clocking scheme controlling the overflow drain voltage in the punch thru mode.

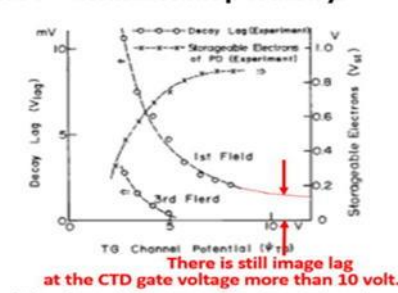
**Teranishi did not invent Pinned Photodiode.** The NEC IEDM1982 paper had the serious image lag problem. It was NOT Pinned Photodiode. It was just a Buried Photodiode with the serious image lag problem. We cannot not obtain the empty potential well unless the surface P+ hole accumulation layer is completely pinned.

Hagiwara invented PPD in 1975 and developed PPD in 1978 and reported in the SSDM1978 conference. See JPA 1975-127646, 1975-127647 and 1975-134985. Also see the SSDM1978 paper by Hagiwara.

**Difference of Buried Photodiode and Pinned Photodiode**  
**Figure 5 does not have the P+ channel stop nearby.**

**NEC IEDM1982 Paper**  
 Floating PD TG V-CCD  $\phi_{\text{V}}$   
 P+ Layer N P- N+  
 P- Substrate

**NEC IEDM1982 Paper reported Image Lag**  
 Figure 6 shows that there is still image lag at the CTG gate voltage of > 10 volt.



**Teranishi added the P+ channel stops in his recent report as if he invented PPD with the P+ channel stops nearby. Teranishi was not honest at all.**



**PPD (Pinned PD) Structure and Advantages**

- Grounded P+ pinning layer prevents interface to be depleted, and stabilizes PD electrically.
  - Low dark current
  - Large saturation
  - High blue sensitivity
- Complete electron transfer
  - No image lag,
  - No transfer noise

Shallow P+ pinning layer (Low energy implantation) → Good electron transfer

The photodiode reported in IEDM1982 by Teranishi did not have the P+ channel stops nearby, and it had a serious image lag as seen in Fig. 6. Any Photodiode with a serious image lag is not Pinned Photodiode. Teranishi did not develop Pinned Photodiode.

**Teranishi added the P+ channel stops in his recent paper dishonestly.**

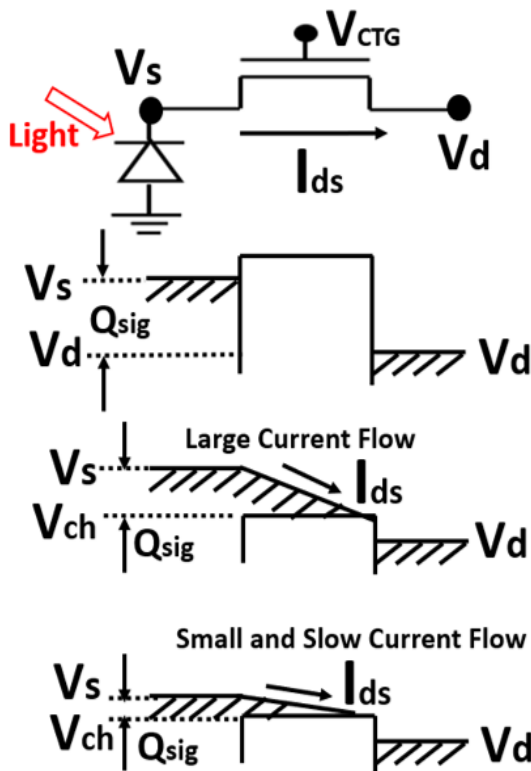
[https://indico.cern.ch/event/706286/attachments/1601588/2547606/20180223CERN\\_ver2.pdf](https://indico.cern.ch/event/706286/attachments/1601588/2547606/20180223CERN_ver2.pdf)



The simple analysis of the saturation mode MOS transistor Current and Voltage Relationship can be used to explain why the classical floating N+P junction type photodiode has the serious image lag problem. The limited time allowed for reset is the cause of the serious image lag problem since it would take a long time for transferring the signal charge  $Q_{sig}$  thru the adjacent charge transfer gate (CTG).

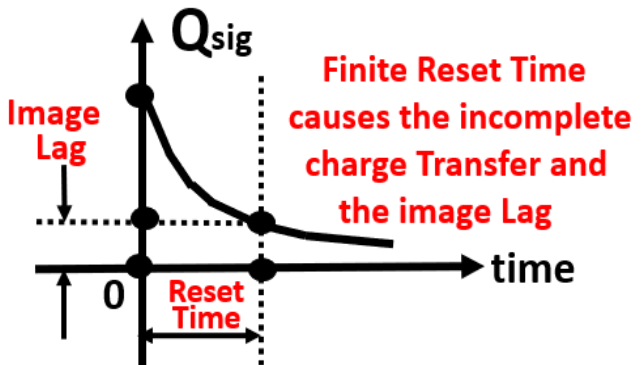
**The floating N+P junction type photodiode has the serious Image Lag Problem.**

**Buried Photodiode with no Pinned Surface also has the serious Image Lag problem.**



$I_{ds} \rightarrow 0$  as  $V_s \rightarrow V_{ch}$

- (1)  $V_{ch} = V_{CTG} - V_{th}$
- (2)  $I_{ds} = G_{ch} (V_{ch} - V_s)$
- (3)  $G_{ch} = K (V_{ch} - V_s)$
- (4)  $I_{ds} = K (V_{ch} - V_s)^2$



**Buried Photodiode with no Pinned Surface has no Pinned Empty Potential Well while Pinned Photodiode has Pinned Empty Potential Well.**

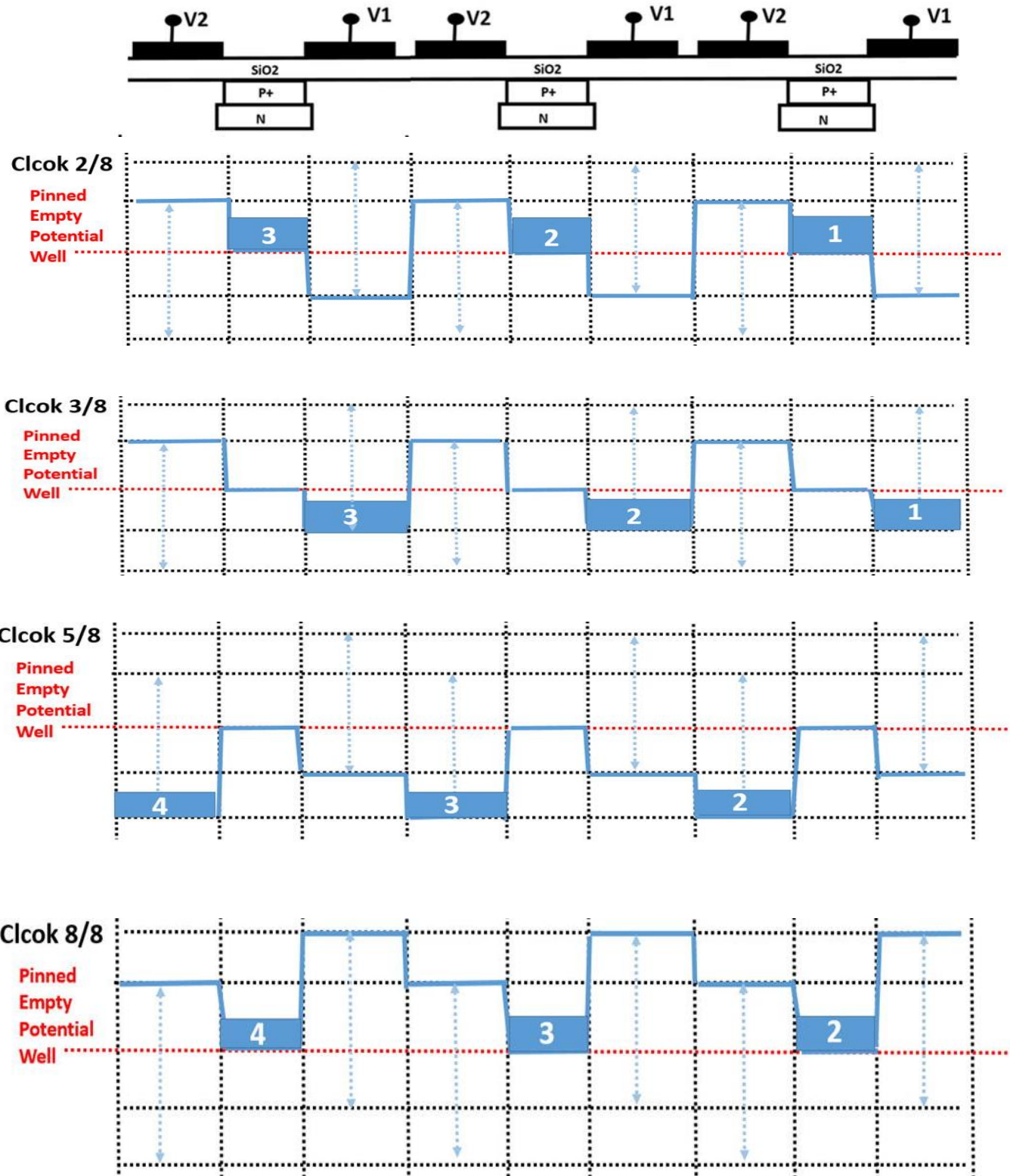
Even the P+NPNsub junction type Sony Hole Accumulation Diode (HAD) would have the serious image lag and would not have been operated in the complete image lag free mode with the electrical shutter capability unless the surface P+ hole accumulation layer is pinned by the adjacent heavily doped P+ channel stops.

If the surface P+ hole accumulation layer is floating, it may be at some positive value potential and would have no enough voltage drop between the surface P+ hole accumulation layer and the buried N type signal charge storage region. The buried N type signal charge storage potential would stay at a strong positive potential and the signal charge would not be transferred completely to the charge transfer gate (CTG) nearby and would suffer the serious image lag problem.

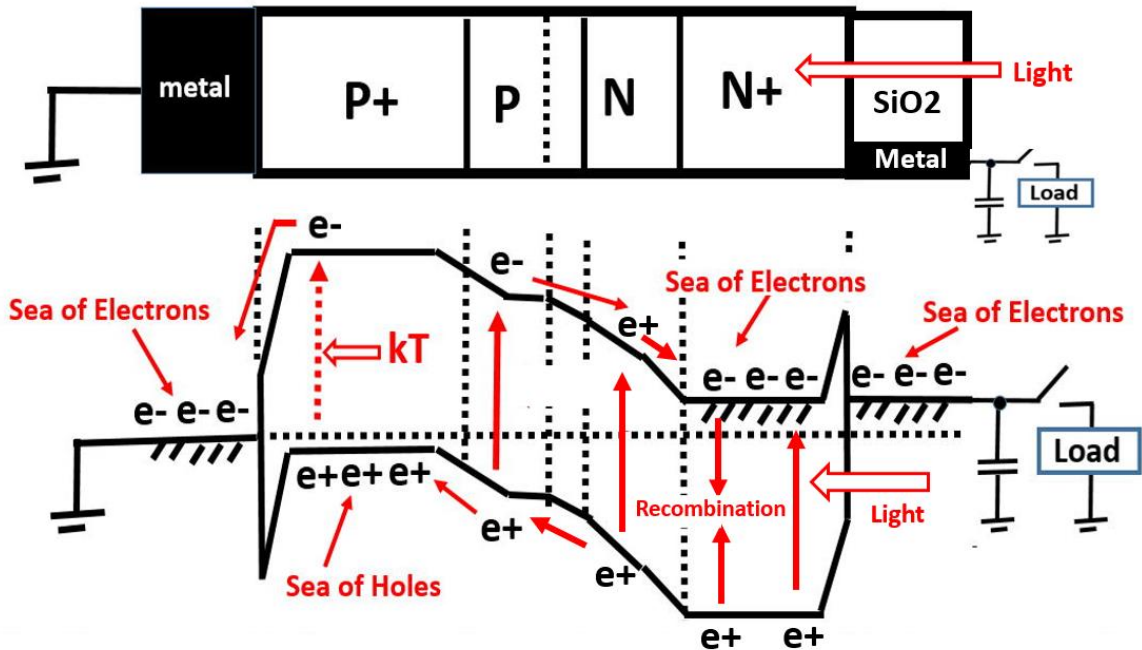
+++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_020  
 +++++

# Hagiwara\_invented\_PPD\_and\_Virtual\_Charge\_Transfer\_in\_1975

Hagiwara in 1975 proposed the PPD Charge Transfer which is later called as Virtual Phase Charge Transfer.  
 Hagiwara in 1975 proposed also the NEC Buried Photodiode, the KODAK PPD and the Sony HAD.  
 Study Japanese Patent 1975-127646, 1975-127647 and 1975-134985 for the details.

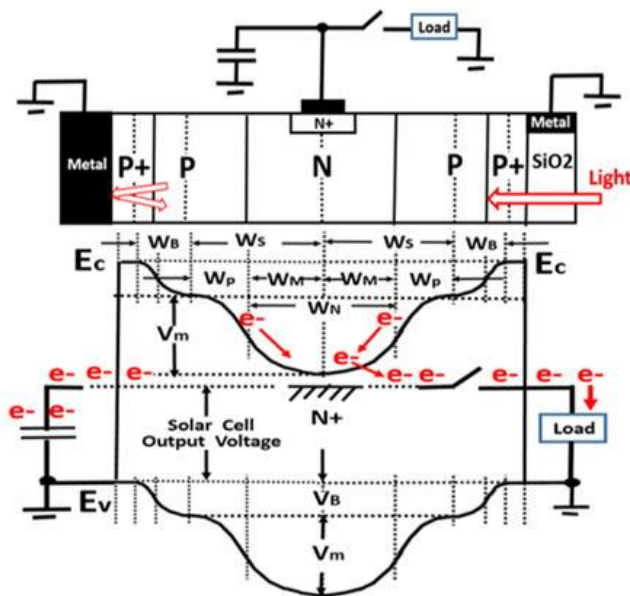


The conventional single N+P junction type solar cell has a very poor efficiency of the photon to electron energy conversion.



Pinned Photodiode (PPD) has the excellent short wave blue light sensitivity, the very low surface dark leakage current feature and the complete charge transfer capability for the excellent image lag free picture quality needed for the electric shutter. Now this double junction type PPD is proposed to apply for solar cells.

### Minimum Potential $V_m$ and Width $W_{cell}$ of Solar Cell



$$W_{cell} = 2 ( W_B + W_s )$$

$W_B$  can be controlled by the Surface P+P Gaussian doping slope.

$$\text{Set } V_m = E_G / 2$$

$$V_m = \frac{1}{2 \epsilon_{si}} \left( N_p W_p^2 + N_d W_M^2 \right)$$

$$N_p W_p = N_d W_M$$

$$W_s = W_p + W_M$$

$$\frac{1}{N} = \frac{1}{N_p} + \frac{1}{N_d}$$

N type 500  $\Omega$  cm Silicon Wafer

$$\epsilon_{si} = 648 \text{ e / volt} \cdot \mu\text{m}$$

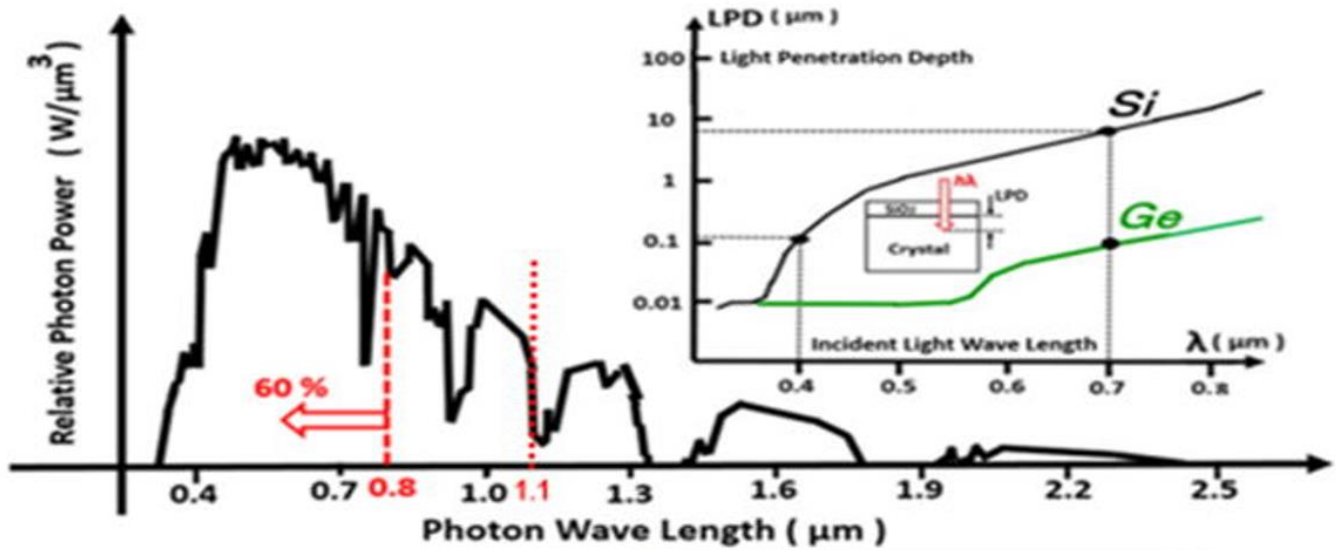
$$E_G = 1.1 \text{ volt}$$

$$N = 7.128 \text{ e / } \mu\text{m}^3$$

$$W_{cell} = 2 \left( W_B + \sqrt{\frac{\epsilon_{si} E_G}{N}} \right)$$

gives  $W_s = 10 \mu\text{m}$ .

+++++ The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_022 +++++

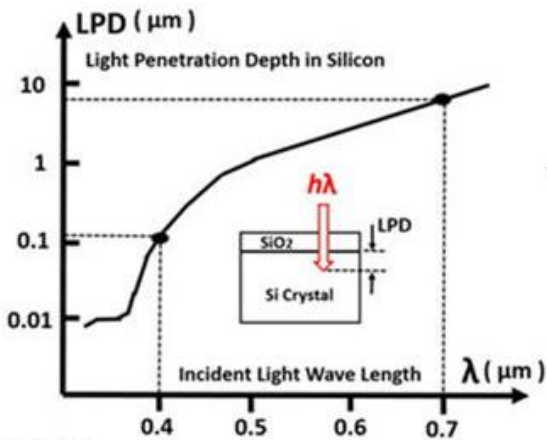


For Silicon,  $E_g = 1.10 \text{ eV}$  and  $\lambda = 1.12 \mu\text{m}$

$$E = \hbar \omega = hf = hc / \lambda$$

$$E (\text{eV}) = 1.24 / \lambda (\mu\text{m})$$

Silicon Based Solar Cells of the Energy Gap = 1.10 eV cannot convert photon energy of the wave length more than  $\lambda = 1.12 \mu\text{m}$ .



### Drift Field Transistor

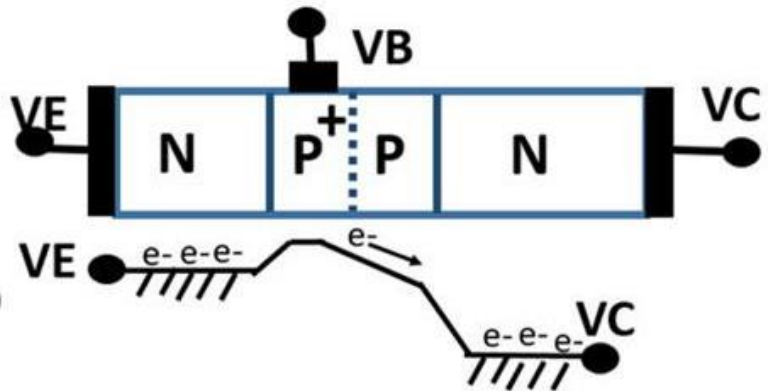
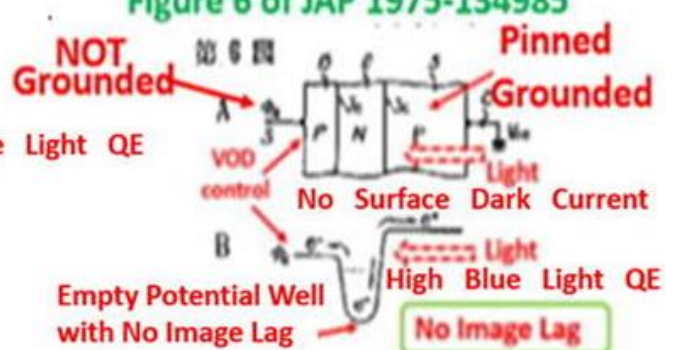


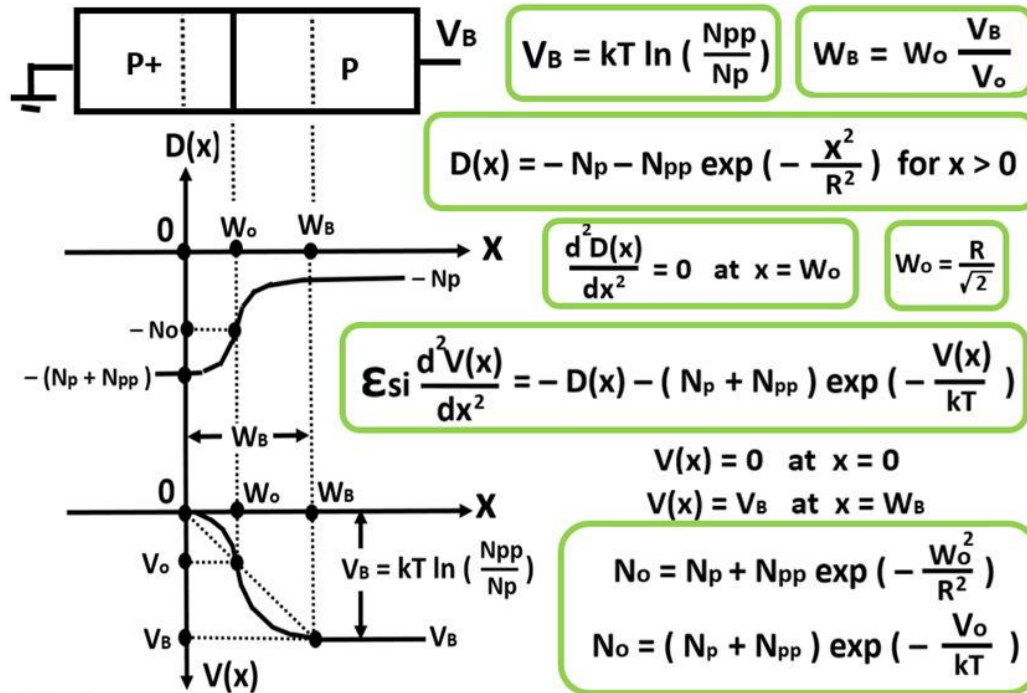
Figure 7 of JAP 1975-127647

Figure 6 of JAP 1975-134985

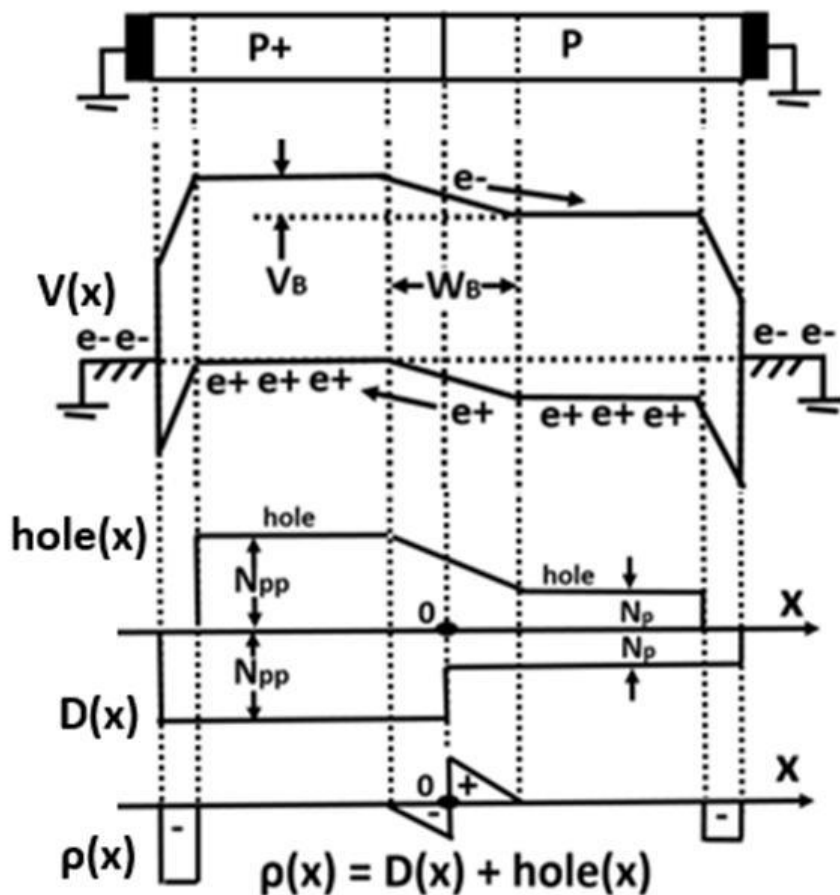


Hagiwara invented PNP junction type PPD in 1975 with (1) blue light 100% QE, (2) No Surface Dark Current and (3) No Image Lag, Complete Charge Transfer features.

## The Barrier Potential $V_B$ and the Width $W_B$



## P+P Doping Slope Barrier Potential $V_B$



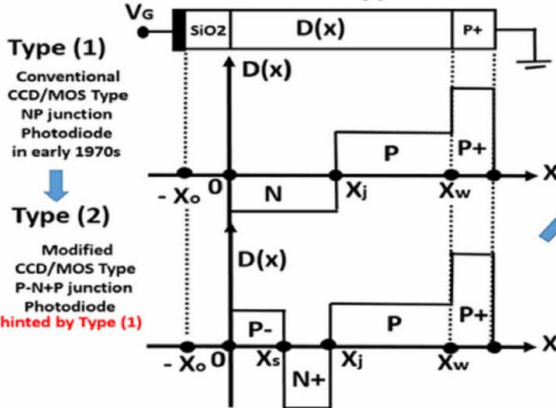
**Origin of 1975 Pinned Photodiode Concept was hinted by CCD/MOS type Buried Photodiode**

See JPA 1975-127646, JPA 1975-127647 and JPA 1975-134985

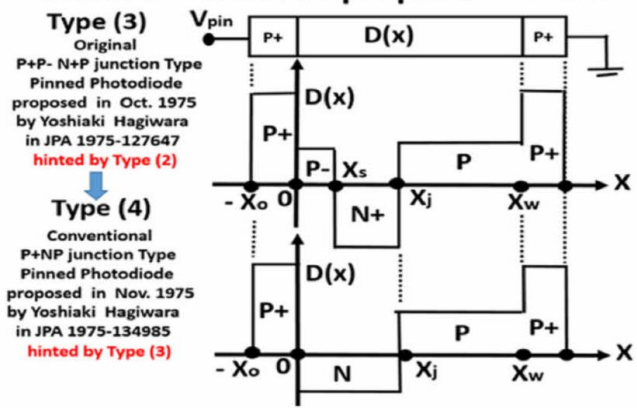
by Yoshiaki Hagiwara in 1975

Numerical Computation of Potential  $V(x)$  of Arbitrary Doping Profile  $D(x)$  from  $x = 0$  to  $x = X_w$  with the given boundary condition  $V(x) = V_s$  and  $dV(x)/dx = E_s$  at  $x = 0$ . Find the proper value of  $V(x) = V_s$  so that we have  $V(x) = V_w$  and  $dV(x)/dx = E_w$  at  $x = X_w$ .

**Conventional CCD/MOS type Photodiode**

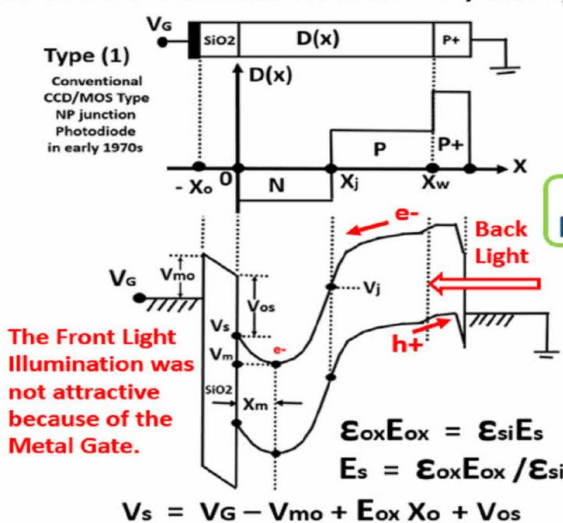


**Pinned Photodiode proposed in 1975**



<p>For <math>x &lt; 0</math> in Type(1) and Type(2)</p> $\frac{d^2V(x)}{dx^2} = 0$ <p>gives at <math>x = 0</math></p> $E_s = C_{ox} (V_s - V_G + V_{mo} - V_{os}) / \epsilon_{si}$	<p>For <math>x &lt; 0</math> in Type(3) and Type(4)</p> $\epsilon_{si} \frac{d^2V(x)}{dx^2} = N_{pp} - N_{pp} \exp( (V_{pin} - V(x)) / kT )$ <p>gives at <math>x = 0</math></p> $E_s = \sqrt{\frac{2 N_{pp} kT}{\epsilon_{si}} \left\{ \left( \frac{V_s}{kT} \right) - 1 + \exp \left( - \frac{V_s}{kT} \right) \right\}}$
<p>For <math>0 &lt; x &lt; X_w</math> in all types (1) thru (4)</p> $\epsilon_{si} \frac{d^2V(x)}{dx^2} = D(x) - N_{pp} \exp( -V(x) / kT )$ <p>needs to be solved numerically for any arbitrary doping function <math>D(x)</math>.</p>	<p>For <math>X_w &lt; x</math> in all types (1) thru (4)</p> $\epsilon_{si} \frac{d^2V(x)}{dx^2} = N_{pp} - N_{pp} \exp( -V(x) / kT )$ <p>gives at <math>x = X_w</math></p> $E_w = -\sqrt{\frac{2 N_{pp} kT}{\epsilon_{si}} \left\{ \left( \frac{V_w}{kT} \right) - 1 + \exp \left( - \frac{V_w}{kT} \right) \right\}}$

The conventional Buried Channel CCD/MOS type photodiode has a very large surface electric field  $E_s$ .

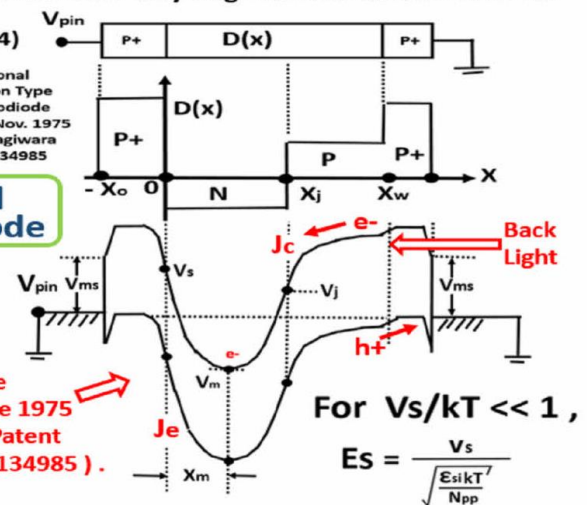


$$V_s = V_G - V_{mo} + E_{ox} X_o + V_{os}$$

$$E_s = C_{ox} (V_s - V_G + V_{mo} - V_{os}) / \epsilon_{si}$$

**Pinned Photodiode**

Hagiwara drew this Empty Potential Well in the Fig. 6 of the 1975 Japanese Patent (JPA 1975-134985).



For  $V_s/kT \ll 1$ ,

$$E_s = \frac{V_s}{\sqrt{\frac{\epsilon_{si} kT}{N_{pp}}}}$$

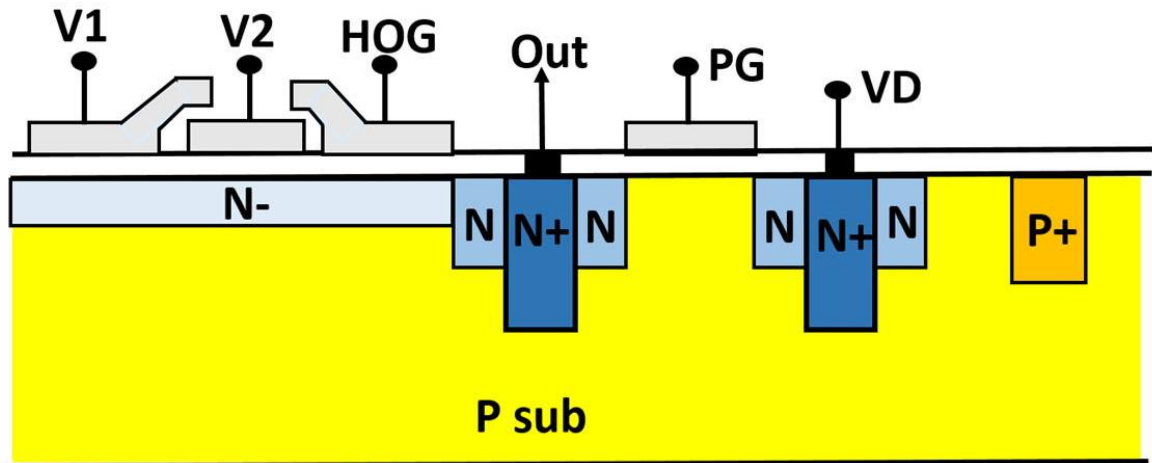
$$E_s = \sqrt{\frac{2 N_{pp} kT}{\epsilon_{si}} \left\{ \left( \frac{V_s}{kT} \right) - 1 + \exp \left( - \frac{V_s}{kT} \right) \right\}}$$

The surface electric field  $E_s$  of the P+NP junction type Pinned Photodiode is also very large which is worse since the surface electric field depends also on the surface P+ doping level  $N_{pp}$ . Type (2) and Type (3) modifications may help reducing the surface electric field  $E_s$ .

+++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_025  
 +++++

Hagiwara had the idea of the lightly doped drain (LDD) concept and used for the CCD output of Sony FT ( FCX018 ) and ILT ( ICX008 ) CCD image sensors that Hagiwara designed and developed with other Sony engineers in 1978. But Hagiwara did not disclose the details of CCD design knowhows to the public. Hagiwara did not file any patent on the LDD concept in 1978.

Lowly Doped Drain (LDD) MOS used in Sony CCD Image sensors  
 in SSDM1978 paper by Hagiwara at Sony.



For ONE chip Image sensor in NTSC system, Sony(Hagiwara) needed the CCD clock frequency of 14.31818 MHz.  
 Sony (Haiwara) used the thermal diffusion N+ for the metal contact with the lightly doped drain for the precharge (PG) gate.

Sony used already in early 1970s the correlated double sampling (CDS) technique intensively for the clock noise reduction for CCD image sensors. This CDS technique reduced the clock noise of MOS image sensors much more drastically.

M.M. White et al, "Characterization of Surface Channel CCD Image Arrays at Low Light Levels", IEEE J. Solid State Circuits, SC-9, pp.410-414 (1974)

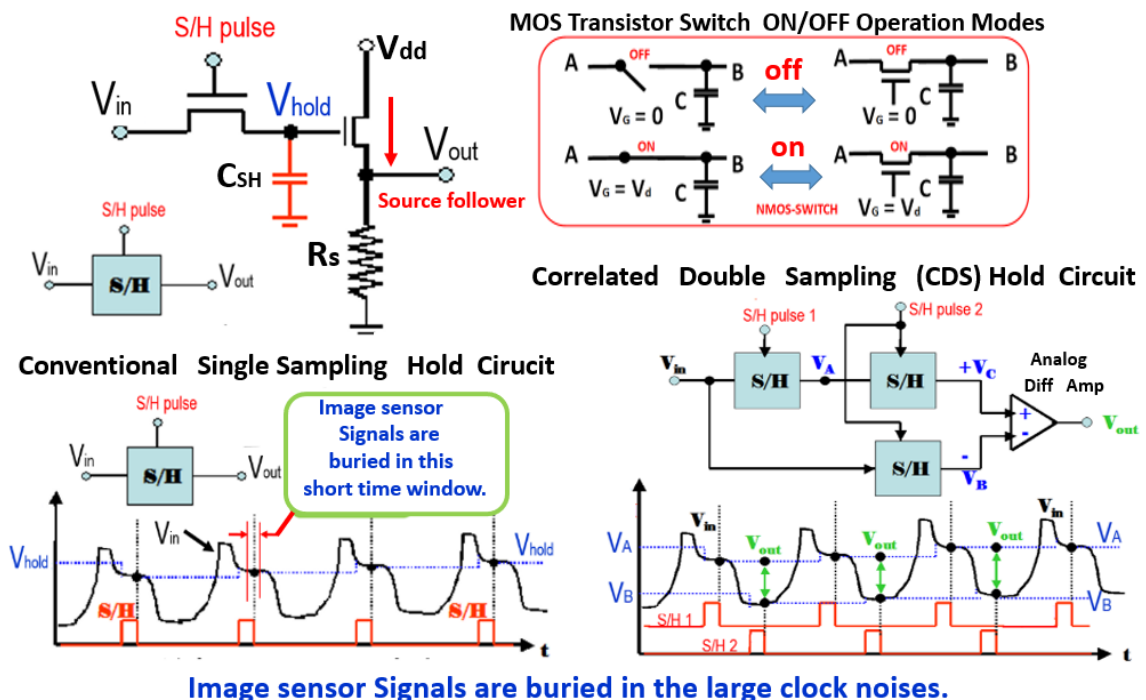


Image sensor Signals are buried in the large clock noises.

Sony reported “High Speed Digital Double Sampling with Analog CDS on Column Parallel ADC Architecture for Low-Noise Active Pixel Sensor” in ISSCC2006.

ISSCC 2006 / SESSION 27 / IMAGE SENSORS / 27.5

Modern CMOS Image Sensors have (1) HAD (2) APS and (3) CDS.

**27.5 High-Speed Digital Double Sampling with Analog CDS on Column Parallel ADC Architecture for Low-Noise Active Pixel Sensor**

Yoshikazu Nitta, Yoshinori Muramatsu, Kiyotaka Amano, Takayuki Toyama, Jun Yamamoto, Koji Mishina, Atsushi Suzuki, Tadayuki Taura, Akihiko Kato, Masaru Kikuchi, Yukihiko Yasui, Hideo Nomura, Noriyuki Fukushima  
Sony, Atsugi, Japan

Traditionally, the advantages of compact image sensors (CISs) over CCDs have been low power consumption and the capability for system integration. Additionally, the image quality of CISs has recently begun to rival and even surpass that of CCDs in the area of high-speed imaging [1]. Compared to high-speed CCDs, CISs utilize the advantage of a column-parallel pixel readout.

The pixels are conventional 4T active pixel sensor (APS) pixels that use hole accumulation diodes (HADs). HADs enable image sensors such as CCDs and CISs to realize ideal properties of low dark current, no  $kTC$  noise, and no image lag [2]

Digital double-sampling architecture is proposed to remove device variation and circuit offset that cause vertical FPN [3]. Our column-inline dual-CDS architecture (Fig. 27.5.2) implements digital double-sampling (digital CDS) and analog CDS in parallel columns. A high-speed 297MHz clock is utilized to reduce the double digital sampling period. Additionally, an analog CDS is used to reduce the ADC period for the reset signal  $V_{RST}$  by eliminating the analog offset of the pixel and the comparator output.

- (1) HAD ( PPD ) was invented by Y. Hagiwara in 1975.
- (2) APS was invented by Peter Noble in 1968.
- (3) CDS was invented by M. White in 1972.
- (4) Sony engineers perfected these technologies in 2006.

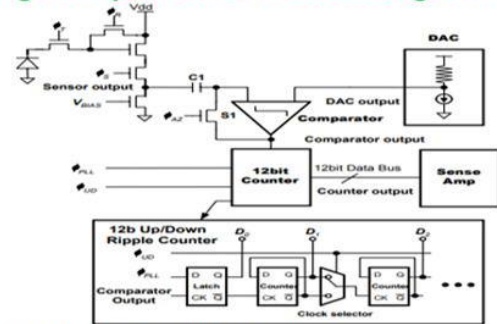
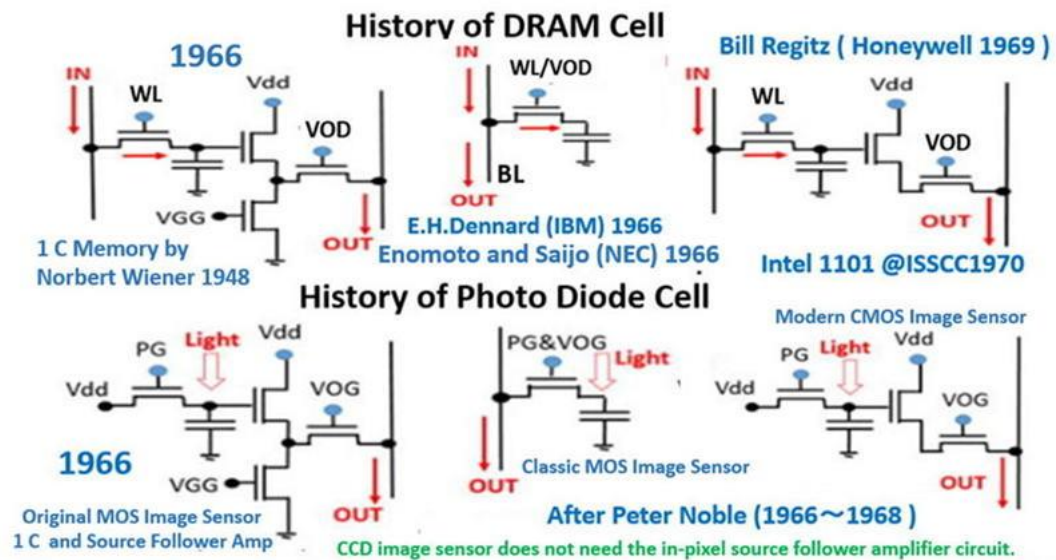


Figure 27.5.2: Column-inline dual CDS architecture.

References:

- [1] A. I. Krymski, N. E. Bock, N. Tu, D. Van Blerkom, E. R. Fossum, “A High Speed, 240frames/s, 4.1-Megapixel CMOS Sensor,” *IEEE Trans. Electron Devices*, vol. 50, no. 1, pp. 130-135, Jan., 2003.
- [2] K. Mabuchi, N. Nakamura, E. Funatsu, T. Abe, T. Umeda, T. Hoshino, R. Suzuki, H. Sumi, “CMOS Image Sensor Using a Floating Diffusion Driving Buried Photodiode,” *ISSCC Dig. Tech. Papers*, pp. 102-103, Feb., 2004.
- [3] W. Yang, O. Kwon, J. Lee, G. Hwang, S. Lee, “Integrated 800x600 CMOS Imaging System,” *ISSCC Dig. Tech. Papers*, pp.304-305, Feb., 1999.

We all came to a long way since Peter Noble invented the Active Amp in 1968. Modern CMOS Image Sensors used the technology of CDS, Active Amp and PPD.



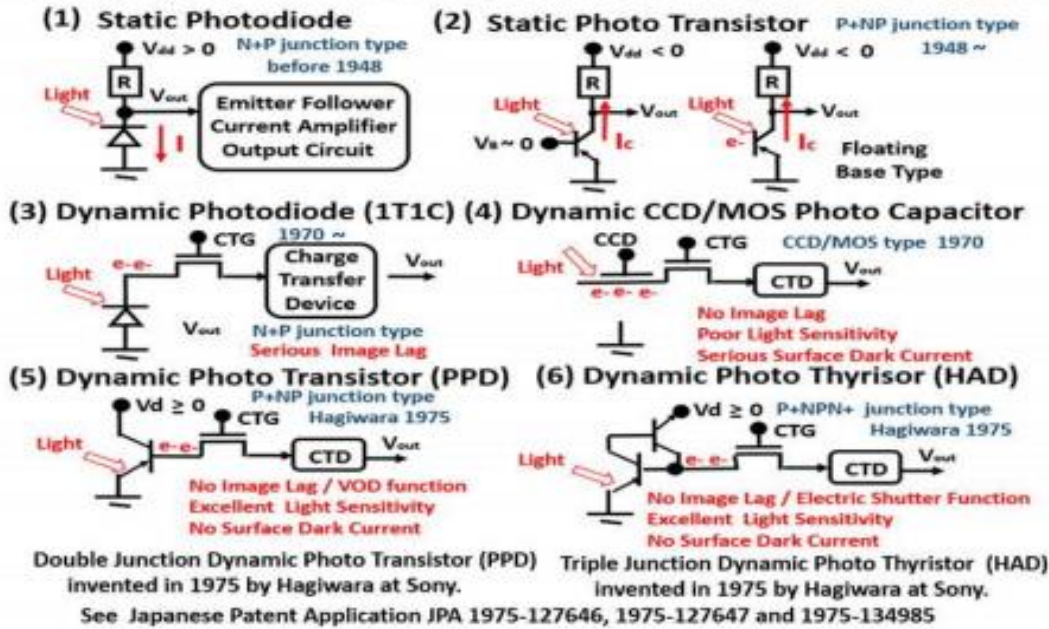
CMOS Inverter and Source Follower circuits are basics for digital circuit design. But we had to wait, till the advancement of CMOS process scaling rule, in order to place the source follower active circuit in each small picture cell area. Meanwhile CCD had a great role in the advancement of image sensors in 1980s. For modern high definition TV image sensor applications, CCD has the power issue and also the limit in charge transfer efficiency of 99.999%, which is not enough now.



+++++  
 The\_First\_Pinned\_Phodiode\_was\_invented\_in\_1975\_by\_Yoshiaki\_Hagiwara\_at\_Sony\_027  
 +++++

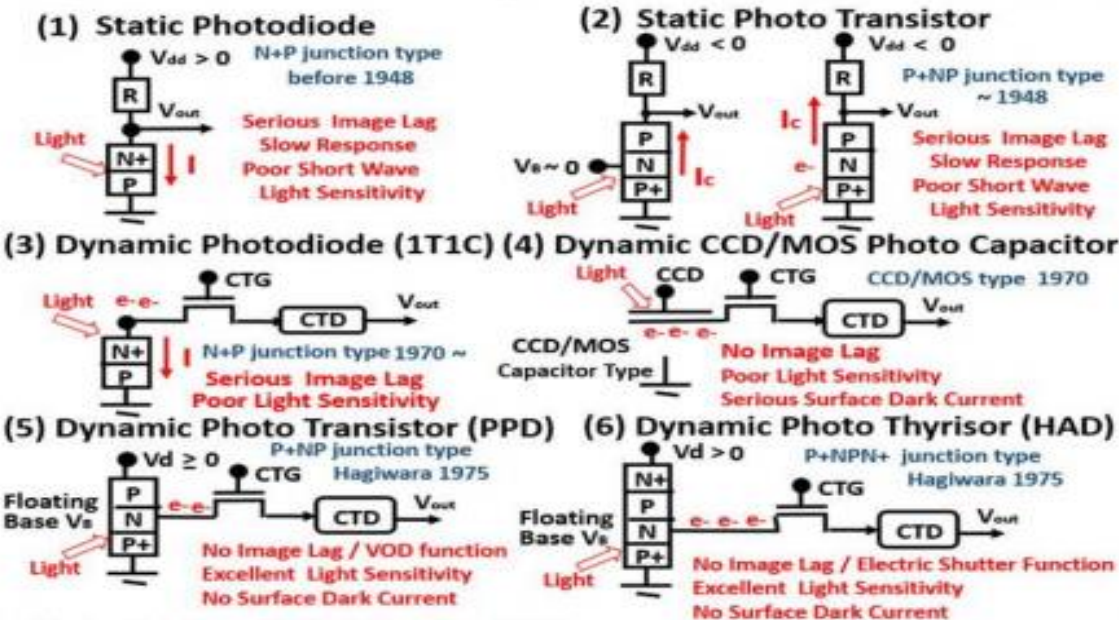
In classical image sensors, the single junction type N+P dynamic photodiode was used with the floating surface charge collecting storage N+ region, which suffered the incomplete charge transfer that created the serious image lag problem.

**Pinned Photodiode (PPD) and Sony Hole Accumulation Diode (HAD) Story  
 single, double and triple junction photo sensors**



Hagiwara at Sony proposed in 1975 the double junction type P+NP dynamic photo transistor, Pinned Photodiode (PPD), with the pinned surface hole accumulation P+ layer with no image lag feature and the extremely low surface dark current feature. Hagiwara also proposed at the same time in 1975 the triple junction type P+NPNsub dynamic photo thyristor, Sony Hole Accumulation Diode (HAD), with the in-pixel Vertical Overflow Drain (VOD) function with no image lag feature which made possible to achieve the electrical shutter function.

**Pinned Photodiode (PPD) and Sony Hole Accumulation Diode (HAD) Story  
 single, double and triple junction photo sensors**



++++++  
 The\_First\_Pinned\_Phtodiode\_was\_invented\_in\_1975\_by\_Yoshiaki\_Hagiwara\_at\_Sony\_028  
 ++++++

In Japanese Patent Application JPA 1975-124676, Yoshiaki Hagiwara at Sony in 1975 invented the First Pinned Phtodiode in the form of a triple junction N+NP+NP dynamic photo thyristor with the electron-accumulation pinned N+ surface layer and which has the surface N+N barrier electric field that can separate effectively the photo electron and hole pairs generated within the 0.2  $\mu\text{m}$  in the vicinity of the pinned N+ Si surface.

Japanese Patent Application  
 JPA 1975-127646  
 on the triple junction  
 N+N-P+NP-P type  
 Dynamic Photo Thyristor  
 < the first Pinned Photodiode >  
 with the in-pixel built-in  
 vertical charge draining  
 and overflow draining (VOD)  
 capability and the MOS  
 buffer memory for the  
 Global Shutter function  
 with the N+N Pinned Surface.

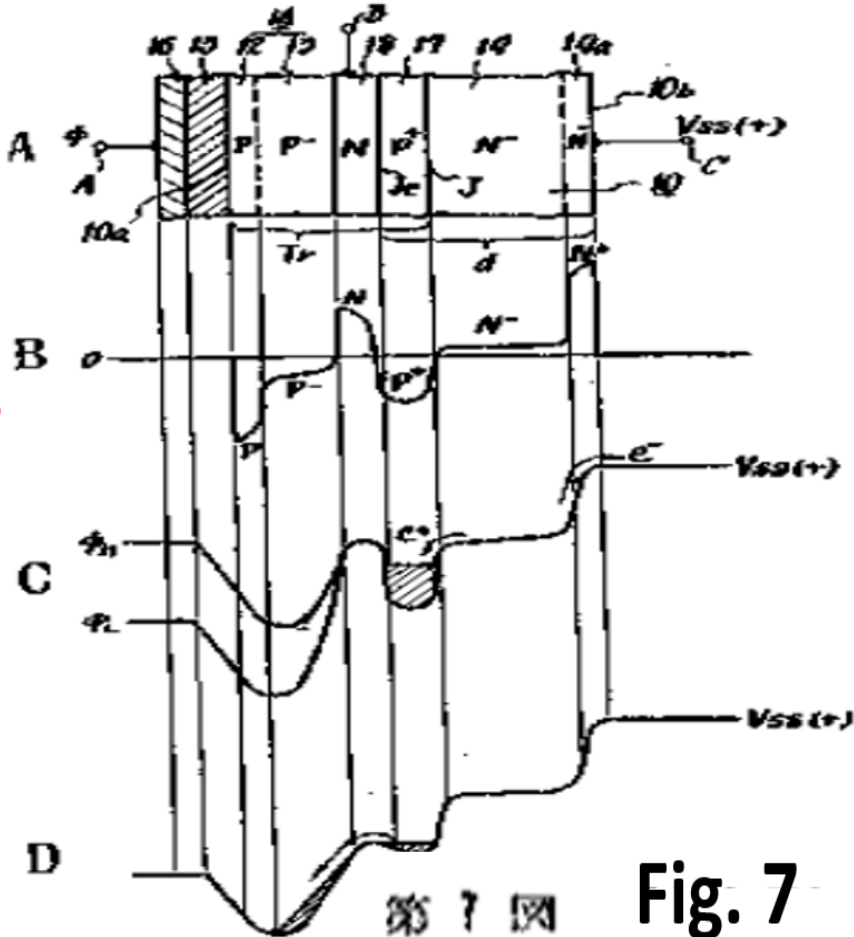


Fig. 7

It is well known that the short wave blue light cannot penetrate more than 0.2  $\mu\text{m}$  in depth into the silicon crystal. However, the surface N+N barrier electric field can be created at the silicon surface within the 0.2  $\mu\text{m}$  in depth and can be used effectively to separate photo electron and hole pairs generated in the vicinity of the Si surface.

On the other hand it is very difficult to create, within the silicon surface of the 0.2  $\mu\text{m}$  in depth, the N+P junction depletion region for the photo electron hole pair separation.

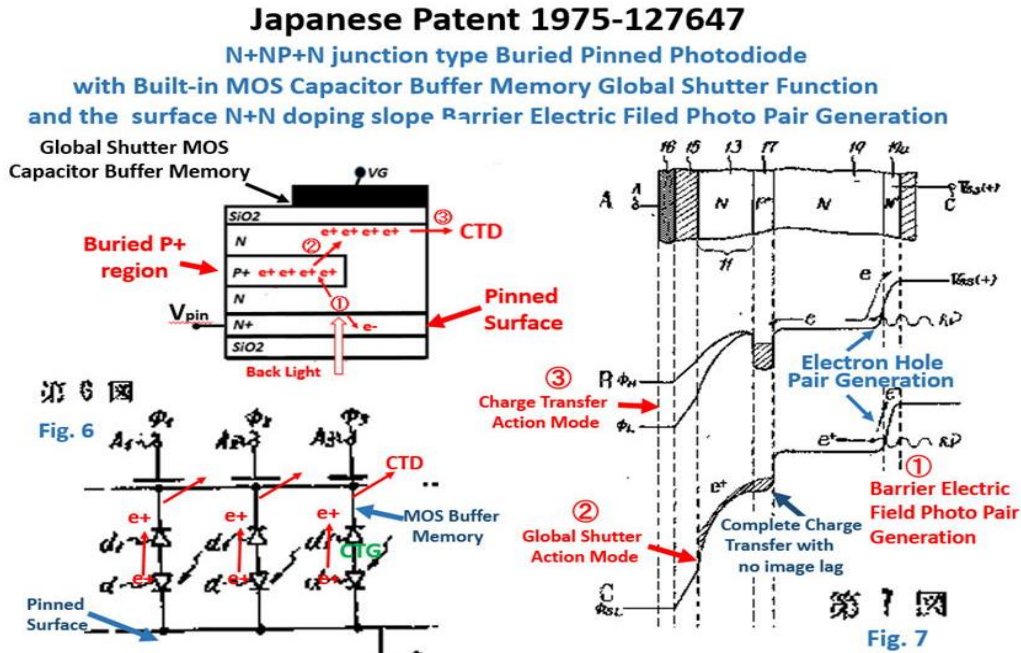
In conventional single junction type N+P photodiodes, the floating surface N+ region has a flat surface potential of no surface electric field. The pairs cannot be separated effectively in the surface floating N+ region. Eventually, the pairs in the floating N+ surface will be recombined, not contributing the photo electron and hole generations.]

This is why the classical single junction type N+P dynamic photodiode has the poor short wave blue light sensitivity. Conventional solar cells also use the classical N+P single junction type photodiode with the floating N+ surface of poor short wave blue light sensitivity. This is why the current solar cell has a poor efficiency of about 20%.

+++++  
 The First Pinned Photodiode was invented in 1975 by Yoshiaki Hagiwara at Sony\_029  
 +++++

Hagiwara proposed the MOS capacitor type buffer memory for the Global Shutter function absolutely needed for the modern CMOS image sensors. See JPA 1975-124647.

Hagiwara also proposed the double junction type Dynamic Photo Transistor with the complete charge transfer operation capability of no image lag feature to achieve the electrical shutter function for digital cameras, completely free from mechanical parts.



Hagiwara also proposed in JPA 1975-134985, the double junction P+NP type Dynamic Photo Transistor on the silicon substrate (Nsub), which was later called as Sony Hole Accumulation Diode (HAD) in 1987 with the vertical overflow drain (VOD) function. It has also the complete charge transfer operation capability of no image lag feature with the pinned P+ surface potential, which is needed absolutely in order to achieve the electrical shutter function for digital cameras, completely free from mechanical parts. Hagiwara also proposed in JPA 1977-126885 the basic clocking scheme of the electrical shutter operation using the punch thru operation mode of the in-pixel overflow drain voltage control scheme.

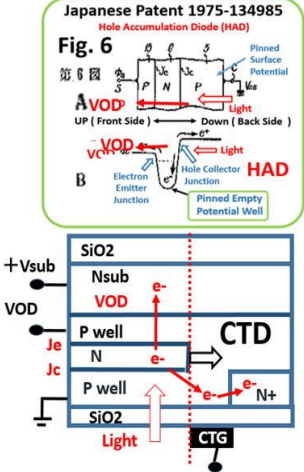
**PNPN junction Transistor type Pinned Photodiode**

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

**Patent Claim in English Translation**

(1) In the semiconductor substrate (Nsub), the first region (P well) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) from the light collecting part (N) is transferred to the adjacent charge transfer device (CTD). (4) Both are placed along the main surface of the semiconductor substrate. (5) In the solid stare image sensor so defined, a rectifying Emitter junction (Je) is formed on the second region (N) of the light collecting part (N). And (6) Collector junction (Jc) is formed by the second region (N) and the first region (P well), forming a (PNP) transistor structure, (7) Photo charge is stored in the Base (N) according to illuminated light intensity and transferred to the adjacent CTD. The solid state image sensor so defined is in the scope of this patent claim.



**Japanese Patent 1977-126885**

Japanese Patent JPA 1977-126885 on Electrical Shutter Clocking Scheme invented by Y. Hagiwara, S. Ochi and T. Hashimoto in 1977.

