

JPA 1980-138026

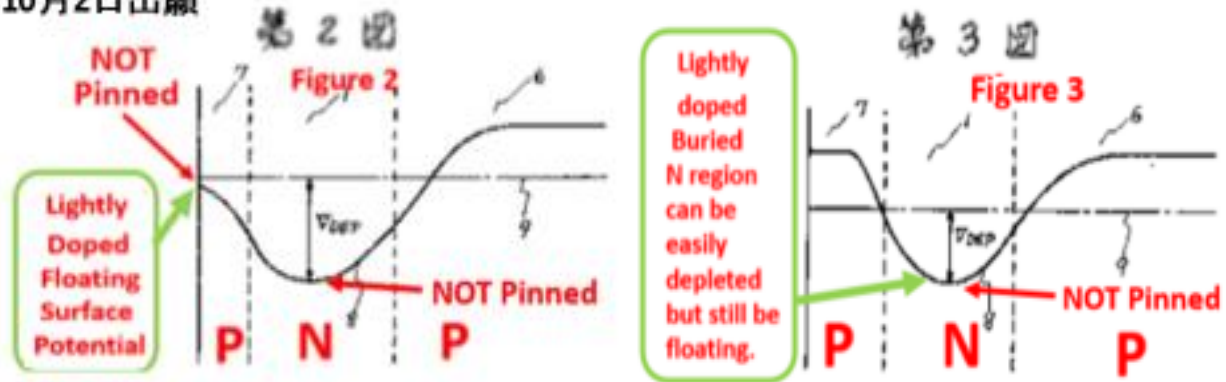
Japanese Patent on Buried Photodiode by Teranishi.

This is NOT a Pinned Photodiode Patent.

Buried Photodiode (BPD) is not always Pinned Photodiode (PPD).

This patent includes the Fig. 2 case of the completely depleted surface P region which is not by definition Pinned Photodiode (PPD).

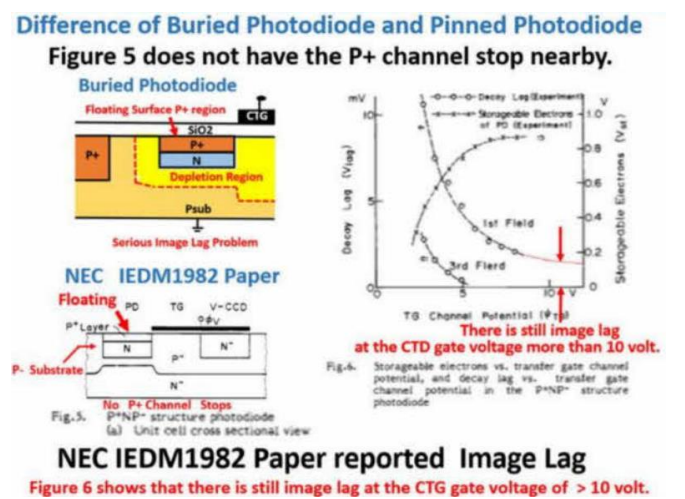
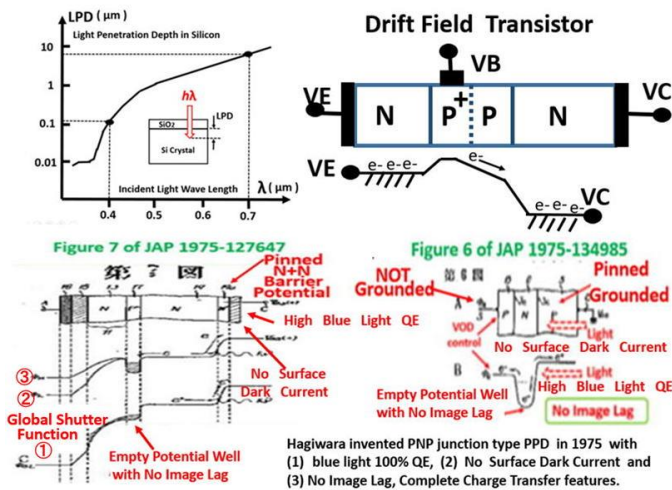
1980年10月2日出願



「N層を完全空乏化して動作させる」事が目的であるが、実際に完全空乏化できる為には更に条件が必要な事を理解していない。表面がピン留め固定されなければならない。実施例図では、表面P層が空乏化する可能性も特許範囲として明示している。表面P層の電位は完全にピン止め固定する必要がない事を明示している。この特許は自ら Pinned Photodiode でないことを明示した特許である。表面P層がピン止めされないと、理論的にN層の完全空乏化時(Empty Potential Well)の電位は固定不可能である事を理解していない。隣接する電荷転送電極(CTG)との酸化膜の寄生容量により、埋込みN層も浮遊状態となるので電位が振られてしまう。電荷転送電極(CTG)の電位が電荷転送時にプラスに深くなると埋込みN層もプラス方向に寄生容量により深くなる。完全電荷転送は難しい。CTGのゲート容量の影響を受け、埋込みN層が浮遊状態であるので完全にはN層の信号電荷は完全転送できない。必ず残像が生じる。また残像の生じる Photodiode は定義により Pinned Photodiode ではない。埋め込み Photodiode は必ずしも Pinned Photodiode ではない。結論として この NEC の特許は Pinned Photodiode の特許ではない。

JPA1975-127646 and JPA1975-134985

IEDM1982 NEC Paper has Image Lag



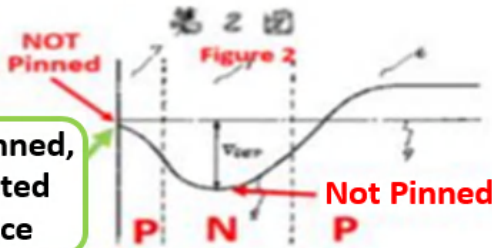
萩原は JPA1975-1247646、JPA1975-1247647、JPA1975-134985 特許で PPD の埋込み層の電位と電荷転送電極 (CTD) の間の相関的な電位 Profile 図を明記し、この受光面がピン留めされた埋込み型 Photodiode (Pinned Photodiode) が完全空乏化電荷転送をする事を実施図に明示している。図は数式や文より明確に動作を説明する。

JPA 1980-138026

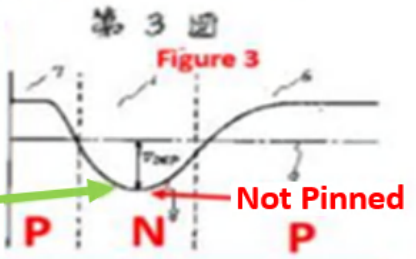
1980年10月2日出願

特 願 昭55-138026
 出 願 昭55(1980)10月2日
 発 明 者 寺西信一
 発 明 者 石原保雄
 発 明 者 白木廣光

This patent is on the PNP junction type Buried Photodiode but NOT Pinned Photodiode. The surface P region is not pinned and grounded. The surface potential can be of any value depending on the floating buried N region potential, which is actually controlled by the substrate Psub potential which is grounded in this case, but in case of a built-in VOD function P+NPNsub junction photodiode, the P region potential is controlled by the Nsub VOD voltage and can be any value. The surface P region must be pinned by the adjacent P+ channel Stops region or the adjacent metal contact wiring.



Not Pinned, Depleted Surface

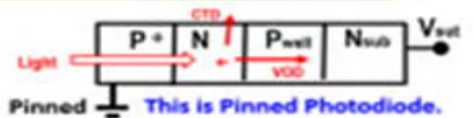


The surface P region is not Pinned. The Buried N region is still floating.

Comparison of Various Light Detecting Photo Sensor Structures

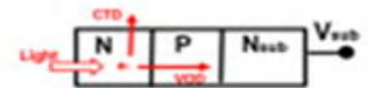
- P+NPNsub 接合型HAD受光素子 (JPA 1975-134985)

萩原(1975) 基板(Nsub)に P+NP 接合を形成する。



- NPNsub 接合型 VOD受光素子 (JPA 1978-1971)

山田(1978) 基板(Nsub)に NP 接合を形成する。



- PNPsub 接合型埋込み型受光素子 (JPA 1980-138026)

寺西(1980) 基板(Psub)に PN 接合を形成する。



This is just a buried photodiode....

feature \ type	Classical N+Psub Photodiode	Surface Channel CCD	Buried Channel CCD	Yamada 1978 NPNsub	Teranishi 1980 PNPsub	Hagiwara 1975 PNPsub
Blue Light Sensitivity	○	X	X	○	○	○
Low Image Lag	X	○	○	X	○	○
Surface Dark Current	X	X	X	X	○	○
Surface Trap Noise	X	X	○	X	○	○
Vertical OFD (VOD)	X	X	X	○	X	○
Electrical Shutter	X	X	X	X	X	○

電子 shutter 機能は VOD付き Pinned Photodiodeのみが可能です。

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—62557

⑬ Int. Cl.³
H 01 L 27/14
29/76
31/10

識別記号

庁内整理番号
7021—5F
6851—5F
7021—5F

⑭ 公開 昭和57年(1982)4月15日

発明の数 2
審査請求 未請求

(全 5 頁)

⑮ 固体撮像装置とその駆動方法

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭55—138026

⑰ 発 明 者 白木廣光

⑱ 出 願 昭55(1980)10月2日

東京都港区芝五丁目33番1号日
本電気株式会社内

⑲ 発 明 者 寺西信一

⑳ 出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号日
本電気株式会社内

東京都港区芝5丁目33番1号

㉑ 発 明 者 石原保雄

㉒ 代 理 人 弁理士 内原晋

明 細 書

発明の名称 固体撮像装置とその駆動方法

特許請求の範囲

1. 第1導電型の半導体基板と、この基板の主面に形成され光の入射による信号電荷を蓄積する第1導電型と逆導電性の第2導電型の蓄積領域と、この蓄積領域に対応して設けられた信号電荷転送手段と、前記蓄積領域と前記信号電荷転送手段との間に設けられ前記蓄積領域から前記信号電荷転送手段への信号電荷の転送を制御するトランスマフケットとを有する固体撮像装置の単位セルにおいて、前記蓄積領域の表面の全面に前記第1導電型の表面層が設けられ、かつ前記蓄積領域が完全に空乏化するのに必要な前記基板と前記蓄積領域との間の逆バイアス電圧が30ボルト以下であることを満たすように構成されてなることを特徴とする固体撮像装置。

2. 第1導電型の半導体基板と、この基板の主面に

に形成され光の入射による信号電荷を蓄積する前記第1導電型と逆導電性の第2導電型の蓄積領域と、この蓄積領域に対応して設けられた信号電荷転送手段と、前記蓄積領域と前記信号電荷転送手段との間に設けられ前記蓄積領域から前記信号電荷転送手段への信号電荷の転送を制御するトランスマフケットとを有する固体撮像装置の単位セルの、前記蓄積領域の表面の全面に前記第1導電型の表面層が設けられ、かつ前記蓄積領域が完全に空乏化するのに必要な前記基板と前記蓄積領域との間の逆バイアス電圧 V_{DEP} が30ボルト以下であることを満たすように構成された固体撮像装置において、前記トランスマフケットのチャンネル部の電気的に中性のときのフェルミ電位と真性フェルミ電位との差を V_F としたとき、前記基板の内部の空乏化していない部分のフェルミ電位を基準とした前記トランスマフケットのチャンネル電位の絶対値 V_{ch} を $V_{DEP} + 2V_F$ 以上にすることによって前記蓄積領域から前記信号電荷転送手段へ電荷を移すことを特徴とする固体撮像装置の駆動方法。

発明の詳細な説明

この発明は残像を小さくした固体撮像装置とその駆動方法に関する。

固体撮像装置の中でも電荷結合素子 (CCD) を用いた固体撮像装置は出力容量が小さいために雑音小さく、きわめて低照度での撮像が可能である。しかし、例えば、従来の p-n 接合を蓄積領域に用いたインターライン転送方式 CCD 固体撮像装置では低照度ほど残像が目立つようになり、再生画像は見るに耐えないものになってしまう。従って雑音が低照度撮像限界を決めるのではなく、残像が低照度限界を決めることになる。残像を減少すれば撮像可能な限界照度を低くすることが出来る。

第 1 図は p-n 接合を蓄積領域に用いたインターライン転送方式 CCD 2 次元固体撮像装置の平面模式図である。p 型半導体基板の受光側の主面にこの基板と p-n 接合し、入射光による信号電荷を蓄積する n 型の蓄積領域 1 が多数個複数列に配列形成されている。蓄積領域 1 の各列ごと

に近接した垂直 CCD レジスタ 2 の端部に転送し、さらに水平 CCD レジスタ 4 を通って出力装置 5 へ移動させる。

次に残像の原因を説明する。p 型の基板の内部のフェルミ電位を基準とした n 型の蓄積領域 1 の電位を V_A 、トランスフェゲート 3 がオン状態のときのチャンネル電位を V_{ch} とする。この V_A は p 型の基板と n 型の蓄積領域 1 との間の逆バイアス電圧である。また、トランスフェゲート 3 のチャンネル部の電気的に中性のときのフェルミ電位と真性フェルミ電位との差を V_F とする。すると V_F は、

$$V_F = \frac{kT}{q} \left| \ln \frac{N_B}{n_i} \right|$$

と表わされる。ただし k はボルツマン定数、 T は絶対温度、 q は単位電荷量、 N_B はチャンネル部の不純物濃度、 n_i は真性濃度である。n 型の蓄積領域 1 を完全に空乏化させるのに必要な V_A を V_{DEP} とする。従来の固体撮像装置では蓄積領域 1 のドナー濃度が大きく、 V_{DEP} は通常の動作条件の V_A よりはるかに大きい。通常、MOS 型の集

成回路の最高電圧は p-n 接合の耐圧とゲート酸化膜の耐圧によって決まり、30V である。信号電荷蓄積時には、入射光に反応して蓄積領域 1 に信号電荷である電子が蓄積され、蓄積領域 1 中の空乏層は小さくなり、 V_A は小さくなる。トランスフェゲート 3 がオン状態になり、チャンネル電位が V_{ch} となると、蓄積領域 1 より垂直 CCD レジスタ 2 へ信号電荷が移り始める。トランスフェゲート 3 を MOS 電界効果トランジスタ (MOSFET) とみなし、蓄積領域 1 をソースとし、垂直 CCD レジスタ 2 をドレインと考える。すると $V_A < V_{ch} - 2V_F$ ならばこの MOSFET は強反転状態で動作し、電荷転送はすみやかに行なわれ、 V_A は $V_{ch} - 2V_F$ 程度になる。しかし $V_A > V_{ch} - 2V_F$ ではこの MOSFET は弱反転状態で動作するために、電荷転送は遅く、 V_A は最終到達電位である $V_{ch} - V_F$ になかなか到達しない、トランスフェゲート 3 をオン状態にするのは垂直帰線期間のうちの 1 部期間である。標準テレビジョン方式では垂直帰線期間は約 1110 μsec であり、トランスフェゲート 3

対応して信号電荷転送手段としての垂直 CCD レジスタ 2 が形成されている。蓄積領域 1 と垂直 CCD レジスタ 2 との間にはトランスフェゲート 3 が設けられている。垂直 CCD レジスタ 2 の一方の端部は水平 CCD レジスタ 4 に接続されており、この水平 CCD レジスタ 4 の一方の端部は出力装置 5 に接続されている。光電変換を行なう蓄積領域 1 以外の部分はアルミニウムによって光遮蔽されている。

このようなインターライン転送方式 CCD 2 次元イメージセンサの駆動方法と動作の様子を説明する。信号電荷蓄積時に、入射光に反応して蓄積領域 1 に信号電荷が蓄積される。この信号電荷はトランスフェゲート 3 がオン状態になりチャンネルが形成されることによって、垂直 CCD レジスタ 2 に移される。トランスフェゲート 3 がオフ状態になりチャンネルがなくなると、垂直 CCD レジスタ 2 と蓄積領域 1 との間に電位障壁ができ、信号電荷の次の蓄積が始まる。垂直 CCD レジスタ 2 と水平 CCD レジスタ 4 はパルスによって駆動され、垂直 CCD レジ

をオン状態にする期間は通常 $1\mu\text{sec}$ 程度から $500\mu\text{sec}$ 程度までである。例えばトランスフェグート3のチャンネル長を $5\mu\text{m}$ 、チャンネル幅を $5\mu\text{m}$ 、蓄積領域1の容量を 0.03pF とすると、 V_A が $V_{ch} - 2V_F$ 程度から $V_{ch} - V_F$ になるのに必要な時間は数十 msec であり、トランスフェグート3がオン状態の期間に比較してはるかに大きい。このため、通常のトランスフェグート3のオン状態の期間では、信号電荷は蓄積領域1より垂直CCDレジスタ2へ完全には転送されず、一部の信号電荷が蓄積領域1に取り残されることになり、この取り残された信号電荷は以後のトランスフェグート3がオン状態になったときに蓄積領域1より垂直CCDレジスタ2へ転送され、再生画面上では残像となって表われる欠点があった。

この発明の目的は上記のような残像をなくした固体撮像装置とその駆動方法を提供することにある。

この発明によれば、第1導電型の半導体基板と、この基板の主面に形成され光の入射による信号電

特徴とする固体撮像装置の駆動方法が得られる。

以下この発明の実施例に基いて説明する。

この発明による残像をなくした固体撮像装置では、従来に比較して蓄積領域1のドナー濃度が低くなっており、かつ、蓄積領域1の表面の全面にp型の表面層が設けられている。このため蓄積領域1を完全に空乏化させるのに必要な逆バイアス電圧 V_{DEP} は小さく、 $V_{DEP} + 2V_F$ は通常のMOS型集積回路の最高電圧 30V より小さい。 $V_{DEP} + 2V_F < 30$ ボルトであるので、 V_{ch} を $V_{DEP} + 2V_F$ 以上にすることができる。 $V_{ch} > V_{DEP} + 2V_F$ とした駆動方法では、トランスフェグート3がオン状態になり、チャンネル電位が V_{ch} になると、蓄積領域1より垂直CCDレジスタ2へ信号電荷が移り始める。トランスフェグート3をMOSFETとみなし、蓄積領域1をソースとし、垂直CCDレジスタ2をドレインと考える。すると、 V_A の最終到達電位 V_{DEP} においても $V_A < V_{ch} - 2V_F$ であるので、このMOSFETは常に強反転状態で動作し、電荷転送はすみやかに行われ、蓄積領域1が完

荷を蓄積する第1導電型と逆導電性の第2導電型の蓄積領域と、この蓄積領域に対応して設けられた信号電荷転送手段と、前記蓄積領域と前記信号電荷転送手段との間に設けられ前記蓄積領域から前記信号電荷転送手段への信号電荷の転送を制御するトランスフェグートとを有する固体撮像装置の単位セルにおいて、前記蓄積領域の表面の全面に前記第1導電型の表面層が設けられ、かつ前記蓄積領域が完全に空乏化するのに必要な前記基板と前記蓄積領域との間の逆バイアス電圧が 30 ボルト以下であることを満たすように構成されてなることを特徴とする固体撮像装置が得られる。さらに前記この発明の固体撮像装置において、前記トランスフェグートのチャンネル部の電氣的に中性のときのフェルミ電位と真性フェルミ電位との差を V_F としたとき、前記基板の内部の空乏化していない部分のフェルミ電位を基準とした前記トランスフェグートのチャンネル電位の絶対値 V_{ch} を $V_{DEP} + 2V_F$ 以上にすることによって前記蓄積領域から前記信号電荷転送手段へ電荷を移すことを

完全に空乏化し、 V_A が最終到達電位 V_{DEP} になる。例えばトランスフェグート3のチャンネル長が $5\mu\text{m}$ 、チャンネル幅が $5\mu\text{m}$ 、蓄積領域1の容量が 0.03pF の場合に、 V_A が $V_{DEP} - 2V_F$ 程度から V_{DEP} になるのに必要な時間は高々 100nsec 程度であり、トランスフェグートがオン状態にある時間 $1\mu\text{sec}$ 程度から $500\mu\text{sec}$ 程度に比較して非常に速い。この結果、信号電荷は蓄積領域1より垂直CCDレジスタ2へ完全に転送され、蓄積領域1に信号電荷が取り残されることはなく、残像現象は起こらない。

n型の蓄積領域1の表面の全面に設けられたp型の表面層の効果を説明する。第2図と第3図はこの発明のそれぞれ異なる実施例において、蓄積領域1を表面と垂直方向に見たときの電位分布を示した図である。左側が表面であり、表面よりp型の表面層7とn型の蓄積領域1とp型の基板6がある。実線8は電子が感じるポテンシャルの分布である。1点鎖線9はp型の基板6の内部の空乏化していない領域でのフェルミ電位であり、電

位の規準とする。これらの図では n 型の蓄積領域 1 が完全に空乏化した場合を示している。第 2 図は表面層 7 のアクセプタ濃度が小さく、表面層 7 が完全に空乏化している場合であり、第 3 図は表面層 7 の表面付近が空乏化していない場合である。後者の場合、表面層 7 の空乏化していない部分の電位は基板 6 の内部の空乏化していない部分の電位と等しい。さて表面層 7 の第 1 の効果は、上述したように V_{DEP} を小さくすることである。n 型の蓄積領域 1 は p 型の基板 6 と p-n 接合するだけでなく、p 型の表面層 7 とも p-n 接合するために、両方の p-n 接合面から空乏層が広がるために V_{DEP} は小さくなるのである。第 2 の効果は、電位の最大点がシリコンとシリコン表面に設けられた酸化膜との界面に位置しないために、信号電荷が界面に接触しない。この結果、信号電荷が界面付近に分布しているトラップにトラップされないので、トラップによる残像が生じないということである。さらに第 3 図に示した実施例の場合、デバイス表面に設けられた酸化膜中や酸化膜

表面上の浮遊電荷の影響が表面層のうちの空乏化していない表面付近でシードされ、蓄積領域 1 には及ばず、ロットやデバイス間での特性のばらつきが小さくなるという効果がある。またシリコンと酸化膜の界面付近が空乏化していないので、暗電流が小さいという効果もある。

この発明は、垂直方向の信号電荷転送手段として信号線を用い、この信号線が 1 個または複数個の MOSFET を介して水平方向の信号電荷転送手段としての水平 CCDレジスタや水平バケットブリゲード (BBD) レジスタに接続されている、いわゆる MOS+CCD 型 2 次元固体撮像装置や MOS+BBD 型 2 次元固体撮像装置にも適用できる。また 2 次元固体撮像装置ばかりでなく、1 次元固体撮像装置にも適用できる。

以上 n チャネル型の場合の実施例について説明した。p チャネル型の場合は、n チャネル型の場合の p と n とを入れ替へ、符号のある電位は絶対値を用いればよい。例えば、蓄積領域 1 と基板との間の逆バイアス電圧 V_A やトランスフエーグ

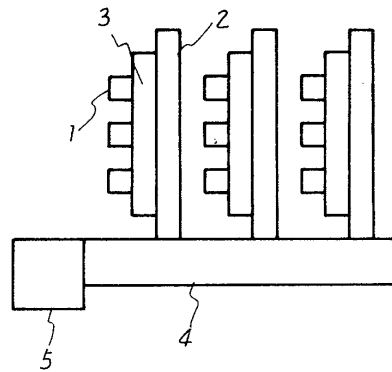
のチャネル部のフェルミ電位と真性フェルミ電位との差 V_F は通常絶対値を用いるので、p チャネルでも絶対値を用いる。基板の内部の空乏化していない部分のフェルミ電位を基準としたトランスフエーグのチャネル電位は n チャネル型の場合には正であり、p チャネル型の場合には負なので、絶対値を用いる。

図面の簡単な説明

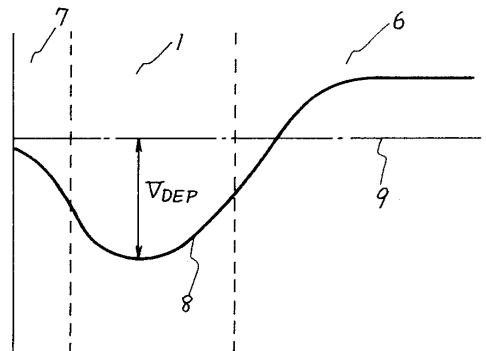
第 1 図は固体撮像装置の模式的平面図、第 2 図と第 3 図はこの発明のそれぞれ異なる実施例において、蓄積領域を表面と垂直方向に見たときの電位分布を示した図である。

1 ……蓄積領域、2 ……信号電荷転送手段 (垂直 CCDレジスタ)、3 ……トランスフエーグ、6 ……基板、7 ……表面層、9 ……基板の内部の空乏化していない部分のフェルミ電位、 V_{DEP} ……蓄積領域が完全に空乏化するのに必要な基板と蓄積領域との間の逆バイアス電圧。

第 1 図



第 2 図



第 3 図

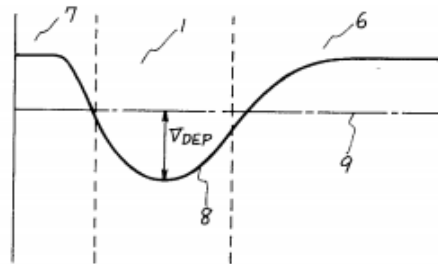
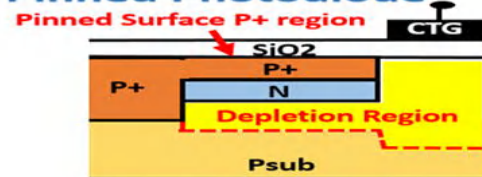


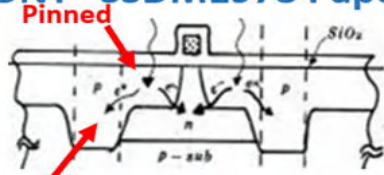
Figure 2 of this JPA 1978-138026 patent above shows that both of the surface P region and the Buried N region are completely depleted. The surface P region is evidently not pinned. The buried N region is not pinned by the surface potential. Figure 2 is not evidently Pinned Photodiode. Figure 3 shows that the surface P region has enough holes, more than the total impurity atoms in the total buried N region. However, the surface P region is not by necessity connected to the external voltage and can be floating evidently. There is no description about a pinned surface P region in this JPA 1978-138026 patent. Figure 3 is not by necessity Pinned Photodiode. This JPA 1978-138026 patent is not Pinned Photodiode patent. For Pinned Photodiode, the surface P region must be connected to the external wiring or by the adjacent P+ channel stops region.

Difference of Buried Photodiode and Pinned Photodiode

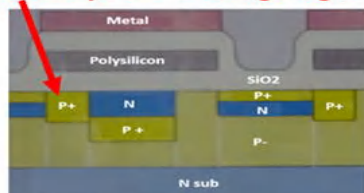
Pinned Photodiode



SONY SSDM1978 Paper

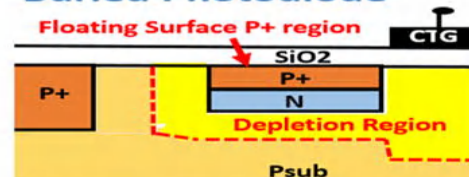


P+ Channel Stops and no Image Lag Problem



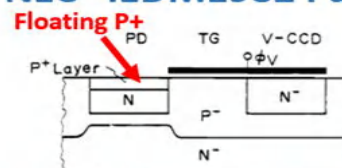
SONY 1987 HAD Sensor

Buried Photodiode

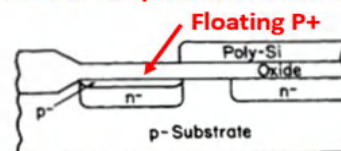


Serious Image Lag Problem

NEC IEDM1982 Paper



No P+ Channel Stops and Serious Image Lag



KODAK IEDM1984 Paper