

Japanese Patent JPA 1977-837

This patent is applied for the lateral overflow drain (LOD) function. The excess charge is drained to the N+ lateral output drain (LOD).

This SiO₂ surface exposed photodiode has the serious Image lag problem.

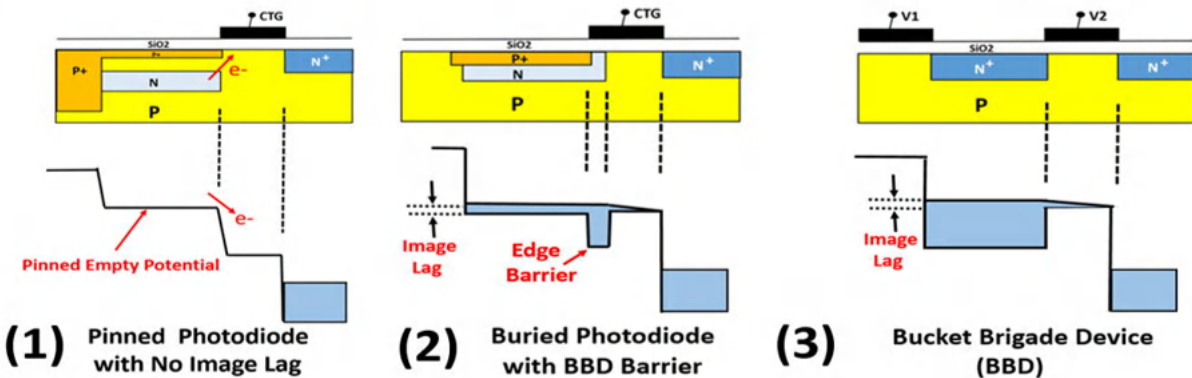
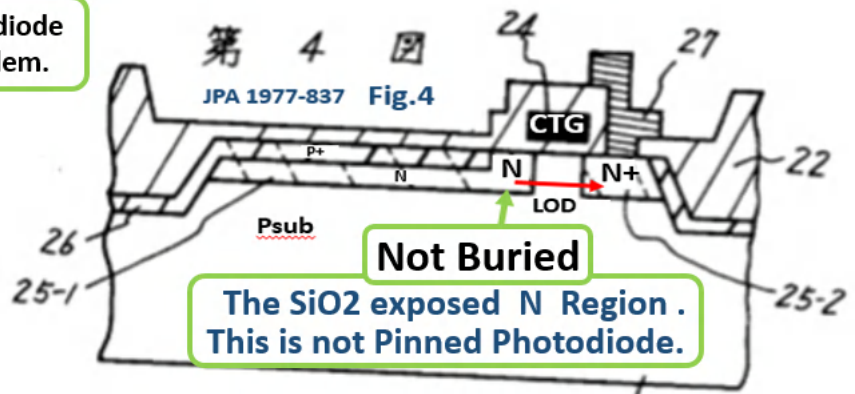
④ 固体撮像装置

④ 特 願 昭52-837

④ 出 願 昭52(1977)1月10日

④ 発 明 者 小池紀雄

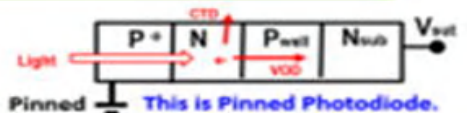
④ 特 許 出 願 公 開 昭53-86516



Comparison of Various Light Detecting Photo Sensor Structures

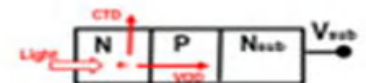
● P+NPNsub 接合型HAD受光素子 (JPA 1975-134985)

萩原(1975) 基板(Nsub)に P+NP 接合を形成する。



● NPNsub 接合型 VOD 受光素子 (JPA 1978-1971)

山田(1978) 基板(Nsub)に NP 接合を形成する。



● PNPsub 接合型埋込み型受光素子 (JPA 1980-138026)

寺西(1980) 基板(Psub)に PN 接合を形成する。



This is just a buried photodiode...

feature \ type	Classical N+Psub Photodiode	Surface Channel CCD	Buried Channel CCD	Yamada 1978 NPNsub	Teranishi 1980 PNPsub	Hagiwara 1975 PNPsub
Blue Light Sensitivity	○	X	X	○	○	○
Low Image Lag	X	○	○	X	○	○
Surface Dark Current	X	X	X	X	○	○
Surface Trap Noise	X	X	○	X	○	○
Vertical OFD (VOD)	X	X	X	○	X	○
Electrical Shutter	X	X	X	X	X	○

電子 shutter 機能は VOD付き Pinned Photodiodeのみが可能です。

⑩日本国特許庁

⑪特許出願公開

公開特許公報

昭53—86516

⑤Int. Cl.²
H 04 N 5/30
H 01 L 31/00

識別記号

⑥日本分類
97(5) D 1
99(5) J 42

庁内整理番号
6940—59
6655—57

④公開 昭和53年(1978)7月31日

発明の数 1
審査請求 未請求

(全 5 頁)

④固体撮像装置

①特 願 昭52—837

②出 願 昭52(1977)1月10日

⑦発 明 者 小池紀雄
国分寺市東恋ヶ窪1丁目280番
地 株式会社日立製作所中央研
究所内

⑧発 明 者 竹本一八男

国分寺市東恋ヶ窪1丁目280番
地 株式会社日立製作所中央研
究所内

⑨出 願 人 株式会社日立製作所
東京都千代田区丸の内一丁目5
番1号

⑩代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 固体撮像装置

特許請求の範囲

1. 第1導電型の半導体基板上に基板とは異なる第2導電型不純物層で作られた光ダイオードを一次元あるいは二次元状に複数個配列し、かつ前記ダイオードの光学情報を時間順次に選択する走査回路を集積化した固体撮像装置において、前記光ダイオードの上面および該半導体基板の表面の一部に接触させて基板より濃度の高い第1導電型の不純物層を設けたことを特徴とする固体撮像装置。

発明の詳細な説明

(1) 発明の利用分野

本発明は、半導体基板上に光電変換素子および走査回路を集積化した固体撮像装置に関するものである。

(2) 従来技術

第1図(a)は固体撮像装置の原理的な構成を示すものである。1はx位置を選択する水平走査回路

であり一般にMOSシフトレジスタあるいはCCD型(電荷移送型)シフトレジスタが利用される。

2はy位置を選択する垂直走査回路であり前記水平回路より負荷容量が大きくなるため一般にMOSシフトレジスタが利用される。前記水平、垂直2つの走査回路はスイッチ素子を内蔵した光電変換素子3を順次開閉し、二次元状に配列した個々の光電変換素子からの信号を垂直出力線4および水平スイッチ5を連してビデオ出力線6の上に取り出す。ただし、水平走査回路にCCDシフトレジスタを利用する場合はCCDレジスタ自身が出力線になるので上記ビデオ出力線6は不要になる(図示せず)。各光電変換素子からの信号はその上に投影された光学像に対応するので、上記動作により映像信号を取り出すことができる。

この種固体撮像素子では解像力の向上を図り、画質を上げるため多数の光電変換素子および走査用の単位回路が必要となる。そのため、一般には集積密度が比較的高く、第1図(b)に示したように光電変換素子とスイッチ素子が一体化構造で製作

できるMOS-LSI技術を用いて作られる。7は垂直走査回路によつて開閉するゲート8を備えたスイッチ用MOSトランジスタ(以下MOSと略記する)、9はそのソース接合領域を利用したP_n接合光ダイオード、10は垂直出力線4につながるスイッチMOS7のドレインである。また、11はこれらの素子を集積化するSi半導体基板、12は絶縁用の酸化膜(一般にシリコン酸化膜が使用される)である。

この種固体撮像素子の特徴は、光電変換素子にMOSスイッチのソースが利用でき、また走査回路にもMOS型あるいはCCD型のソフトレジスタが利用できる等、集積化が比較的容易なことである。したがつて、集積化できる光ダイオードの数も比較的多くなるものの、次に説明するような理由で光ダイオードの集積度は高々200×200程度、さらに歩留りを考慮すると100×100程度に制限されている。すなわち、解像度が低く応用分野も著しく制限されている。

入射光によつて発生した電荷は光ダイオードの

備える容量に蓄積するが、信号対雑音比(以下S/N比と称する)を得るためには所定の信号量すなわち所定のダイオード容量が必要となる。ダイオード容量はその占有面積に比例し、一般に使用する比抵抗 $5\sim 10\Omega\cdot\text{cm}$ のシリコン基板の場合、接合容量は $100\mu\text{m}$ 角当り1pFであり、所定の信号量0.2~0.5pCを得るためには50~70 μm 角のダイオードが必要となる。したがつて、現行のテレビジョン放送並みの解像力を備えた500×500素子を考えると全体のサイズは2.5~3.5cm角に及び、現在の大規模集積回路における最大サイズ5~6mm角を考えると製作上の難点は勿論のこと、製作に使用するホトマスク^{の製作}もつなぎ合せが必要となる等、素子製作上極めて難しい問題を抱えている。

(3) 発明の目的

(4) 発明の総括説明

本発明の目的は前記光ダイオードの容量をダイオード寸法を大きくすることなく増加させることにあり、ダイオード接合面の上面に基板と同型かつ濃度の高い不純物層を設け、容量の増加を図るよ

うにしたものである。

(5) 実施例

以下、本発明を実施例を参照して詳細に説明する。

第2図は固体撮像素子の構成単位となる本発明の光ダイオードの構造(同図(a))およびその平面パターンを示す図である。13は第1導電型の半導体基板、14は垂直走査回路により開閉するスイッチMOSであり、絶縁酸化膜15を介して設けたゲート電極16と基板と異なる第2導電型不純物で作られた光ダイオード17-1と信号出力線18につながるドレイン17-2によつて構成される。19は光ダイオードの一部に接触させて設けた基板と同じ第1導電型の不純物層である。ここで、不純物層19の不純物濃度は光ダイオード17-1より1桁以上大きくするのがよく、具体的には 10^{17} 個/cm³以上に選ぶのがよい。同図(b)は光ダイオード部のレイアウトパターンを示す図であり、20は第2導電型不純物で作られた前記ダイオード17-1、また、21は第1導電

型不純物で作られた前記不純物層19に相当する。ここで、光ダイオード17-1の濃度は不純物層19の濃度を反転しないように不純物層19より低濃度 $10^{16}\sim 10^{17}$ 個/cm³に選ぶ。本発明による光ダイオードが備える蓄積容量はダイオードの備える接合容量に相当し、ダイオードの不純物濃度が不純物層19の濃度に較べて十分低い場合には、接合容量はダイオードの不純物濃度の1/2乗に比例して増加する。ダイオードが基板との間に形成する接合面積すなわちレイアウトパターン20の面積を S' 、パターン20の備える接合容量を C' 、またパターン20とパターン21の重なり面積を S'' とすれば、本発明の光ダイオードが有する蓄積容量 C は次式で与えられる。

$$C = C' + \frac{S''}{S'} \cdot C' \sqrt{N''/N'} \quad (1)$$

(1)式において、 N' 、 N'' は各々基板およびダイオードの不純物濃度である、(1)式より、本発明の光ダイオードの蓄積容量の増加率 C/C' は次式で与えられる。

$$C/C' = 1 + \frac{S''}{S'} \sqrt{N''/N'} \quad (2)$$

したがって、本発明の光ダイオードにおいては、ダイオードの濃度および重なり面積を適宜選ぶことにより光ダイオードの蓄積容量を所定の値に選ぶことができる。最も一般的に使用される不純物濃度 $N' \approx 10^{18}$ 個/cm³ の基板を用い、ダイオードの濃度 N'' を 10^{17} 個/cm³ に選び、さらに $S'' \approx S'$ に設定した場合には、本発明の光ダイオードの蓄積容量は従来の光ダイオードに比べて11倍に増加することになる。

さらに、不純物層の濃度を大きくすることにより容量の増加を図ることができるが、光ダイオードには通常0～5Vの電圧が印加されることから5V程度の接合耐圧を必要とする。この制約から不純物層19の濃度は高々 10^{18} 個/cm³ に抑えるのがよい。

さらに、本発明の光ダイオードでは一次元あるいは二次元状に配列される光ダイオード間に基板と同型かつ基板より濃度の高い不純物層(19)

(a)。

ホットエッチングによりゲート領域を除く多結晶シリコンの除去を行いゲート電極8-2を形成する。このゲート電極をマスクにしてゲート電極下以外の前記酸化膜15-2を除去し、第2導電型の不純物(例えばボロン原子)を熱拡散あるいはイオン打ち込み法により基板に注入して光ダイオード17-1およびドレイン17-2を形成する光ダイオードおよびドレインの不純物濃度は 10^{17} 個/cm³ 程度に選べばよい。この時、第2導電型の不純物はゲート用多結晶シリコン中にも注入されゲート電極の導電率を高める(同図(b))。

絶縁酸化膜(15-3)、例えばリン原子入りガラス膜をCVD法により形成し、前記不純物層19に相当する領域の酸化膜をホットエッチングにより除去する。続いて第1導電型の不純物(例えばリン原子)を熱拡散あるいはイオン打ち込み法により光ダイオードおよび基板の一部に注入し、 10^{18} 個/cm³ の濃度を有する前記不純物層19を形成する(同図(c))。

が設けられるので、ある光ダイオード領域内で発生した光信号電荷が他の光ダイオードへ拡散することを防止することができる。すなわち、解像力の低下およびブルーミング現象(入射光エネルギーが強い場合に蓄積容量が飽和し、余剰電荷が附近のダイオードへ流れ込む現象)を防止することができる。

本発明の光ダイオードは第3図に示したように従来の固体撮像素子の製作工程に基板と同型の不純物層を形成するための工程を1つ加えることにより簡単に製作することができる。先ず、第1導電型不純物濃度 10^{18} 個/cm³ 程度の半導体基板13上に1μm程度のシリコン絶縁酸化膜15-1を形成し、MOSスイッチを形成する位置に相当する部分の前記酸化膜をホットエッチングにより除去する。この上にゲート用のシリコン酸化膜15-2を例えば熱酸化法により0.1μm程度形成し、続いて、0.3～0.5μm程度の多結晶シリコン8-1をCVD法(Chemical Vapour Depositionの略)により形成する(第3図

最後に絶縁酸化膜15-4、例えばリン原子入りガラス膜をCVD法により蒸着し、ドレイン17-2上の酸化膜をホットエッチングにより除去する。このエッチング孔を通してドレイン領域に再び第2導電型の不純物(例えばボロン原子)を熱拡散あるいはイオン打ち込みにより注入し、ドレイン領域の不純物濃度を $10^{18} \sim 10^{20}$ 個/cm³ に高め、本領域上に導電性材料(例えばアルミニウム)の蒸着を行いホットエッチングにより信号出力用の配線18を形成する。

第4図は本発明による固体撮像素子の構成単位となる光ダイオードの別の実施例である。22はLOCOS法(Local Oxidation of Siliconの略)によつて製作したシリコン酸化膜、23は垂直走査回路により開閉するスイッチMOS Tであり、絶縁酸化膜22を介して設けたゲート電極24と基板と異なる第2導電型不純物で作られた光ダイオード25-1と信号出力線27につながるドレイン25-2によつて構成される。26は光ダイオードの一部に接触させて設け

た基板と同じ第1導電型の不純物層である。本構造においては第2図に示した実施例と同称、従来の光ダイオードに較べて蓄積容量を1桁以上増やすことができる。また、一次元あるいは二次元状に配列される光ダイオード間に基板と同型かつ基板より濃度の高い不純物層26が設けられるのでブルーミング現象を防止することができる。さらに、不純物層26の不純物濃度を適当な値に選ぶことにより、ドレインの作る空乏層が絶縁酸化22に到達するようになれば、ドレイン部に寄生する接合容量を減らすことができる。すなわち信号出力線27に寄生する容量を減らすことができ、本構造の光ダイオードにおいては信号出力の増大および出力の応答時間を減らすことができるという幅次的な利点がある。本効果を得るにはドレインの作る空乏層の広がり是不純物層26の層厚以上あればよく、26の層厚を0.3~1.0μmに選んだ場合は、信号出力線に約5Vの電圧が印加されるとすれば不純物層の不純物濃度は 10^{17} 個/cm³程度に選べばよい。

(6) まとめ

以上、実施例を用いて詳細を説明したように、本発明の固体撮像素子を構成する光ダイオードでは光ダイオードの全面または一部に接触させて基板と同型かつ基板より濃度の高い不純物層を設けることにより信号蓄積容量を従来のダイオードに較べて1桁以上大きくすることができる。したがって、S/N比を低下させることなく光ダイオードの占有面積を1/10以下に減らすことができる。すなわち撮像素子のチップサイズを約1/10に減らすことができ、本発明は絵素の集積度および製作歩留りを著しく向上することができる。さらに、ブルーミング現象の発生を防ぐことができるという副次的な利点等があり本発明の効果は実用上極めて大きい価値がある。

なお、上記の実施例では撮像素子の構成単位としていづれもMOS電界効果トランジスタと光ダイオードの組み合わせを考えたが、本発明の趣旨を逸脱しない範囲でバイポーラトランジスタあるいは接合型電界効果トランジスタとの組み合わせを考

えることができる。

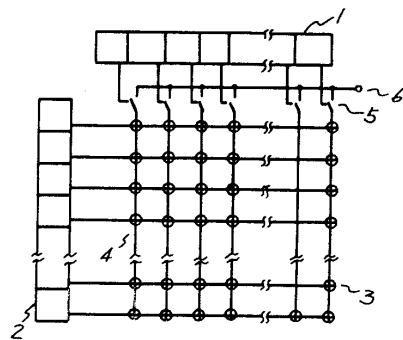
図面の簡単な説明

第1図は従来の固体撮像装置の構成および構成単位となる光ダイオードの構造を示す図、第2図は本発明の固体撮像素子の構成単位となる光ダイオードの構造および平面パターンを示す図、第3図は第2図に記載した構造の光ダイオードを製作する製作工程を示す図、第4図は本発明の固体撮像素子の構成単位となる光ダイオードの別の実施例図である。

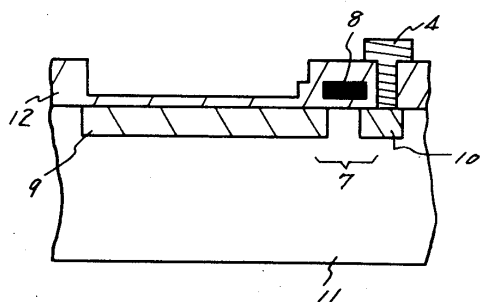
代理人 弁理士 薄田利幸

第 1 図

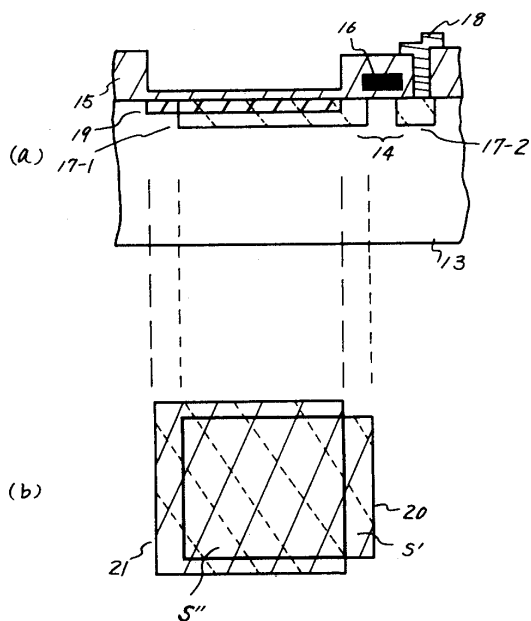
(a)



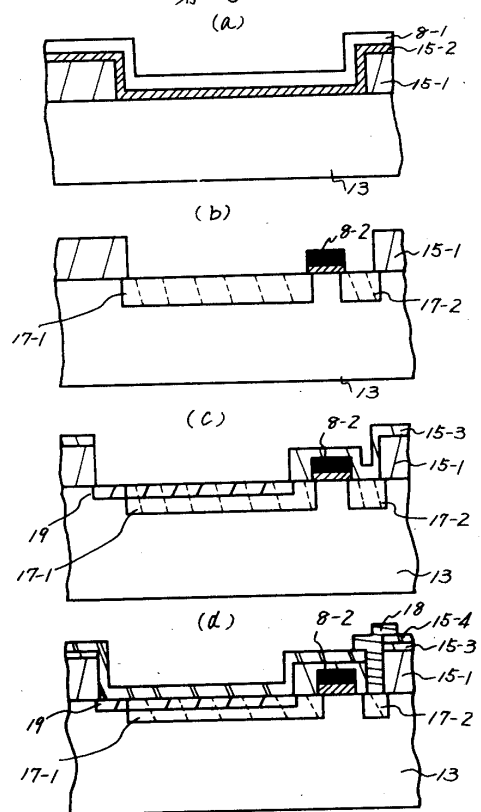
(b)



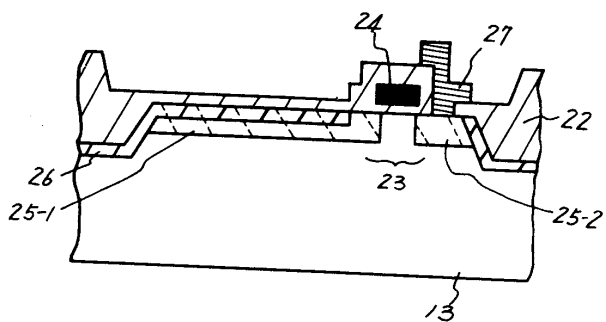
第 2 圖



第 3 圖



第 4 圖



特許法第17条の2の規定による補正の掲載

昭和 52 年特許願第 837 号 (特開昭 53- 86516 号 昭和 53 年 7 月 31 日 発行 公開特許公報 53- 866 号掲載) については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 7 (3)

Int. Cl.	識別記号	序内整理番号
H04N 5/30		6940-5C
H01L 31/00		7021-5F

手 続 補 正 書

昭和 58 12月 28日

特許庁長官 殿
事 件 の 表 示

昭和 52 年 特許願 第 837 号

発 明 の 名 称

固体撮像装置

補 正 を す る 者

事件との関係 特許出願人

名 称 (510)株式会社 日 立 製 作 所

代 理 人

居 所 〒100 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内 電話 東京 212-1111 (大代表)

氏 名 (7237) 弁 理 士 薄 田 利

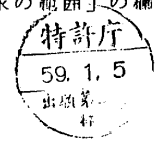


補 正 の 対 象

明細書の「特許請求の範囲」の欄

補 正 の 内 容

別紙の通り



別 紙

特許請求の範囲

- 第1導電型の半導体基板上に基板とは異なる第2導電型不純物層で作られた光ダイオードを一次元あるいは二次元状に複数個配列し、かつ前記ダイオードの光学情報を取り出すための走査回路を集積化した固体撮像装置において、前記光ダイオードの上面および該半導体基板の表面の一部に接触させて基板より濃度の高い第1導電型の不純物層を設けたことを特徴とする固体撮像装置。