

# Pinned Photodiode Must Have the P+ Channel Stops

The real image sensor has the P+NP double junction type dynamic photo transistor on the N type substrate which is the Hagiwara 1975 Invention. See JAP 1975-134985.

Proceeding of the 10<sup>th</sup> Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, Vol 18 (1978) Supplement 18-1, pp.335-340  
 These figures shows (1) Excellent Blue Light Sensitivity (2) Low Surface Dark Current and (3) NO Image Lag Features of the P+NP junction type Pinned Photodiode.

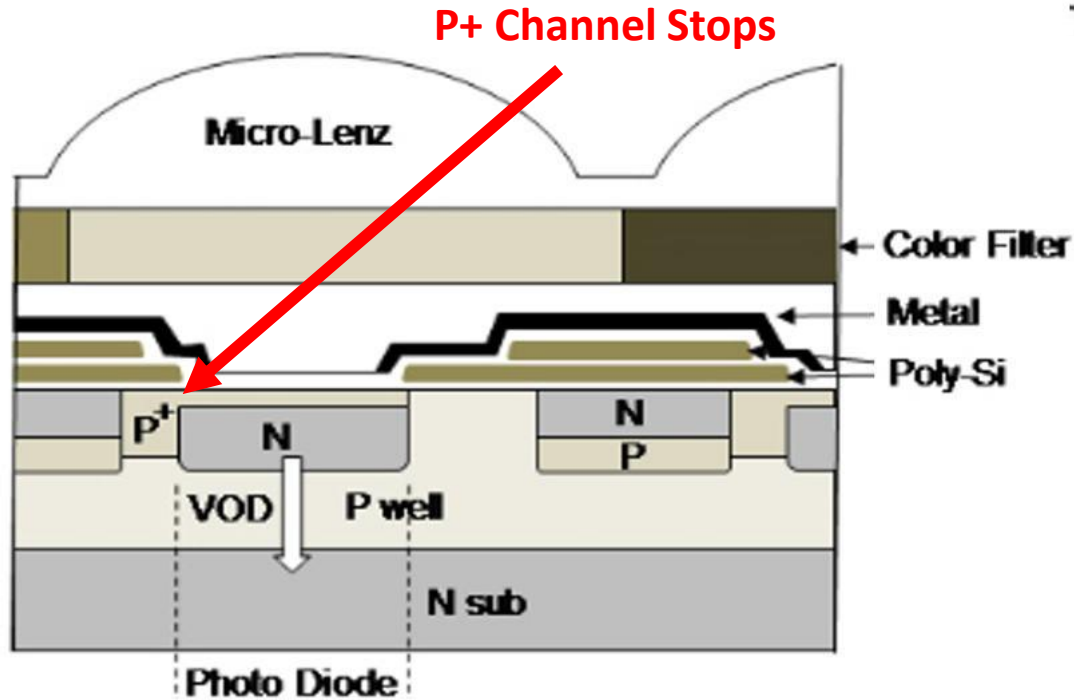


図-1 最新のイメージセンサの受光部断面構造

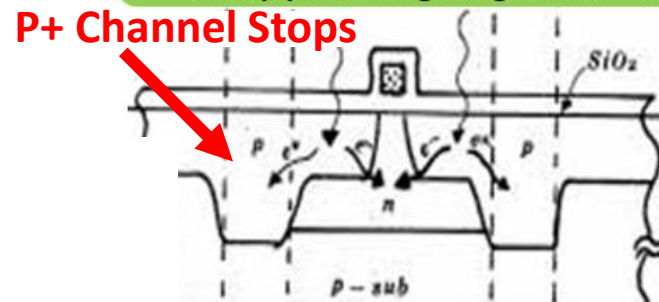


Figure 12 Cross Section of the CCD charge transfer Region with the P+NP junction type Pinned Photodiode (PPD)

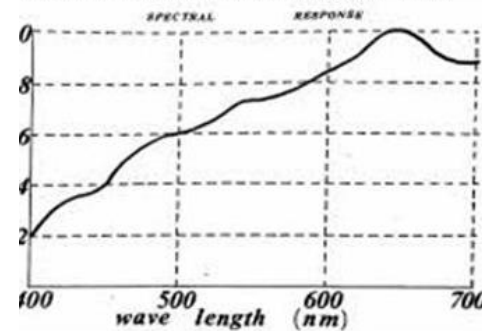


Figure 13 Spectral Response of the P junction Pinned Photodiode (PPD) the excellent blue light sensitivity

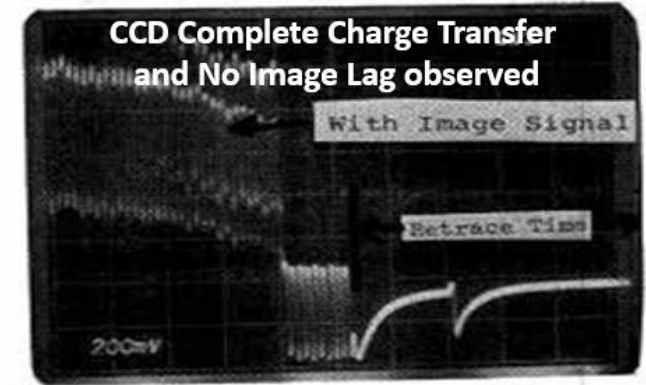
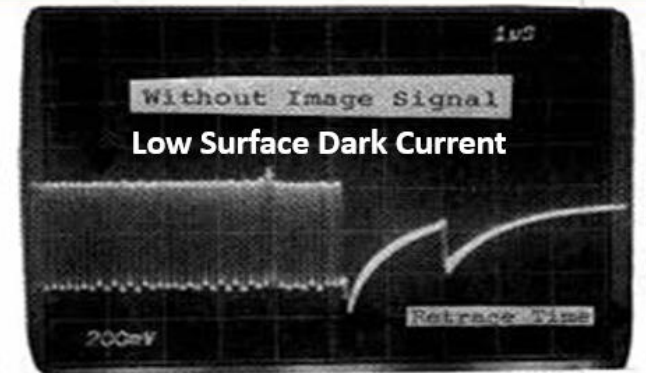


Figure 14 Comparison of CCD image sensor output signals with and without image signal.

最近の PPD には、必ず P+ channel Stops が、表面 P+ Hole Accumulation 層に隣接し、両者くっついています。

# Pinned Photodiode Must Have the P+ Channel Stops <sup>2</sup>

The real image sensor has the P+NP double junction type dynamic photo transistor on the N type substrate which is the Hagiwara 1975 Invention. See JAP 1975-134985.

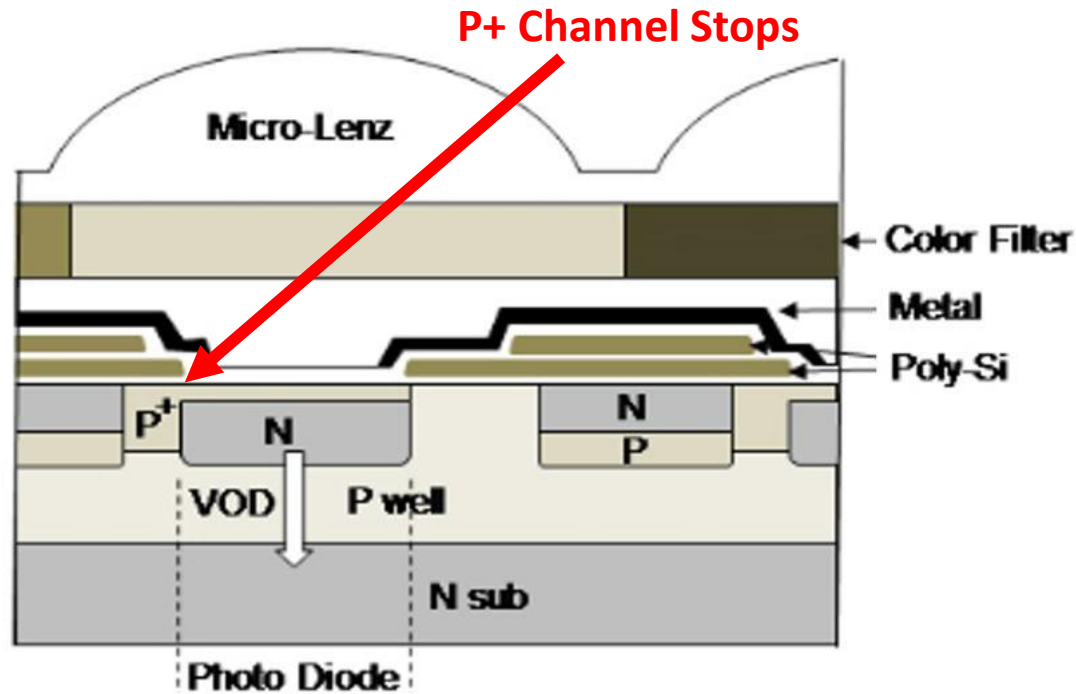
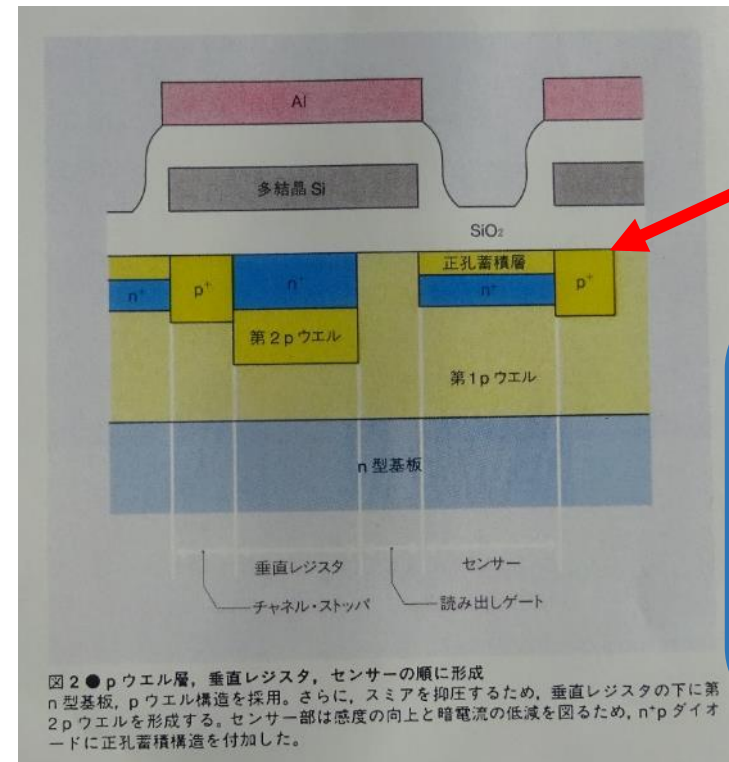


図-1 最新のイメージセンサの受光部断面構造

最低照度5 lxの高感度  
インターライン型 CCD  
基板に余剰電荷を掃き出し、可変電子シャッタを実現



P+ Channel Stops

Sony 1987

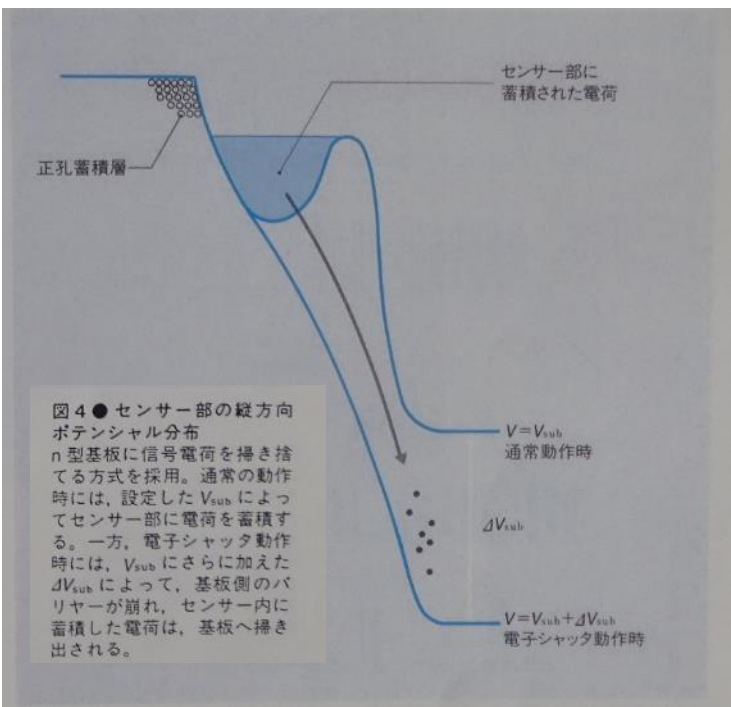
ソニー 半導体事業本部 CCD 事業部  
浜崎 正治  
鈴木 智行  
賀川 能明  
石川 貴久枝  
宮田 克郎  
ソニー 開発セミコンダクタ CCD 製造部  
神戸 秀夫

図2 ● pウエル層、垂直レジスタ、センサーの順に形成  
n型基板、pウエル構造を採用。さらに、スミアを抑圧するため、垂直レジスタの下に第2pウエルを形成する。センサー部は感度の向上と暗電流の低減を図るため、n+pダイオードに正孔蓄積構造を付加した。

最近の PPD には、必ず P+ channel Stops が、表面 P+ Hole Accumulation 層に隣接し、両者くっついています。

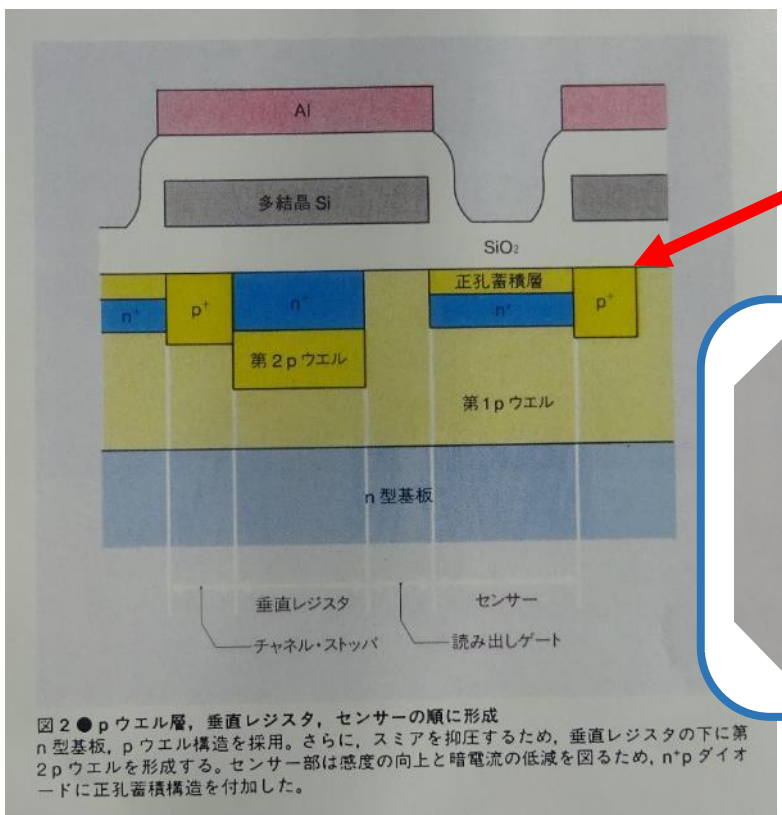
# Pinned Photodiode Must Have the P+ Channel Stops

The real image sensor has the P+NP double junction type dynamic photo transistor on the N type substrate which is the Hagiwara 1975 Invention. See JAP 1975-134985.



Hole Accumulation Diode (HAD) is a PNP junction type dynamic photo transistor on N sub with VOD function, Which is Hagiwara 1975 invention. See JAP 1975-134985

最低照度5 lxの高感度  
 インターライン型 CCD  
 基板に余剰電荷を掃き出し、可変電子シャッターを実現



P+ Channel Stops

Sony 1987 HAD

ソニー 半導体事業本部 CCD 専攻部  
 浜崎 正治  
 鈴木 智行  
 賀川 能明  
 石川 貴久枝  
 宮田 克郎  
 ソニー 開発セミコンデータ部 CCD 製造部  
 神戸 秀夫

図2 ● p ウエル層、垂直レジスタ、センサーの順に形成  
 n型基板、p ウエル構造を採用。さらに、スミアを抑圧するため、垂直レジスタの下に第2pウエルを形成する。センサー部は感度の向上と暗電流の低減を図るため、n+p ダイオードに正孔蓄積構造を付加した。

最近の PPDには、必ず P+ channel Stopsが、表面 P+ Hole Accumulation 層に隣接し、両者くっついています。

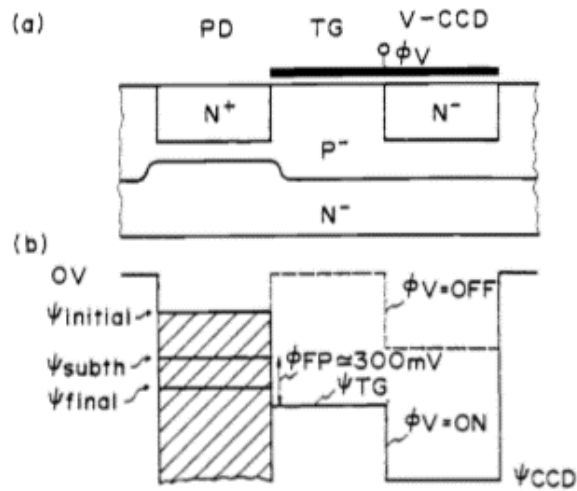
# Pinned Photodiode Must Have the P+ Channel Stops

The real image sensor has the P+NP double junction type dynamic photo transistor on the N type substrate which is the Hagiwara 1975 Invention. See JAP 1975-134985.

## Difference of Buried Photodiode and Pinned Photodiode

- (1) Pinned Photodiode (PPD) is a PNP junction type Buried Photodiode.
- (2) PPD is a Depletion Photodiode, which is a PNP junction Buried Photodiode with the completely depleted buried N charge collecting region when reset.
- (3) PPD is a P+NP junction type Depletion Photodiode with the surface P+ region pinned by the substrate ground potential by the adjacent P+ channel stops which is never to be depleted of majority carrier holes.

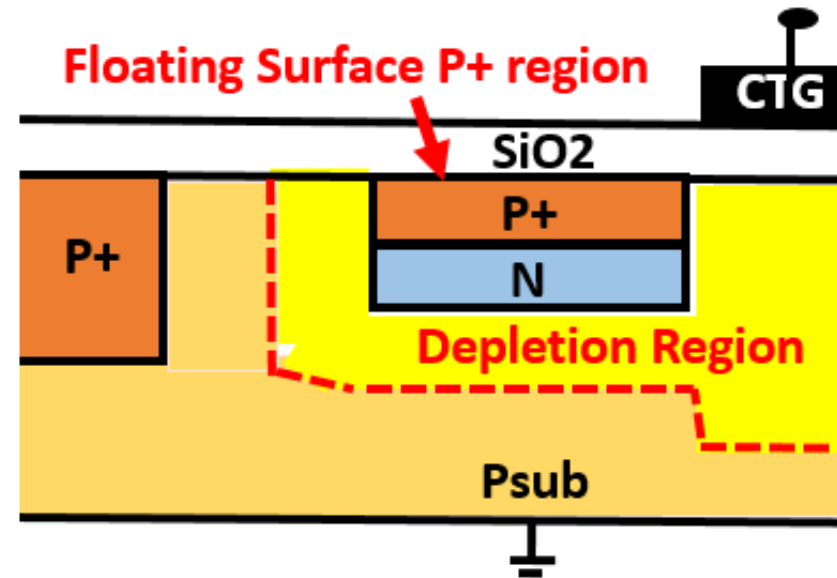
**NEC IEDM1982 Paper did not have the important P+ channel Stops.**



**P- substrate can be depleted .**

Fig.1. Conventional photodiode (a) Unit cell cross sectional view (b) Potential profile

## Buried Photodiode



**Serious Image Lag Problem**

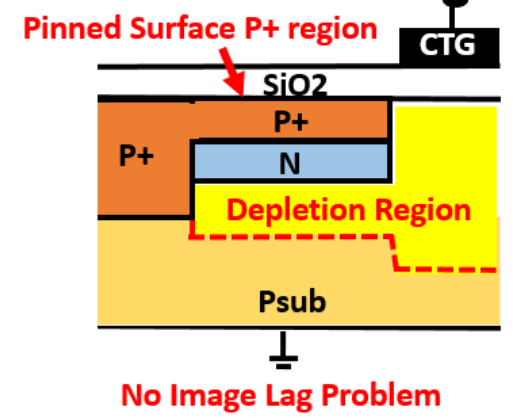
しかし、NECの1982の論文では、P+ channel Stopsが、存在しません。これは Pinned Photodiode ではありません。

# Pinned Photodiode Must Have the P+ Channel Stops

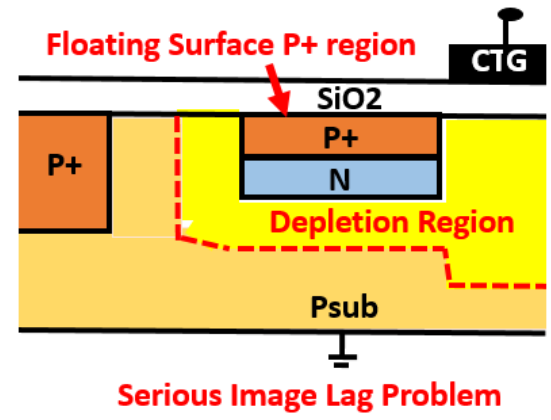
## Difference of Buried Photodiode and Pinned Photodiode

- (1) Pinned Photodiode (PPD) is a PNP junction type Buried Photodiode.
- (2) PPD is a Depletion Photodiode, which is a PNP junction Buried Photodiode with the completely depleted buried N charge collecting region when reset.
- (3) PPD is a P+NP junction type Depletion Photodiode with the surface P+ region pinned by the substrate ground potential by the adjacent P+ channel stops which is never to be depleted of majority carrier holes.
- If there was no P+ channel stops near the surface P+ hole accumulation layer, the surface P+ layer would become floating by the surrounding depletion region created by the capacitor coupling of the buried charge collecting N region and the adjacent charge transfer gate (CTG) oxide capacitance.
- PPD is by necessity Buried Photodiode and Depletion Photodiode. However, Buried Photodiode and Depletion Photodiode are not by necessity PPD.

### Pinned Photodiode



### Buried Photodiode



## See Fig. 6 in details !

NO IMAGE LAG PHOTODIODE STRUCTURE IN THE INTERLINE CCD IMAGE SENSOR

Nobukazu Teranishi, Akiyoshi Kohono, Yasuo Ishihara, Eiji Oda and Kouichi Arai

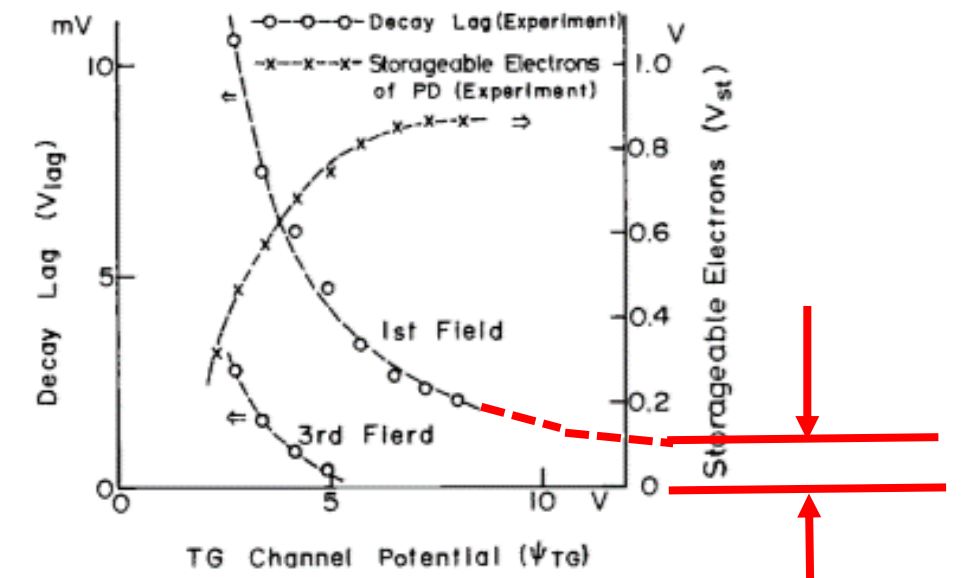


Fig.6. Storageable electrons vs. transfer gate channel potential, and decay lag vs. transfer gate channel potential in the P+NP- structure photodiode

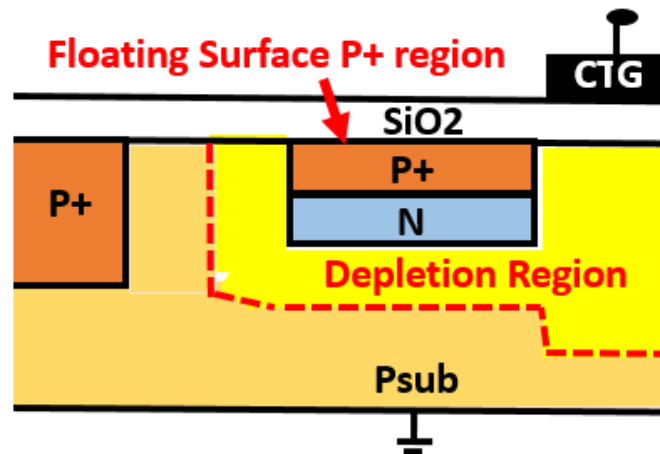
IEDM 82 — 327

NECの1982の論文の図6からの残像が取り切れていません。これは残像のあるデバイスです。

しかし、NECの1982の論文では、P+ channel Stopsが、存在しません。これは Pinned Photodiode ではありません。

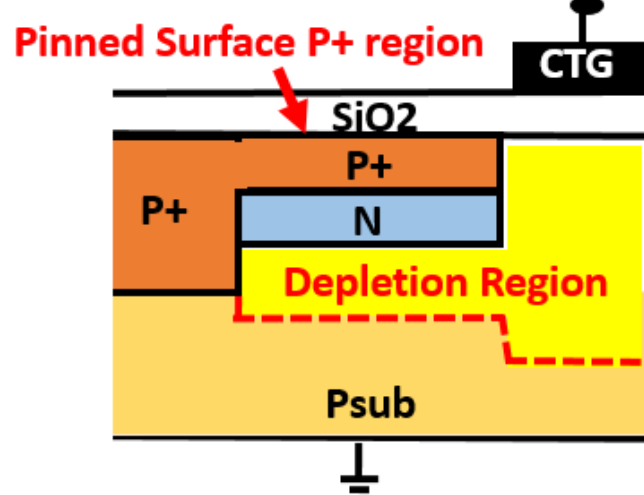
# Pinned Photodiode Must Have the P+ Channel Stops <sup>6</sup>

## Buried Photodiode



Serious Image Lag Problem

## Pinned Photodiode



No Image Lag Problem

隣接するP+にChannel Stopsと直接に接していないと必ず、ある特定の電圧になると、Channel Stops領域と受光部のP+層の間に空乏層が入りこみます。

電氣的に受光部のP+はChannel Stops領域から分離され浮遊状態となります。浮遊状態となると N+P接合型の昔の受光素子と同様に残像が発生します。

SSDM1978の萩原の論文が重要だったのは世界で初めてP+NP接合型受光層の表面のP+のそばには必ずChannel Stops領域があり、それと受光部のP+領域が直接くっついている事です。それにより完全に表面電位がGNDに固定できます。完全にピン止めが実現します。

浜崎さんや神戸さんたちが、1987年に開発したSONYのHADもP+のChannel Stops領域と受光部のP+領域がくっついています。

だからSONYのHADは安定して量産に耐えるものでした。

# Pinned Photodiode Must Have the P+ Channel Stops <sup>7</sup>

## 最低照度5lxの高感度 インターライン型CCD

基板に余剰電荷を掃き出し、可変電子シャッタを実現



P+ Channel Stops

Sony 1987

ソニー 半導体事業本部 CCD 事業部  
浜崎 正治  
鈴木 智行  
賀川 能明  
石川 貴久枝  
宮田 克郎  
ソニー 四分半導体部 CCD 製造部  
神戸 秀夫

図2 ● pウェル層、垂直レジスタ、センサーの順に形成  
n型基板、pウェル構造を採用、さらに、スミアを抑圧するため、垂直レジスタの下に第2pウェルを形成する。センサー部は感度の向上と暗電流の低減を図るため、n+pダイオードに正孔蓄積構造を付加した。

隣接するP+にChannel Stopsと直接に接していないと必ず、ある特定の電圧になると、Channel Stops領域と受光部のP+層の間に空乏層が入りこみます。

電氣的に受光部のP+はChannel Stops領域から分離され浮遊状態となります。浮遊状態となると N+P接合型の大昔の受光素子と同様に残像が発生します。

SSDM1978の萩原の論文が重要だったのは世界で初めてP+NP接合型受光層の表面のP+のそばには必ずChannel Stops領域があり、それと受光部のP+領域が直接くっついている事です。それにより完全に表面電位がGNDに固定できます。完全にピン止めが実現します。

浜崎さんや神戸さんたちが、1987年に開発したSONYのHADもP+のChannel Stops領域と受光部のP+領域がくっついています。

だからSONYのHADは安定して量産に耐えるものでした。

# Pinned Photodiode Must Have the P+ Channel Stops <sup>8</sup>

Proceeding of the 10<sup>th</sup> Conference on Solid State Devices, Tokyo, 1978;  
 Japanese Journal of Applied Physics, Vol 18 (1978) Supplement 18-1, pp.335-340

These figures shows (1) Excellent Blue Light Sensitivity (2) Low Surface Dark Current and (3) NO Image Lag Features of the P+NP junction type Pinned Photodiode.

P+ Channel Stops

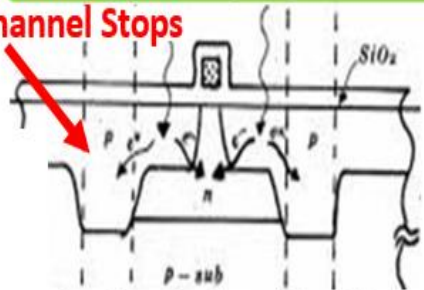


Figure 12 Cross Section of the CCD charge transfer Region with the P+NP junction type Pinned Photodiode (PPD)

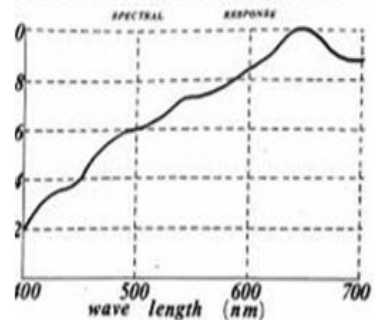


Figure 13 Spectral Response of the P junction Pinned Photodiode (PPD) showing the excellent blue light sensitivity

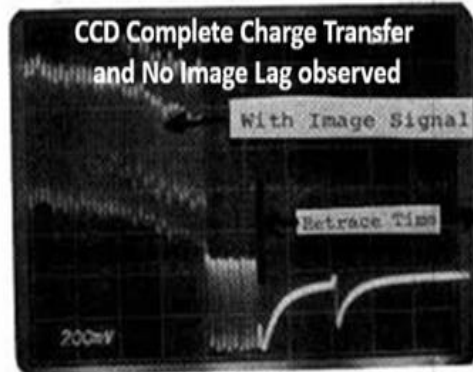
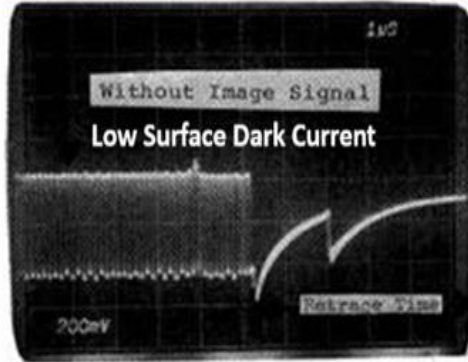


Figure 14 Comparison of CCD image sensor output signals with and without image signal.

\*\*\*\*\*

このP+ Channel Stopsは生産性を安定向上する上で不可欠です。それをSONY(萩原)はいち早く見抜いていたということが、SSDM1978の論文で一番重要です。

\*\*\*\*\*

非常に単純なことです。しかし量産技術の体験を受けてものしかその発想はありません。

単純にNECの実験経験のない研究者には考えもつかないことだったと思います。

TEST TEG ぐらいなら まわりに Channel Stops を入れなくても動作するからです。でも L の長さが 6.6 mm もあると動作しません。そんな TEST TEG はだれも作製しなかったでしょう？

\*\*\*\*\*



# Pinned Photodiode Must Have the P+ Channel Stops <sup>9</sup>

Proceeding of the 10<sup>th</sup> Conference on Solid State Devices, Tokyo, 1978;  
 Japanese Journal of Applied Physics, Vol 18 (1978) Supplement 18-1, pp.335-340

These figures shows (1) Excellent Blue Light Sensitivity (2) Low Surface Dark Current and (3) NO Image Lag Features of the P+NP junction type Pinned Photodiode.

P+ Channel Stops

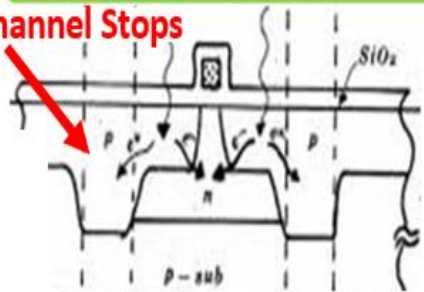


Figure 12 Cross Section of the CCD charge transfer Region with the P+NP junction type Pinned Photodiode (PPD)

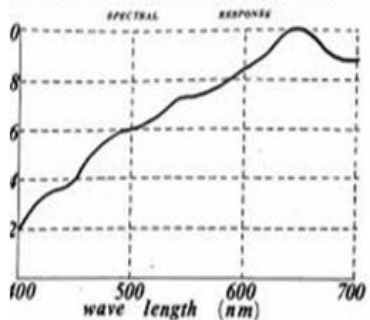


Figure 13 Spectral Response of the P junction Pinned Photodiode (PPD) showing the excellent blue light sensitivity

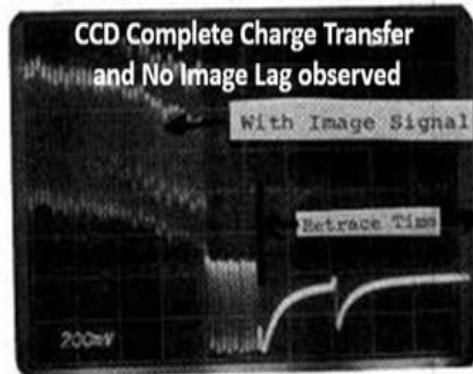
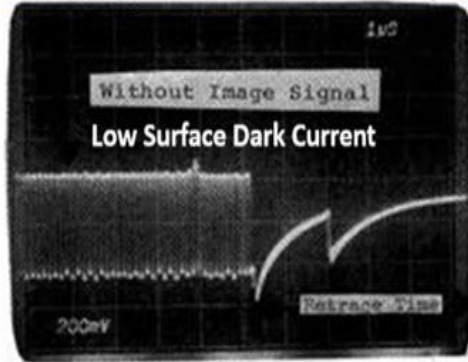


Figure 14 Comparison of CCD image sensor output signals with and without image signal.

\*\*\*\*\*

隣接するP+のChannel Stopsと 受光部のP+層がくっついて  
 いる事により、本当のピン止めされた Pinned Photodiode が  
 完成します。

NECのIEDM1982の論文も KODAKのIEDM1984の論文も  
 実は 本当の意味でのPinned Photodiodeではありません。

受光部のP+ のそばには P+ channel Stops 領域がありません。

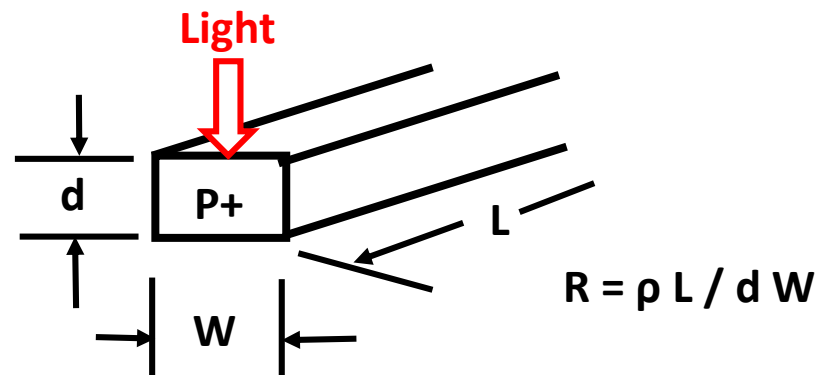
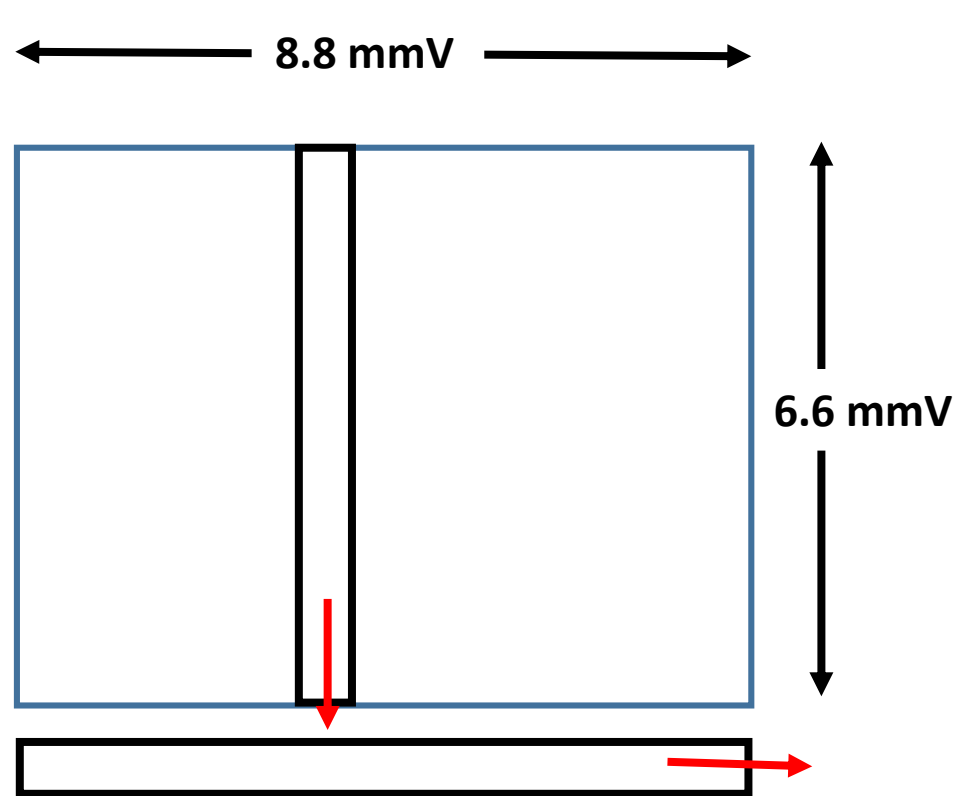
\*\*\*\*\*

受光部のP+層のとなりにはChannel Stops 領域がなく、  
 P-の基板となり、その領域は空乏化が可能です。

その点をKODAKもNECも理解していなかったと思います。

\*\*\*\*\*

# Pinned Photodiode Must Have the P+ Channel Stops <sup>10</sup>



\*\*\*\*\*

横側には垂直CCD転送領域があります。

受光部のP+層はChipの上部でコンタクト接地は可能です。  
その長さは 当時は 2/3 inch 光学系として 8.8 mmH x 6.6 mmV  
の画格として、L= 6.6 mm となります。

\*\*\*\*\*

このP+層の抵抗率 $\rho$  は ( Ohm $\cdot$ cm )です。  
その抵抗値は  $R = \rho L / (W \cdot d)$  となります。  
dは P+層の深さです。

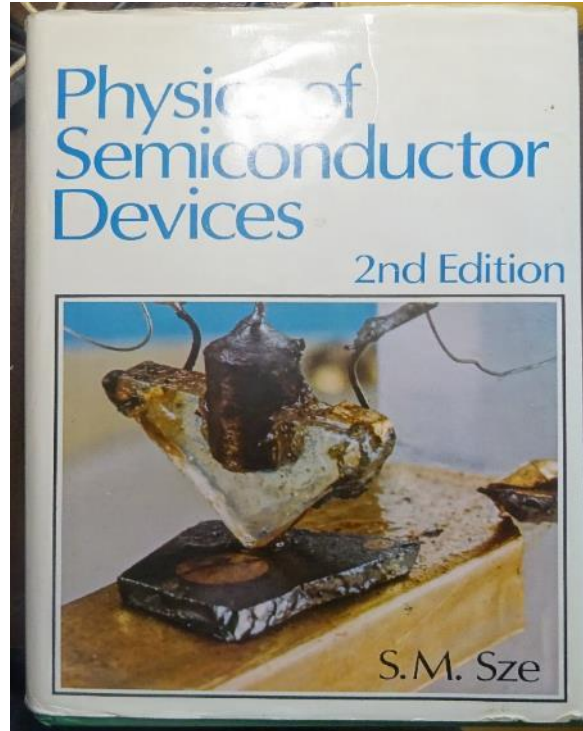
Wはその幅で L はその長さです。

青色光がシリコン結晶を透過できる深さは $d = 0.2 \mu\text{m}$ です。  
P+の深さを  $d = 0.2 \mu\text{m}$ としますと、すなわち、  
この深さで濃度は基板濃度ぐらいになるとします。

\*\*\*\*\*

# Pinned Photodiode Must Have the P+ Channel Stops 11

\*\*\*\*\*



P+のDOSE量は SSDM1978の萩原の論文で発表していますが

Qd = 2 x 10 の13 乗 per cm の2乗です。

d = 0.2μm = 0.0000002 m = 0.00002 cm ですので、濃度Ndは

Nd = Qd / d = (2 x 10の13乗) / (2 x 10の-5乗) per cm の3乗

になります。すなわち、Nd = 10の18乗 per cm の3乗となります。

\*\*\*\*\*

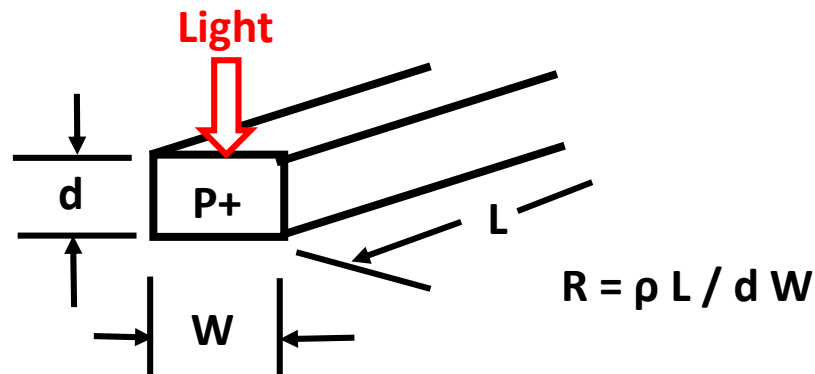
Szeの本「Physics of Semiconductor Devices 2<sup>nd</sup> Edition」のP.32の

図21から その抵抗率ρ約 0.01 ohm·cm = 100 ohm·μm です。

$$\rho = 0.01 \text{ ohm} \cdot \text{cm} = 100 \text{ ohm} \cdot \mu\text{m}$$

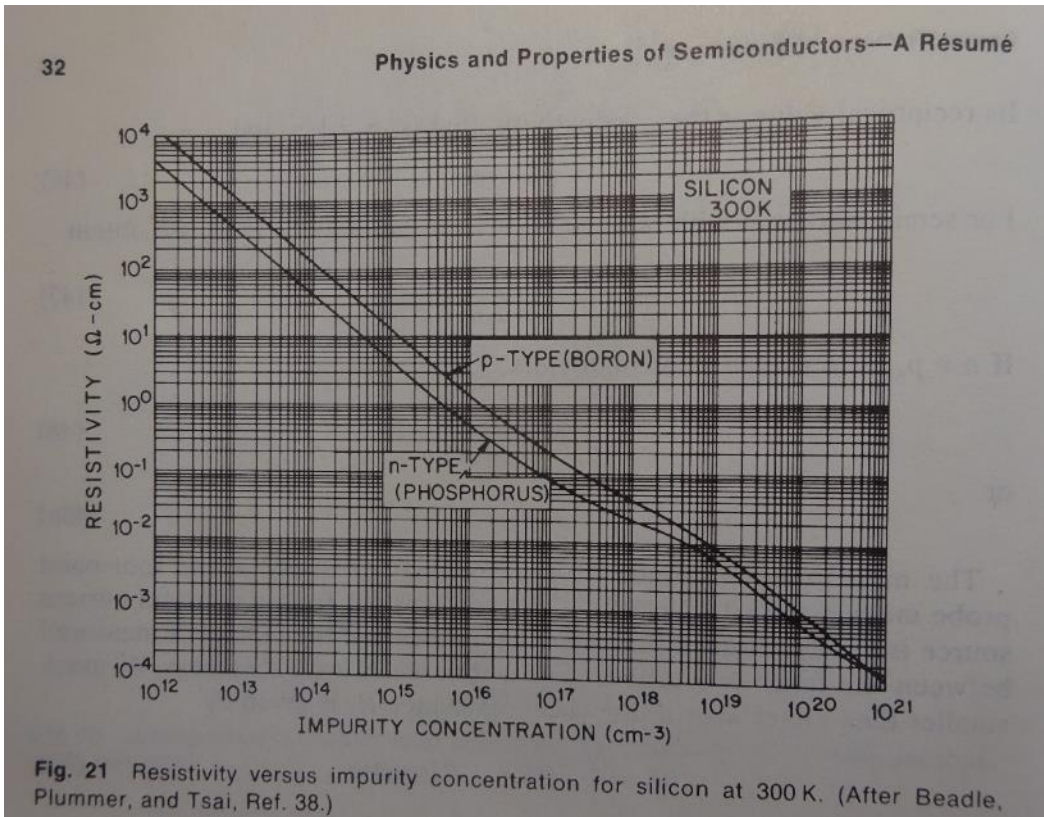
$$L = 6.6 \text{ mm} = 66000 \mu\text{m}$$

\*\*\*\*\*



# Pinned Photodiode Must Have the P+ Channel Stops 12

\*\*\*\*\*



P+のDOSE量は SSDM1978の萩原の論文で発表していますが  
 $Q_d = 2 \times 10^{13}$  乗 per cm の2乗です。

$d = 0.2 \mu\text{m} = 0.0000002 \text{ m} = 0.00002 \text{ cm}$  ですので、濃度Ndは  
 $N_d = Q_d / d = (2 \times 10^{13} \text{ 乗}) / (2 \times 10^{-5} \text{ 乗})$  per cm の3乗  
 になります。すなわち、 $N_d = 10^{18}$  乗 per cm の3乗となります。

\*\*\*\*\*

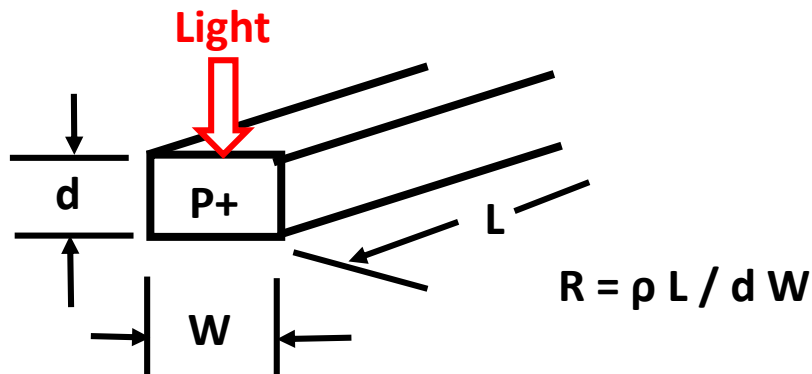
Szeの本「Physics of Semiconductor Devices 2<sup>nd</sup> Edition」のP.32の

図21から その抵抗率 $\rho$ 約  $0.01 \text{ ohm} \cdot \text{cm} = 100 \text{ ohm} \cdot \mu\text{m}$  です。

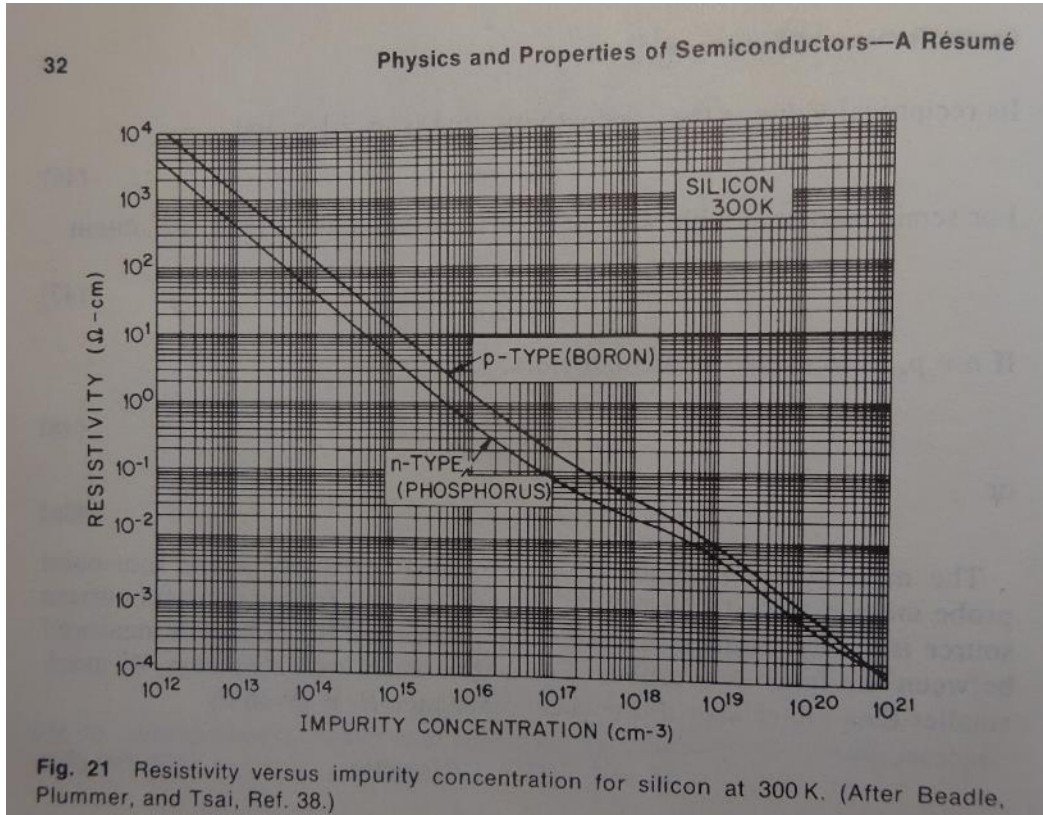
$$\rho = 0.01 \text{ ohm} \cdot \text{cm} = 100 \text{ ohm} \cdot \mu\text{m}$$

$$L = 6.6 \text{ mm} = 66000 \mu\text{m}$$

\*\*\*\*\*



# Pinned Photodiode Must Have the P+ Channel Stops 13



\*\*\*\*\*:

酸化膜の誘電率は  $\epsilon = 216 \text{ e / volt} \cdot \mu\text{m}$  です。

酸化膜厚を  $X_0$  とします。

$X_0 = 0.1 \mu\text{m}$  とします。

\*\*\*\*\*:

容量  $C$  は  $C = \epsilon L W / X_0$  となります。

$$C = (W) (216 \text{ e/volt} \cdot \mu\text{m}) (66000 \mu\text{m}) / (0.1 \mu\text{m})$$

$$R = \rho L / (W \cdot d) = (100 \text{ ohm} \cdot \mu\text{m}) (66000 \mu\text{m}) / (0.2 \mu\text{m}) / (W)$$

$$RC = (\epsilon L W / X_0) (\rho L) / (W \cdot d) = \epsilon \rho L^2 / X_0 d$$

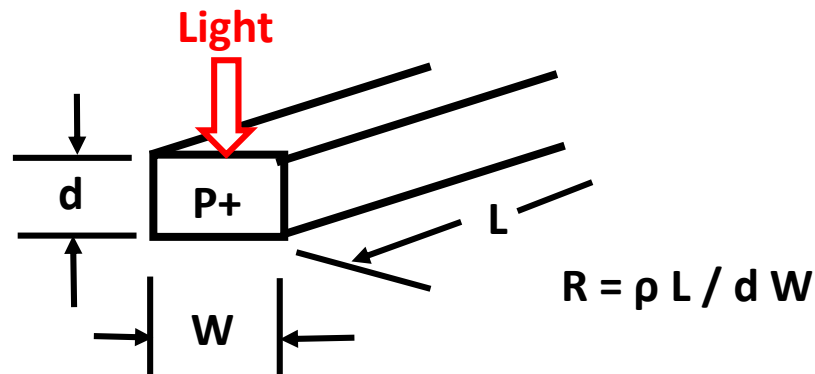
$$RC = (216) (100) (66000) (66000) / (0.1) (0.2) (\text{ohm} \cdot \text{e / volt})$$

$$RC = 4.70448 \times 10^{15} \text{ (ohm} \cdot \text{e / volt)}$$

$$e = 1.6 \times 10^{-19} \text{ coulomb}$$

$$T = RC = 0.7527168 \text{ msec となります。}$$

\*\*\*\*\*



# Pinned Photodiode Must Have the P+ Channel Stops <sup>14</sup>

See Fig. 6 in details !

NO IMAGE LAG PHOTODIODE STRUCTURE IN THE INTERLINE CCD IMAGE SENSOR

Nobukazu Teranishi, Akiyoshi Kohono, Yasuo Ishihara, Eiji Oda and Kouichi Arai

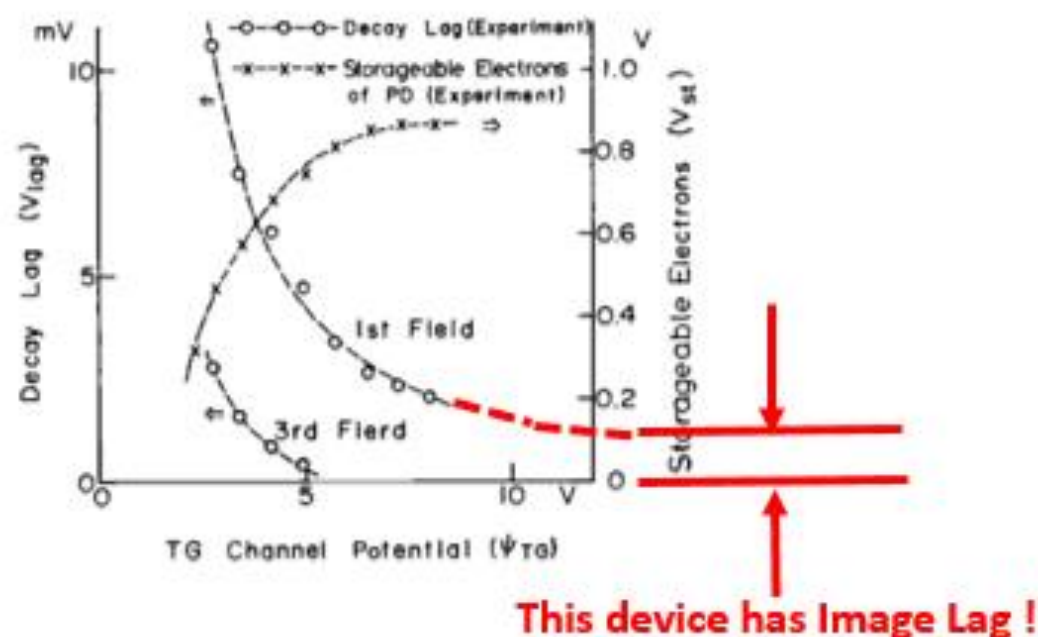


Fig.6. Storageable electrons vs. transfer gate channel potential, and decay lag vs. transfer gate channel potential in the P+NP+ structure photodiode

IEDM 82 - 327

\*\*\*\*\*

One frame の時間は  $1/60 \text{ sec} = 16.7 \text{ msec}$  となります。

ILT CCD の場合、当時は V-reg の CLOCK は

$16.7 / 500 = 0.03 \text{ msec}$  CLOCK 周期です。

明らかに  $T = RC = 0.7.527168 \text{ msec}$  より短いです。

従って、受光部の P+そばに Channel Stops を設けないと表面の P+層は Floating となります。

\*\*\*\*\*

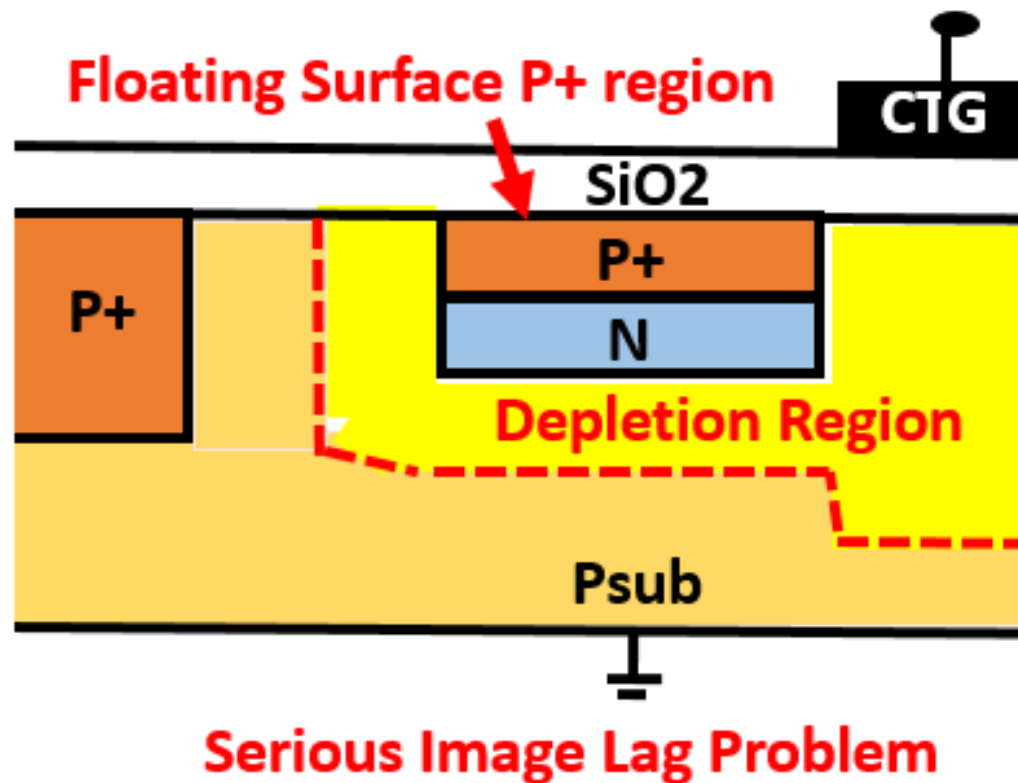
事実 IEDM1982 の NEC の論文では CTG の電圧振幅を大きくすると残像量が減るが完全には減っていません。

残像が残ります。

# Pinned Photodiode Must Have the P+ Channel Stops <sup>15</sup>

残像が残ります。

## Buried Photodiode



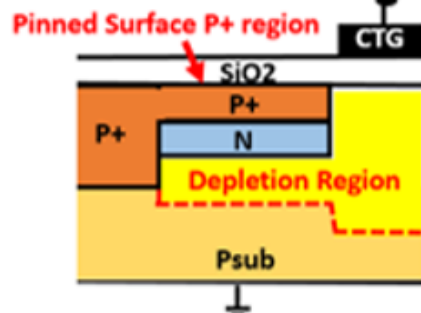
そして NECの IEDM1982の論文も KODAKの 1984の論文も 表面の P+層のそばには P+ channel stops 領域がなく、動作が不安定であると萩原は主張したいです。その証拠に現在の Pinned Photodiodeの表面 P+は必ずそばに P+ Channel Stops 層があります。

なくてはならないから、あるのです。

チャンネル STOP 領域に HOLE ACCUMULATION P+層は直接くっつける必要があります。その間に薄い濃度の P 基板領域があるとそこは空乏化し 表面 P+層は FLOATING に必ずなり、残像がでます。これは大発見です。。。

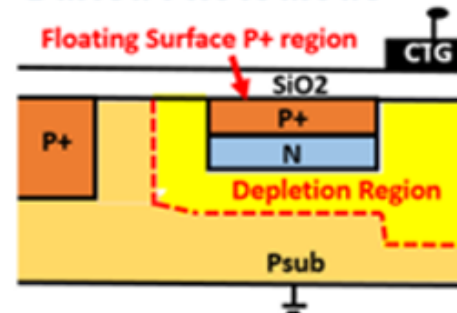
Pinned Photodiode は、必ず Buried Photodiode ですが、逆は成り立ちません。  
 つまり、Buried Photodiodeは、必ずしも、Pinned Photodiodeとは限りません。  
 Pinned Photodiode は、必ず P+ Channel Stopsと隣接し導通する必要がある。

Pinned Photodiode



No Image Lag Problem

Buried Photodiode



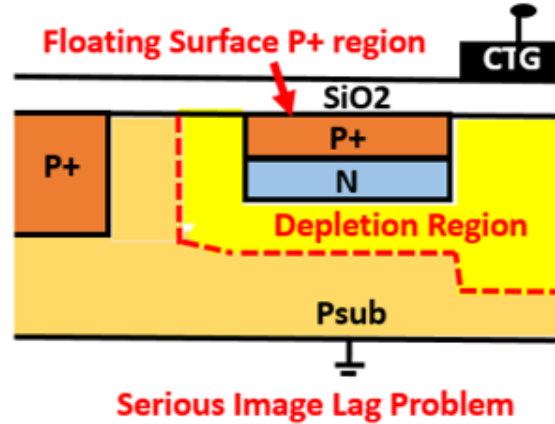
Serious Image Lag Problem

- IEDM1982とIEDM1984の論文では、P+ Channel Stops が絵素に存在しません。
- 一方萩原のSSDM1978の論文では、P+ Channel Stops が隣接存在しています。これは世界初のP+ Channel Stops を各絵素に形成したPNP接合型受光素子です。P+ Channel Stopsの定義は、完全空乏化しない、ピン止めされた、接地領域です。
- Pinned Photodiodeが正常に動作する為には、必ず、Pinned Photodiodeの受光素子の表面のP+層は、隣接する、P+ Channel Stops と直接導通する必要があります。受光部の表面のP+(Hole Accumulation層)はChipの周辺でP+の金属コンタクトで接地電圧に固定する事は可能ですが、その場合でも、長さLが7mmから10mmと長くなり、P+層は高い抵抗値Rを持つストライプとなり、そのRC遅延時間は無視できません。結果として表面P+層は浮遊状態となります。



Pinned Photodiode は、必ず Buried Photodiode ですが、逆は成り立ちません。  
 つまり、Buried Photodiode は、必ずしも、Pinned Photodiode とは限りません。  
 Pinned Photodiode は、必ず P+ Channel Stops と隣接し導通する必要がある。

### Buried Photodiode



### NEC IEDM1982 Paper

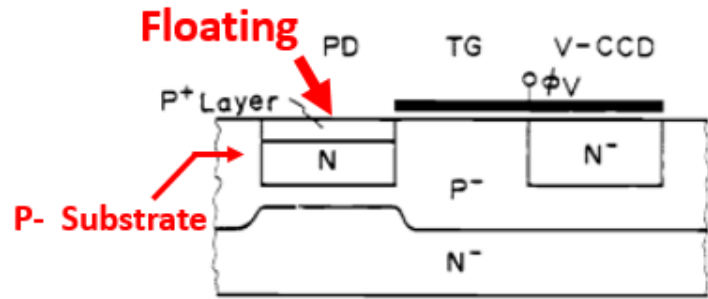
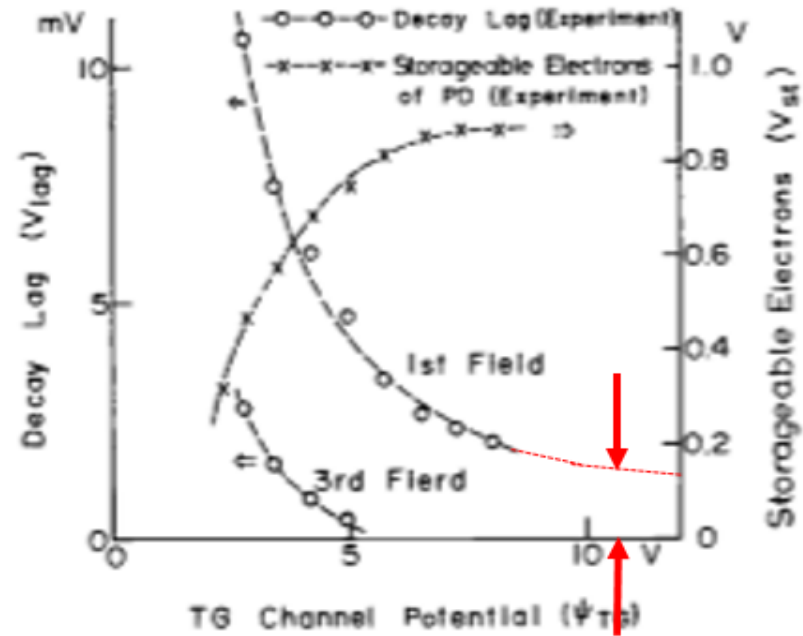


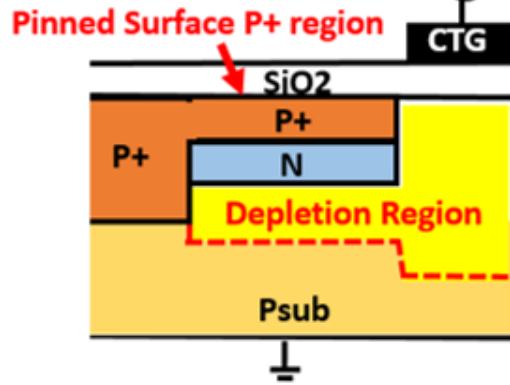
Fig.5. P+NP- structure photodiode  
 (a) Unit cell cross sectional view



There is still image lag at the CTD gate voltage more than 10 volt.

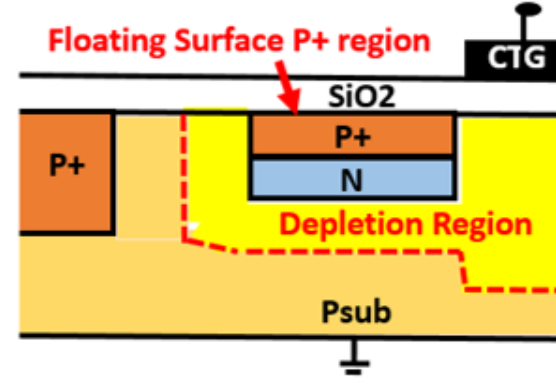
Fig.6. Storageable electrons vs. transfer gate channel potential, and decay lag vs. transfer gate channel potential in the P+NP- structure photodiode

### Pinned Photodiode

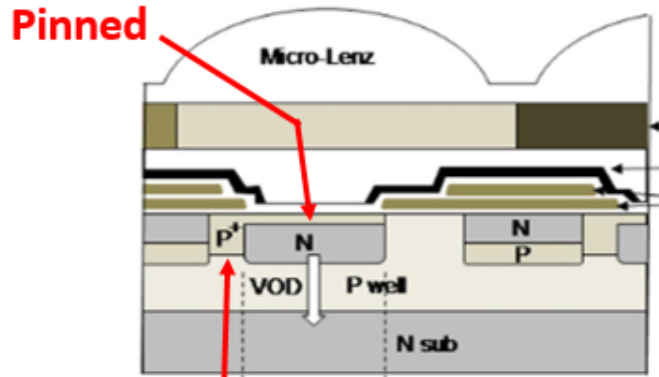


No Image Lag Problem

### Buried Photodiode



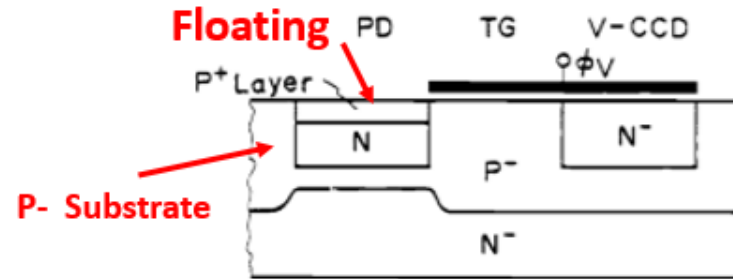
Serious Image Lag Problem



P+ Channel Stops

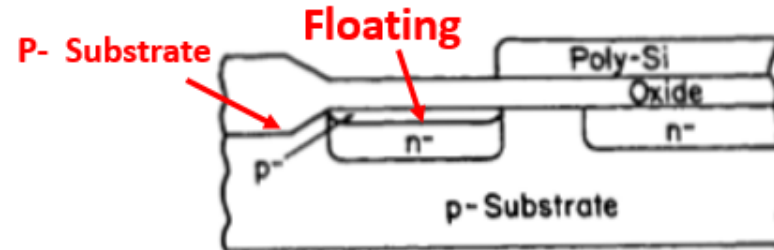
SONY SSDM1978 Paper

### NEC IEDM1982 Paper

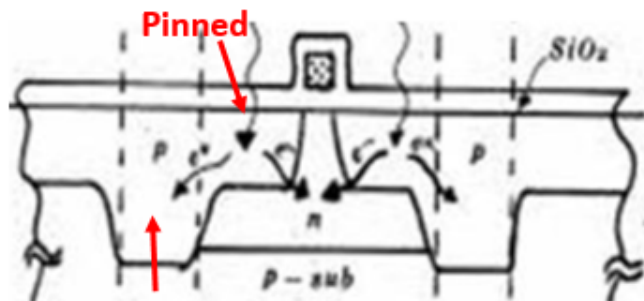


No P+ Channel Stops

### KODAK IEDM1984 Paper



No P+ Channel Stops

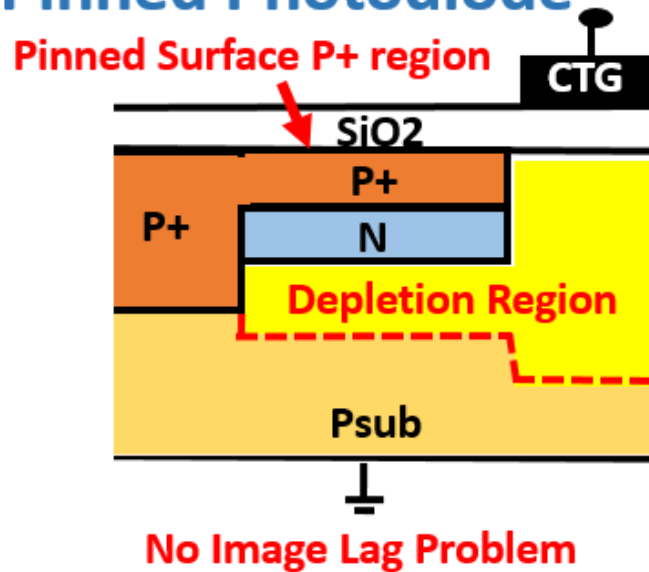


P+ Channel Stops

## Difference of Buried Photodiode and Pinned Photodiode

- (1) Pinned Photodiode (PPD) is a PNP junction type Buried Photodiode.
  - (2) PPD is a Depletion Photodiode, which is a PNP junction Buried Photodiode with the completely depleted buried N charge collecting region when reset.
  - (3) PPD is a P+NP junction type Depletion Photodiode with the surface P+ region pinned by the substrate ground potential by the adjacent P+ channel stops which is never to be depleted of majority carrier holes.
- If there was no P+ channel stops near the surface P+ hole accumulation layer, the surface P+ layer would become floating by the surrounding depletion region created by the capacitor coupling of the buried charge collecting N region and the adjacent charge transfer gate (CTG) oxide capacitance.
  - PPD is by necessity Buried Photodiode and Depletion Photodiode. However, Buried Photodiode and Depletion Photodiode are not by necessity PPD.

### Pinned Photodiode



### Buried Photodiode

