

**SONY-Fairchild Patent War (1991-2000) on Pinned Photo Diode with Vertical OFD**

電子機器の基幹部品であるCCD  
荷役素子（CCD）の特許侵  
害訴訟を審理していた米ニー  
ヨーク西部地裁は、ソニー（社  
長出井伸之氏）を訴えていた米  
ローレル・フェアチャイルド社  
の主張を退け、ソニー勝訴の判  
決を下した。同訴訟はソニーが  
特許を侵害しているとの賠償  
判決が二月に出たが、ソニ  
ーが逆転勝訴した。フェアチャ  
イルドは日立製作所、東芝など  
日韓の大手電機メーカー二十社  
以上を同様の理由で訴えてお  
り、ソニーの勝訴は他社の審理  
にも影響を与えかねない。

**From Japanese News Paper, July 16, 1996.**

1996年7月 日刊工業新聞記事から  
(2000年1月米国最高裁で最終決着ソニー勝訴)  
**In January 2000, the US supreme court made the final judgement favoring Sony claims. And the long SONY-Fairchild Patent War on the PDD with the built-in vertical overflow drain (VOD) ended.**

CCD特許侵害訴訟 日刊 7/16

ソニー、逆転勝訴

NY東部地裁

東部地裁は「ソニー製のCCDはローレル・フェアチャイルド社の三件の特許を侵害しない」との判決を下し、賠償金の請求を退却した。フェアチャイルドは控訴するかどうかの態度をまだ表明していない。

CCDはカメラ一体型VTRやパソコンなどの電子機器に使われる光学部品で「電子の目」と呼ばれる基幹部品。フェアチャイルドは自社が保有するCCDの製造プロセスを保護する三件の特許を擁護しているとして九月、ソニーのほか日立、東芝、仲研電工業、松下など日韓の大手各社を訴えていた。ソニーは「当社のCCDはフェアチャイルドの特許とは異なる製造プロセスを採用している」と主張していたが、その主張が認められなかった。

またフェアチャイルドが控訴すれば、裁判が長期化する可能性も残っている。

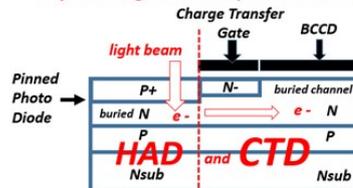
SONY 本社の大賀会長と出井社長が注目する中、1991年から2001年まで、Loral 社と SONY との特許戦争において、1975年萩原発明の、受光面がピン留め固定された P+NPN 接 Triple 接合型の HAD センサー（VOD 機付きの Pinned Photodiode）を、自己の発明でもあり、原良昭は半導体技術企画室の Staff とし守り通した。

**米国 Fairchild 社と SONY との特許戦争(1991-2000)の真相**

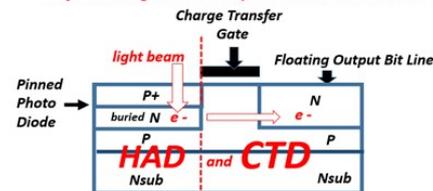


萩原が1975年発明した Pinned Photo Diode は、米国 Fairchild 社との特許戦争(1991-2000)に勝利し、また NEC 社との特許戦争にも勝利し、SONY 社内での評価も確立し、やっと萩原は特許褒賞を受けた。

Case(1) Hagiwara Diode 1975 (Sony HAD) Application with a Charge Transfer Device (a CCD type CTD case) defined in Hagiwara 1975 Japanese Patent 58-1215101



Case(2) Hagiwara Diode 1975 (Sony HAD) Application with a Charge Transfer Device (a CMOS type CTD case) defined in Hagiwara 1975 Japanese Patent 58-1215101

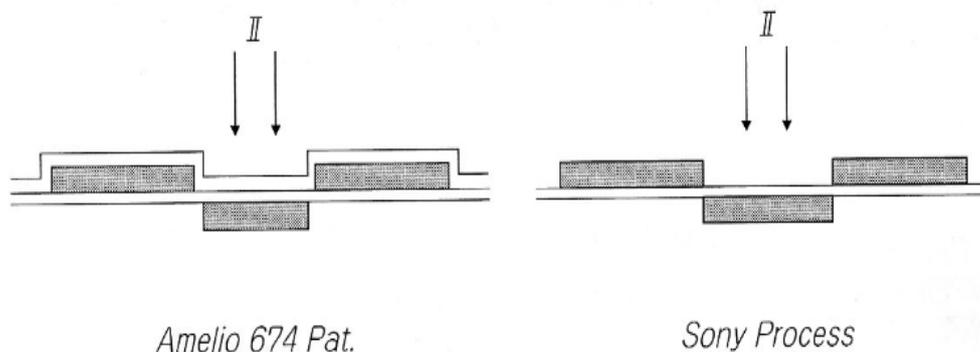


See Hagiwara Japanese Patent Application ( 50-134985, 1975 )



従来 Intel 社などが、Polysilicon Gate をマスクにする、Source, Drain への自己整合のイオン打ち込み技術を用いていた。Ion Implanted Barrier Buried Channel CCD の製法は、これを CCD に応用して転送方向付けを行うのに必要な、Barrier を形成するものである。

Loral 社の USP3931674 特許 (Amelio 特許、1976 年 1 月 13 日出願) と SONY のプロセスの相違点はイオン打ち込みをするシリコン表面形成のプロセスの製法順番による CCD 電極酸化膜の構造上の大きな違いにあった。



SONY のプロセスでは、第 1 電極を形成後、第 1 電極を酸化することなく、そのままの第 1 電極パターンが露出している。シリコン表面の露出部の酸化膜を Light Etching されたおり、完成後の第 2 電極下の酸化膜は 30Å から 60Å と薄くなる。もう一方の第 1 電極下のもの約 90Å のままとしていたことが大きな相違点となった。実際に TEM 写真と提示し、SONY の当時の社外秘の KNOWHOW だったが裁判において説明した。

更に、Ion Implanted Barrier Buried Channel CCD の製造方法は、1973 年 12 月に米国 Hughes Aircraft Company の Dr. S. C. Su のチームにより既に学会発表されている事が判明され、Loral 社の起訴は却下された。

D.M. Erb, W. Kotycka, S.C. Su, C. Wang and G. Clough, "An overlapped Electrode Buried Channel CCD", IEDM1973, Dec 3-5, 1973.

またもう一方の 2 件目の Loral 社の USP3896485 特許 (Early 特許、1975 年 7 月 22 日出願) は、「シリコン受光面の表面基板側に過剰電荷を吐き出す OFD 構造で受光素子は CCD/MOS 電極容量型の受光素子」であった。

SONY の OFD 機能付き PPD 受光素子 (HAD) の JPA1975-124985 特許 (1975 年 11 月 10 日出願) に基づく SONY の HAD 構造の受光素子構造は基本的に、「受光面と反対の基板の裏面に過剰電荷を吐き出す構造であり、受光素子も CCD/MOS 容量型ではない構造」であると裁判に立った SONY 側の弁護士に要請により裁判所が召喚した US Davis の教授の Prof. Bob Bower は説明証言をした。

その違いは簡単に理解されて、侵害しないことが認められ、SONY が勝訴した。1996 年のことである。

イメージセンサーの開発における事実に基づく歴史認識の事項として重要なご指摘だと理解しております。それに対して長文になりますが補足悦明させていただきます。

下記長文の結論を以下に記載します。

萩原良昭

++++++++  
結論として NEC の寺西さんは PPD を発明も開発もしていません。彼は埋め込み Photodiode を ILT 方式の CCD Image Sensor に世界で初めて採用したことが最大の功績です。しかし開発は一人で実現できる仕事ではありません。また、正確には、PPD の発明も開発もしていません。

残像特性の特性があるべきであると詳細な説明を理論式を提示して IEDM1982 の論文で発表し素人さんにわかりやすく説明して評価されました。

教材として非常に意義のある論文です。多くの方が読み学習しました。SONY の技術者も学習しました。しかし発明者ではありません。あくまで教育者です。

++++++++

川名さんも「pinned photodiode ではありません。」と下記のように、書いていただき、断定されています。

萩原のイメージセンサーにおける事実証拠に基づく歴史見解の結論をサポートしていただいております。

次ページ参照：

もと SONY 中央研究所の副所長を歴任されておられ SONY の半導体プロセス、特に Bipolar Process 技術の開発研究の第 1 人者である川名喜之様から以下のようなコメントをいただきました。

>次に(IEDM1982 で)寺西さんは P+NP 接合のフォトダイオードを採用し、  
>残像が減ったと報告しています。

>この P+NP ダイオードは論文を見る限り、  
>pinned photodiode ではありません。

>N+P ダイオードは pinned に出来ません。  
>その延長で P+NP ダイオードもこの論文では  
>pinned になっていないのではと思います。

>一方ソニーは 1975 年当時から MOS トランジスタを  
>photo-sensor として使っていたので  
>初めから pinned でした。

>こういう違いもあるのかなと思いました。

>川名喜之

はい、CCD 型受光素子は完全に Pinned 構造型の受光素子です。

また 1982 年当時はまだ NEC はピン留めの概念を理解していません。  
「P+NP 構造でありさえすれば残像はなくなる」と誤解していました。

実際は IEDM1982 の論文の論文では P+NP 構造でありながら残像を  
正直にあると NEC は DATA を明示していますが、その原因を理解  
していなかったようです。表面の P+が完全固定電位にピン留めされ  
る必要があるという条件が理解されていなかったと推察します。

埋め込みチャンネル型の CCD の埋め込みチャンネルの電位は、金属電極と  
基板の電位の両端で外部電圧端子により、電圧固定すなわちピン留め  
されています。

それで完全空乏化した埋め込みチャンネルの電位も一定値に固定と  
なります。ピン留めされ電位が決定され、固定されています。

固定され浮遊状態にはありません。だから完全電荷転送が可能です。

CCD には残像がありません。

この事実を、半導体のデバイス動作原理を、NEC の技術者は  
しっかりと理解していなかったのではないのでしょうか？

それで初めて、その NEC の論文に対応して、IEDM 1984 の論文で KODAK が表面電位が固定ピン留めされていることの重要性を一般学識経験者にもわかるように説明しました。そしてこの受光素子を Pinned Photodiode と名付けました。

Pinned Photodiode と名付けたのは KODAK ですが どうして歴史上は NEC になっているのでしょうか？

その理由は、萩原の重要な 1975 年の 3 件の発明も SSDM 1978 での重要な学会発表の存在も KODAK も NEC もライバル企業の SONY が憎いのかわざと自分たちの論文に Reference として引用しなかった事が最大の問題だったと理解しています。

学会に出席していた一般学識経験者の皆様にはわかりやすい教材が提供されたことになり満足感を与える事に KODAK も NEC も成功しました。

しかし素人さんは萩原の仕事の引用がないことで KODAK と NEC が Pinned Photodiode と埋め込み Photodiode を「発明」したと誤解したのが最大の問題だったと理解します。

萩原の 1975 年の 3 件の特許の存在も、英文で記載されている萩原の 1978 年の論文も非常に日本人ばかりの日本応用物理学会が主催する SSDM1978 の学会ですので、英語圏の方々にはその論文が簡単に入手できないのが最大の問題となりました。それが今の大きな誤解を招いていると理解しています。

しかし IEDM1984 の KODAK の受光素子は、構造的には、KODAK の Pinned Photodiode は、埋め込み Photodiode を改良したものと解釈されました。

すなわち、埋め込み Photodiode の一種が Pinned Photodiode であるという論理です。

かつ一般学識経験者にもわかるように 1982 年に NEC は残像のない特徴を持つことを説明しています。実際の NEC の IEDM 1982 の論文には残像を報告しています。

しかし、素人さんにはその詳細な意味は理解されていませんでした。

「残像のない素子が可能だ」と理解しました。

KODAKの主張を退けて、NECが優先して Pinned Photodiode の発明者として IEEE の学会で認識されるようになりました。これは大きな誤解でした。英語圏の技術者には 萩原の 1975 年出願の日本語特許の詳細を知る余地がありませんでした。

学会の存在意義は、一般学識経験者にもわかるように、人類の産業技術の発展に寄与することです。

萩原は 1975 年に特許出願しましたが学会でその詳細を説明したことは一度もありませんでした。それが大問題だったと、今は痛感しています。しかし発明者は発明者だと思っています。事実は事実ですから。

それには弁解になりますが、深い当時の日本の風潮を守り続ける SONY の苦い経験があります。

江崎さんがトンネルダイオードを発明した時、江崎さんが論文を発表し特許出願したとたん、外国企業が一瞬にして多くの派生特許や応用回路の特許を出願し、SONY は、江崎ダイオードを商品化する機会を失いビジネス的にはもはや魅力のない存在になりました。

萩原が 1975 年に SONY に入社した当時は、当時の SONY の TOP の方針は「特許出願でさえも他社の追従を招く」とされ、簡単には出願できる雰囲気ではありませんでした。

萩原も当時の越智課長に特許出願の承認をもらうのに苦勞しました。国際学会で報告して詳細に発明特許の内容を説明すること等は、到底、絶対に許されない状況でした。

それに比較して NEC や日立は学会で積極的に日米半導体摩擦を避けるために尽力され積極的に学会発表を奨励していた時代でした。

以下に、さらに、イメージセンサーの歴史背景の正しい認識について説明します。

現在生存しているイメージセンサーの第1人者は萩原だと理解しています。もう萩原も7月4日で73歳になります。

ぼつぼつ遺言として残しておきたい、萩原の熱い思いが含まれる内容です。

埋め込がた型 CCD は電荷転送効率が 99.999%あります。

アナログ TV 時代の画素数は比較的少なく、水平 800 画素と垂直 500 画素でした。

合計で一番出力回路に遠い画素でも、最大 1300 回の電荷転送で済みます。

$0.001\% \times 1300 = 1.3\%$  の信号電荷の損失で済むわけです。

人間の目は 3%以下の損失（雑音）には認識できません。

それで CCD 型電荷転送装置はアナログ TV 時代は十分機能しました。しかしデジタル TV の時代では画素数が水平 8000 H、垂直 6000 V となると最大 14000 回の電荷転送が必要となります。

損失も  $0.001\% \times 14000$  では 14% にもなり、これは人間の目では完全に画質劣化を認識できるものです。

CCD 型電荷転送はデジタル TV 時代では全く機能しません。

また CCD は大容量を充放電駆動する必要があり消費電力がデジタル TV ではさらに大きくなりほぼ使用不可能となります。

一方の CMOS は、CMOS の微細加工技術が発達し 1969 年には、すでに Peter Noble により発明されていた「各画素に信号電荷を電流増幅する 3T 型の MOS Source Follower 回路を組み込むこと」が現在は実現し、かつ CCD の時代から採用されていた 1972 年に W. White が発明した、CDS 雑音除去回路が微細化の進歩で各垂直信号伝送線のカラムに組み込むことが可能となりました。SONY の技術陣がその開発成果を ISSCC2006 の学会で発表しています。それらの努力が結集して今の SONY の地位が気づかれています。

CMOS デジタル回路で構成された AD 変換器も Image sensor の各カラムに組み込むことが可能となりました。

最終段の CMOS デジタル出力回路も当然組み込むことが可能となり現在は低消費電力の CMOS 型電荷転送装置が採用されることになりました。

しかし受光素子は 1975 年の萩原の発明から現在もまったく同じものです。

残像のない、超感度で、低雑音で、VOD 機能を持ち、電子 shutter 機能を持つ、PNP double 接合型の Dynamic Photo Transistor または triple 接合型の Dynamic Photo Thyristor が採用されています。

正確な表現として、Thyristor や Transistor は Diode を含む構造です。

従って Thyristor や Transistor は Diode 機能を持ちます。

しかし、Diode に関しては、必ずしも逆は成立しません。

Diode は Transistor 機能を持つとは言えません。

特に、VOD 機能や電子 shutter 機能 は Photo Transistor の特有の機能ということが出来ます。

受光素子の発明開発史においては CCD が発明される前は単純な N+P 接合型の受光素子であり、残像が問題でした。

SONY は CCD 型受光素子には残像がないことに注目し CCD/MOS 型受光素子の開発に注力しました。

川名さんたちがわざわざ薄型電極の開発に注目した、根本的な理由は CCD 型受光素子には残像がない特徴があるからでした。

そうでないとわざわざ困難なプロセスを選択しなくても N+P 接合型の受光素子で十分でした。

しかし表面には金属電極があり感度が悪いので 他社は受光部に CCD 型の受光素子を採用することはありませんでした。

他社は残像よりも感度を優先していたので N+P 接合型受光素子を採用していました。

しかし 1975 年に萩原は double 接合型の Dynamic Photo Transistor を採用すれば、両端の Emitter 端子と Collector 端子の電位を外部電圧で固定、ピン留めすることが可能で、ベース領域の完全空乏化動作も可能であることを考案しました。

萩原の 1975 年の 3 件の特許には (1) NPN 接合型の受光素子と NPNP 接合型の受光素子の実施図があります。これは萩原が埋め込み Photodiode の発明者である証拠になります。現在、寺西さんが埋め込み Photodiode の発明者とされていますがこれは事実誤認です。

また萩原の 1975 年の 3 件の特許には (2) NPN 接合型の受光素子の両端の領域が外部端子で電圧固定、ピン留めされている実施図が明示されています。

これは受光面が外部電位で固定された、ピン留めされた Pinned Photodiode の発明の証拠になります。

従った、Pinned Photodiode は萩原の発明になります。現在、寺西さんが埋め込み Photodiode の発明者とされていますがこれは事実誤認です。

ここまでは牧本さんも向さんも青木さんも歴史館の皆さまも理解されています。

VOJIN さんは、まず萩原の出願特許は日本の出願特許なので日本で認知されることがまず第 1 だと論理的におっしゃっています。これには萩原と同意見です。

IEEE の日本支部が思惑は事実認識を正していただくために  
AD HOC 委員会を東京支部で活動をお願いしたいです。

まずは、日本語の理解できる技術者集団で  
設立して、日本国でまずは先行する特許  
出願資料を証拠として吟味をおねがひいた  
します。

日本語で日本人が日本語資料をまず吟味する必要を痛感します。まずは誤解のないように AD HOC 委員会の  
見解をまとめていただき、発明協会にも投げかけていただくことが先決です。事実だけの列記は重要です。

まず萩原の 1975 年の 3 件の出願特許が証拠です。1978 年の SSDM1978 での論文も証拠になります。  
それを証拠に Fairchild 社と SONY の特許戦争が 1991 年から 2001 年まで繰り返されていましたが  
SONY が勝訴しました。その判決文（英文）も公開資料のほうです。

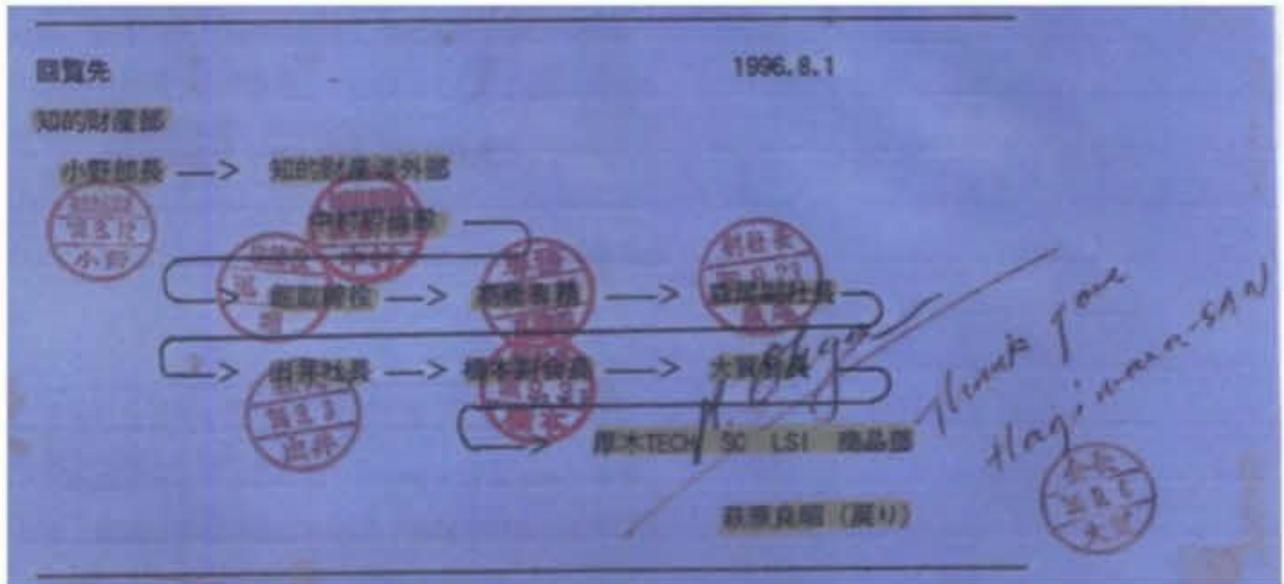
SONY に知的財産部に協力をいただき、COPY を入手し、それも、「萩原が VOD 付き PPD の発明者であるこ  
と」の証拠になります。Sony が裁判に萩原の特許 JPA 1975-134985 を発明の証拠に提出しています。

1996 年にソニー勝訴の判決が降りた時、ソニーの大賀会長を始め、出井社長から感謝の謝辞を受けています。



Fairchild 社との特許戦争の終結を祝って大賀さんと感謝の言葉を頂く。

After the US court favored Sony over the SONY-Fairchild Patent War on the **Pinned Photo Diode** , Hagiwara received a thanking signature from Sony Chairman (Mr. Ohga) , with many other official stamps from Sony executives including Sony President Idei , Sony Vice President Morio , Sony Top Executives Takahashi-san and Hori-san and other .



日本歴史館の委員会はいまだに「萩原は、VOD 付き PPD の発明者ではない」との見解を示していますが、米国最高裁判所の判決は「Fairchild 社が VOD 付き PPD の発明者だ」との主張を退け、「SONY が考案した受光構造である」との SONY の説明を 100%認め反論の余地のない判決となっています。萩原が PPD の発明者であることは以下の事実の確認で明らかだと思っています。1975年の出願特許がその根拠です。

以下に事実に基づく、皆様の個人的な見解を列記します。

- (1) SONY は萩原が PPD の発明者だと公言しました。
- (2) 半導体歴史館も「最初の PPD の概念は萩原の提案である」とまわりくどい表現になっていますが、間接的に「PPD は萩原の発明だ」と解釈可能です。
- (3) 匿名の WEB 投稿者も「最初の PPD は萩原の発明だ」と断定しています
- (4) Image Sensor の権威者の Albert さんも IEDM2001 の国際学会で、次の様にコメントしています。

「萩原が SSDM1978 の国際学会で報告した受光素子は

- (a) NEC が IEDM1982 の学会で報告した埋め込み Photodiode (BPD) や
- (b) KODAK が IEDM1984 の学会で報告した Pinned Photodiode (PPD) や
- (c) SONY が 1987 年に開発商品化した Hole Accumulation Device (HAD)

の 3 つのすべて Mother (生みの親)ではないか」と称賛しています。

Mother (生みの親) とは考案者発明者に対する称賛です。

これに対して Father(育ての親)は開発者を意味します。

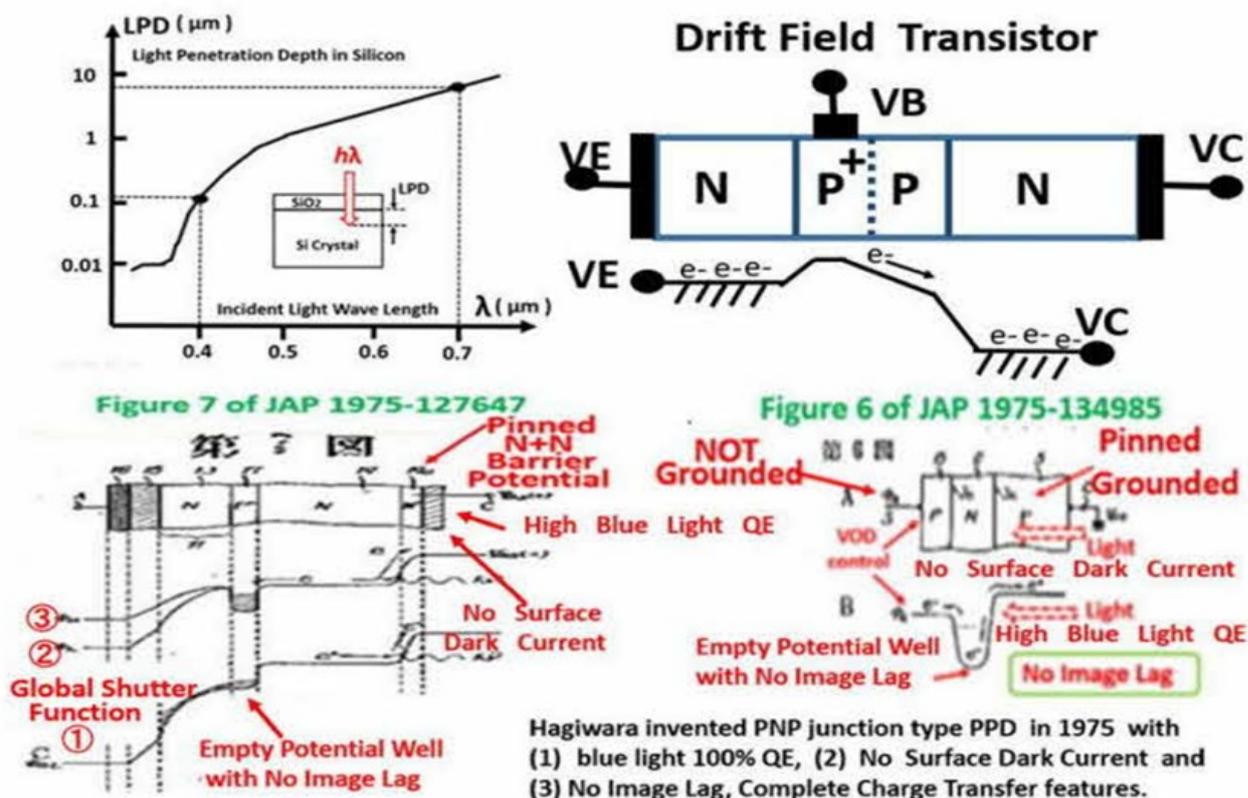
Father(育ての親)は川名さんもおっしゃっていますが岩間和夫さんを意味すると思っております。

SONY の多くのかわいい子供たちが萩原の後輩が今その夢を実現してくれています。

それがしっかりと事実として歴史認識されることを切に希望しています。

萩原良昭 2021.3.28

Image Sensor も太陽電池も超光感度特性が命です。光エネルギーを電気信号に効率よく変換する事が命です。太陽電池には紫外成分が豊富ですが、シリコンの結晶内を 0.2  $\mu\text{m}$  以上は透過しません。そんな近傍に P+N 接合を形成することは不可能です。実際の表面の P+ は表面にピーク濃度を持つガウス関数分布となります。実際にはこれは表面濃度分布が P+ ではなく、P+P 分布となります。これは製造 Knowhow です。表面には濃度勾配 P+P によりバリア電界が生じ、minority carrier の光電子をすばやく正孔から電界分離する事が可能となります。これが実は Pinned Photodiode の短波長青色光感度の特性を著しく向上する事になります。このシリコン表面でバリア電界による光電変換は、将来の太陽電池の変換効率の向上にも期待することができます。



# SONY-Fairchild Patent War (1991-2000) on Pinned Photo Diode with Vertical OFD

東部地裁は「ソニー側のCCDはローラル・フェアチャイルド社の三件の特許を被った」との判決を下し、陪審員の評決を覆した。フェアチャイルドは控訴するかどうかの態度をまだ示さなかった。

東部地裁は「ソニー側のCCDはローラル・フェアチャイルド社の三件の特許を被った」との判決を下し、陪審員の評決を覆した。フェアチャイルドは控訴するかどうかの態度をまだ示さなかった。

CCD特許侵害訴訟 日刊 7/16

## ソニー、逆転勝訴

NY東部地裁

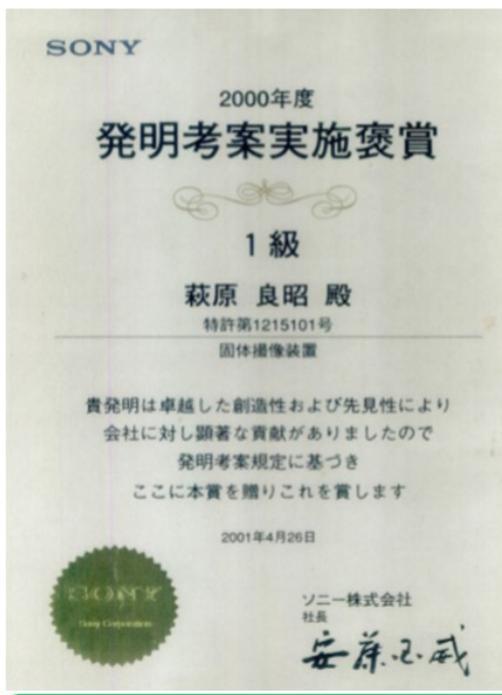
From Japanese News Paper, July 16, 1996.

1996年7月 日刊工業新聞記事から  
 (2000年1月米国最高裁で最終決着ソニー勝訴)  
*In January 2000, the US supreme court made the final judgement favoring Sony claims. And the long SONY-Fairchild Patent War on the PDD with the built-in vertical overflow drain (VOD) ended.*

東部地裁は「ソニー側のCCDはローラル・フェアチャイルド社の三件の特許を被った」との判決を下し、陪審員の評決を覆した。フェアチャイルドは控訴するかどうかの態度をまだ示さなかった。

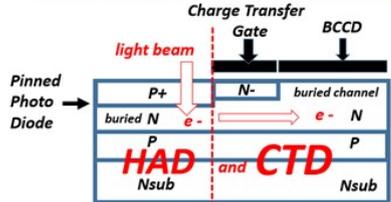
東部地裁は「ソニー側のCCDはローラル・フェアチャイルド社の三件の特許を被った」との判決を下し、陪審員の評決を覆した。フェアチャイルドは控訴するかどうかの態度をまだ示さなかった。

## 米国Fairchild社とSONYとの特許戦争(1991-2000)の真相

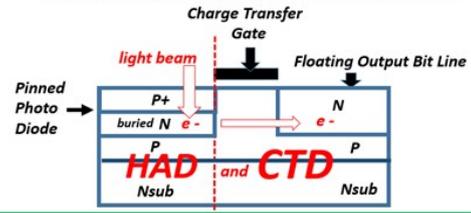


萩原が1975年発明した Pinned Photo Diode は、米国Fairchild社との特許戦争(1991-2000)に勝利し、またNEC社との特許戦争にも勝利し、SONY社内での評価も確立し、やっと萩原は特許褒賞を受けた。

Case(1) Hagiwara Diode 1975 (Sony HAD) Application with a Charge Transfer Device ( a CCD type CTD case ) defined in Hagiwara 1975 Japanese Patent 58-1215101

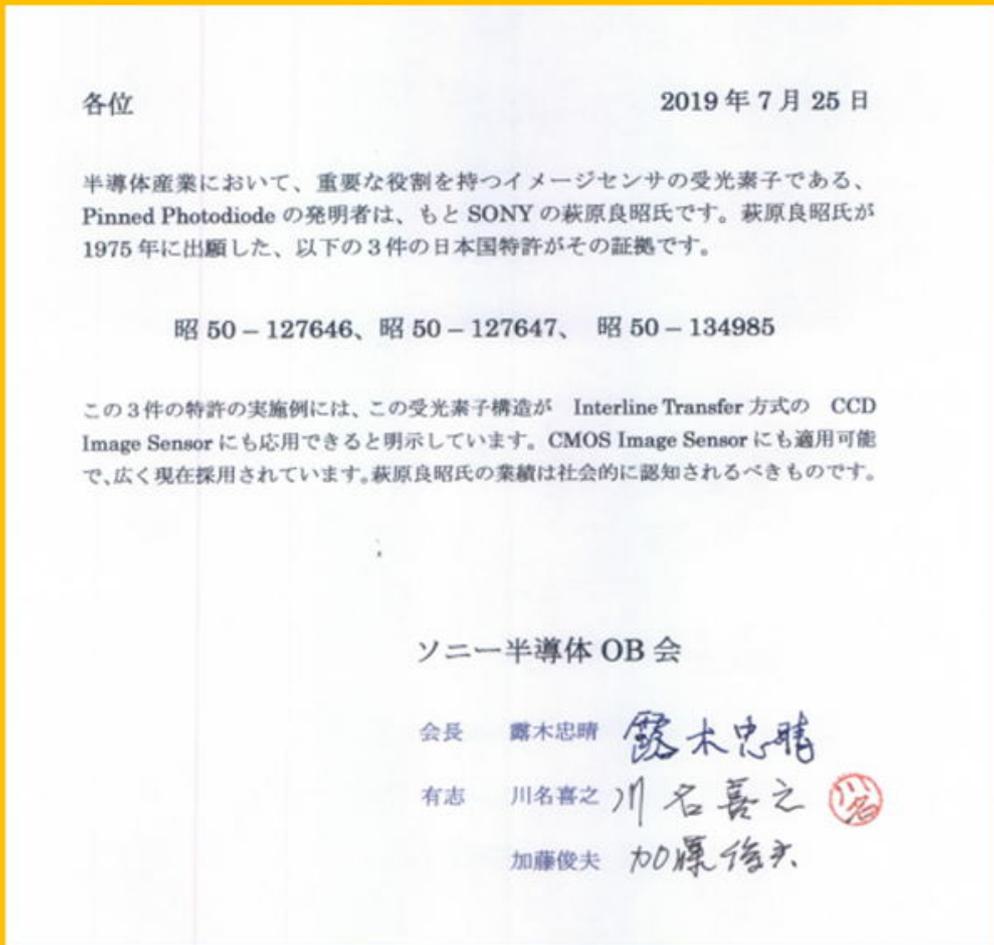


Case(2) Hagiwara Diode 1975 (Sony HAD) Application with a Charge Transfer Device ( a CMOS type CTD case ) defined in Hagiwara 1975 Japanese Patent 58-1215101

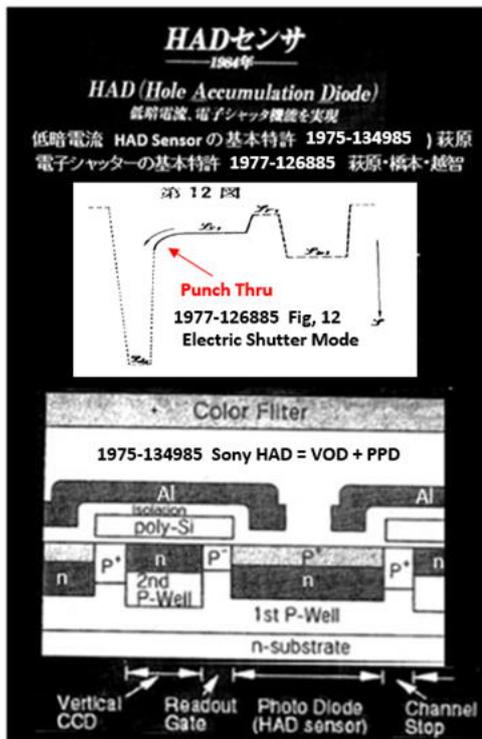


See Hagiwara Japanese Patent Application ( 50-134985, 1975 )

Old Boys of Sony Semiconductor Group support that Hagiwara at Sony is the true inventor of Pinned Photodiode.



The Pinned Photodiode (Sony Original HAD sensor) Structure



( from SONY Product Catalog )

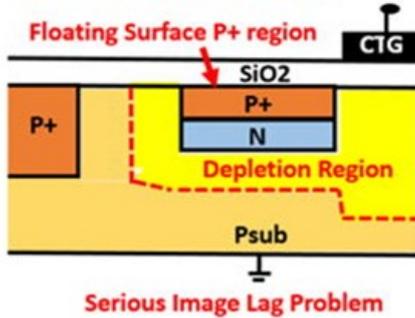
Electric Shutter Basic Patent Award  
from Sony President Idei to Yoshiaki Hagiwara  
for Japanese Patent 1977-126885 by Hagiwara



# Difference of Buried Photodiode and Pinned Photodiode

Figure 5 does not have the P+ channel stop nearby.

## Buried Photodiode



## NEC IEDM1982 Paper

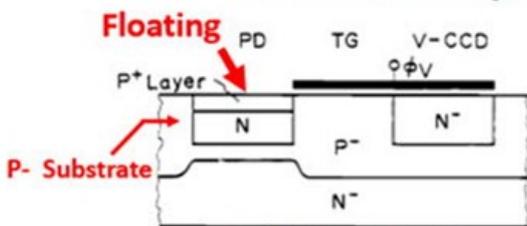


Fig.5. No P+ Channel Stops  
P+NP- structure photodiode  
(a) Unit cell cross sectional view

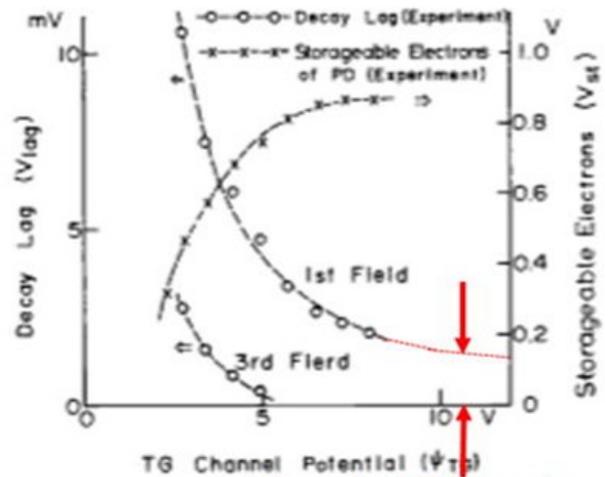


Fig.6. Storageable electrons vs. transfer gate channel potential, and decay lag vs. transfer gate channel potential in the P+NP- structure photodiode

# NEC IEDM1982 Paper reported Image Lag

Figure 6 shows that there is still image lag at the CTG gate voltage of > 10 volt.

Fossum insulted in his 2014 paper Sony and Hagiwara 1975 PPD invention.

**Indeed, Hagiwara invented PPD with VOD and the virtual charge transfer in 1975 !!**

IEEE JOURNAL OF THE ELECTRON DEVICES SOCIETY, VOL. 2, NO. 3, MAY 2014

## A Review of the Pinned Photodiode for CCD and CMOS Image Sensors

Eric R. Fossum, Fellow, IEEE, and Donald B. Hoodongwa, Student Member, IEEE

Many people now said this is a fake paper!

C. Other Contributions to the PPD Invention

The PPD structure, while invented for low lag ILT CCD application, shares a strong resemblance to the Hyncek virtual-phase CCD structure, with the exception of the VOD. The two inventions were solving different problems with essentially the same device structure and operating principles.

In 1975, Hagiwara at Sony filed a patent application on bipolar structures for CCDs in which a *pn*p vertical structure was disclosed, among several structures [24]. The top *p* layer was connected by metal to a bias used to control full-well capacity and the *n*-type base layer was proposed for carrier storage. In an unusual paper, Hagiwara, in 1996, revisited the 1975 invention and claimed it was essentially the invention of both the virtual phase CCD and the NEC low-lag structures, as well as the basis of the Sony so-called "Hole Accumulation Diode," or HAD structure [25]. However, the 1975 application

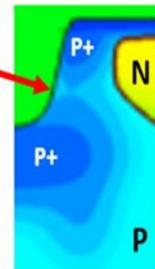
did not address complete charge transfer, lag or anti-blooming properties found in the NEC low-lag device, and does not seem to contain the built-in potential step and charge transfer device aspects of the virtual-phase CCD. Hagiwara repeats these claims in a 2001 paper [26] and shows a VOD structure that is not found in the 1975 patent application. Sony did not seem to pursue the HAD structure until well after the NEC paper was published. However, the "narrow-gate" CCD with an open *p*-type surface region for improved QE also disclosed in the 1975 application was reported in more detail by Hagiwara et al. at Sony in 1978 [27]. A similar structure was used extensively by Philips [28].

The PPD, as it is most commonly used today, bears the strongest resemblance to the Teranishi et al. ILT CCD device. Thus, these days Teranishi is considered as the primary inventor of the modern PPD [29].

False

False

The surface P+ layer is NOT connected to the LOCOS P+ layer. The surface P+ layer may be floating and this photodiode may have serious image lag.



Serious Image Lag?

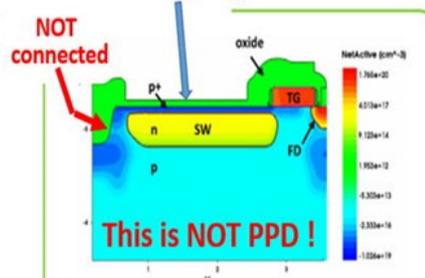


Fig. 4. Example of a pinned photodiode implemented in a CMOS image sensor showing doping concentrations. (Dimensional units are microns).

Hagiwara in 1975 invented PPD with VOD and the virtual charge transfer. Study the Japanese Patents 1975-127646, 1975-127647 and 1975-134985.

Albert J.P. Theuwissen, Jan T.J. Bosiers, Edwin Roks, "The Hole Role", an invited paper at IEDM2005, Washington DC, Techn. Dig., 2005.

But in the case that parts of the depleted n-type CCD channels are not covered by gate material, their surface potential is undefined! Such a structure will suffer from charge transport issues during operation, because charge can be trapped in local potential pockets. The effect can be solved by defining the potential in the open areas through an extension of the p<sup>+</sup> channel stopper. A simple self-aligned implant of  $2 \times 10^{13}$  /cm<sup>2</sup> boron ions is sufficient to extend the channel stop areas to the gate edge and consequently fix the potential in the open areas [2]. The result after this self-aligned implant is shown in Figure 3. The presence of enough holes plays a crucial role in fixing the potential for the regions "beyond control" of the gates. (Is this structure the mother of the pinned-photodiode or buried diode or hole-accumulation device?)



Figure 3. Cross section of a buried-channel CCD on n-Si substrate including light windows and pinned interface potential in the non-covered CCD channels (the cross section is made perpendicular to the CCD channel).

[2] Y. Daimon-Hagiwara et.al., Proc. 10<sup>th</sup> Conf. on Solid-State Devices, Tokyo, 1978, pp.335-340,

## ELECTRICAL ENGINEERING

### Difference between Buried Photodiode and Pinned Photodiode

What is the difference between Buried Photodiode and Pinned Photodiode? I understand that the P+/N/P structure where the P+ and P layers have the same potential is the Pinned Photodiode. So what is the buried Photodiode?

<https://electronics.stackexchange.com/questions/83018/difference-between-buried-photodiode-and-pinned-photodiode>

This is a commonly misunderstood misused set of terminologies.

First off these are not PIN Photodiodes - which stands for P - Intrinsic- N. These have large depletion regions for higher internal QE (Quantum Efficiency) and faster response. You can't make an array with this design though.

Pinning, refers to fermi-level pinning or pinning to a certain voltage level. Or also the forcing or prevention of the fermi-level/voltage from moving in energy space.

You can get surface state pinning from the dangling Si/SiO<sub>2</sub> bonds providing trapping centers. A buried PD (Photodiode) has a shallow implant that forces the charge carriers away from these surface traps. The Si/SiO<sub>2</sub> surface contributes to increased leakage (dark current) and noise (particularly 1/f noise from trapping/de-trapping). So confusingly a buried PD avoids pinning of the fermi-level at the surface.

A pinned PD is by necessity a buried PD, but not all buried PD's are pinned. The first Pinned PD was invented by Hagiwara at Sony and is used in ILT CCD PD's, these same PD's and the principles behind this complete transfer of charge are used in most CMOS imagers built today.

A pinned PD is designed to have the collection region deplete out when reset. AS the PD depletes it becomes disconnected from the readout circuit and if designed properly will drain all charge out of the collection region (accomplishing complete charge transfer). An interesting side effect is that the capacitance of the PD drops to effectively zero and therefore the KTC noise  $q_n = \text{sqrt}(KTC)$  also goes to zero. When you design the depletion of the PD to deplete at a certain voltage you are pinning that PD to that voltage. That is where the term comes from.

I've edited this Answer to acknowledge Hagiwara-san's contribution. It has long been incorrectly attributed to Teranishi and to Fossum (in CMOS image sensors)

## Sony's Representative Inventions Supporting Stacked Multi-Functional CMOS Image Sensors

Sony Corporation  
Sony Semiconductor Solutions Corporation

<https://www.sony.net/SonyInfo/News/notice/20200626/>

### Pinned Photodiode Adopted for Back-Illuminated CMOS Image Sensors

The history of Sony's inventions of image sensors goes back to the CCD era. Above all, Pinned Photodiode is a technology that contributes to improving the performance of back-illuminated CMOS image sensors, and the history of inventions and product development are as below.

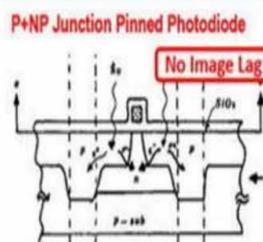
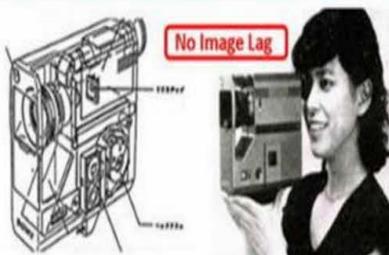
In 1975, Sony invented a CCD image sensor that adopted a back-illuminated N+NP+N junction type and an N+NP+NP junction type Pinned Photodiode (PPD) (Japanese patent application number 1975-127646, 1975-127647 [Yoshiaki Hagiwara](#)). In the same year, inspired by such structure, Sony invented a PNP junction type PPD with VOD (vertical overflow drain) function (Japanese Patent No. 1215101 [Yoshiaki Hagiwara](#)). After that, Sony succeeded in making a principle prototype of a frame transfer CCD image sensor that adopted the PNP junction type PPD technology, having a high-impurity-concentration P+ channel stop region formed near a light receiving section by ion implantation technology for the first time in the world, and its technical paper was presented at the academic conference, SSDM 1978 ([Y. Hagiwara](#), [M. Abe](#), and [C. Okada](#), "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, Tokyo, (1978)). In 1980, Sony succeeded in making a camera integrated VTR which incorporated a one-chip frame transfer CCD image sensor that adopted the PNP junction type PPD. President Iwama in Tokyo, Chairperson Morita in New York, at the time held a press conference respectively on the same day, which surprised the world. In 1987, Sony succeeded in developing a 8 mm video camcorder that adopted, for the first time in the world, the interline transfer CCD image sensor, which incorporated "PPD having a high-impurity-concentration P+ channel stop region formed near the light receiving section by ion implantation technology" with VOD function, and became the pioneer of the video camera market. The PPD technology that has been nurtured through such a long history is still used in back-illuminated CMOS image sensors.

#### References:

- [1] M. Hamasaki, T. Suzuki, Y. Kagawa, K. Ishikawa, K. Miyata and H. Kambe, "An IT-CCD imager with electronically variable shutter speed", Technical Report of The Institute of Image Information and Television Engineers, vol. 12, no. 12, pp. 31-36, (1988)
- [2] [Y. Hagiwara](#), Japanese Patent JP1975-134085
- [3] [Y. Hagiwara](#), M. Abe, and C. Okada, "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, Tokyo, (1978); Japanese Journal of Applied Physics, vol. 18, Supplements 18-1, pp. 335-340, (1979)
- [4] I. Kajino, M. Shimada, Y. Nakada, Y. Hirata and [Y. Hagiwara](#), "Single Chip Color Camera Using Narrow channel CCD Imager with Over Flow Drain", Technical Report of The Institute of Image Information and Television Engineers, vol. 5, no. 29, pp.

### Image Sensor Story

Sony original 570H x 498 V one-chip FT CCD Image Sensor with Pinned Photodiode, July 1980



On July 1980, Iwama Kazuo at Sony Tokyo Press Conference and Morita Akio at New York Press Conference announced the one chip CCD video camera with the 8 mm VTR in one box.

#### See the Original 1978 Publication of the Pinned Photodiode Sensor

[Y. Daimon-Hagiwara, M. Abe, and C. Okada, "A 380Hx488V CCD imager with narrow channel transfer gates," Proceedings of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, vol. 18, supplement 18-1, pp. 335-340, 1979](#)

High quality picture of SONY CMOS Imager is also based on SONY HAD (Pinned Photodiode).

These figures shows (1) Excellent Blue Light Sensitivity (2) Low Surface Dark Current and (3) NO Image Lag Features of the P+NP junction type Pinned Photodiode.

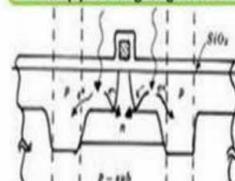


Figure 2 Cross Section of the CCD charge Transfer Region with the P+NP junction type Pinned Photodiode (PPD)

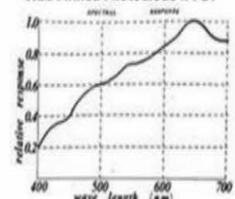


Figure 13 Spectral Response of the P+NP junction Pinned Photodiode (PPD) with the excellent blue light sensitivity

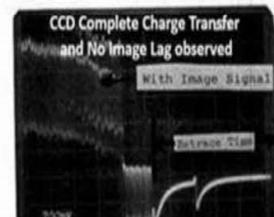
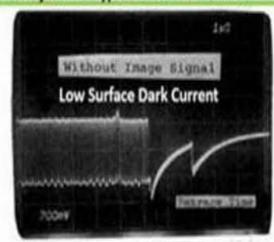


Figure 14 Comparison of CCD image sensor output signals with and without image signal.

● 発明協会の公式 Homepageの記載には事実誤認があります？  
<http://koueki.jiii.or.jp/innovation100/>

イメージセンサー (CCD・CMOS)

概要 [イノベーションに至る経緯](#) [発明技術開発の概要](#) [主な受賞歴](#) [参考文献等](#)

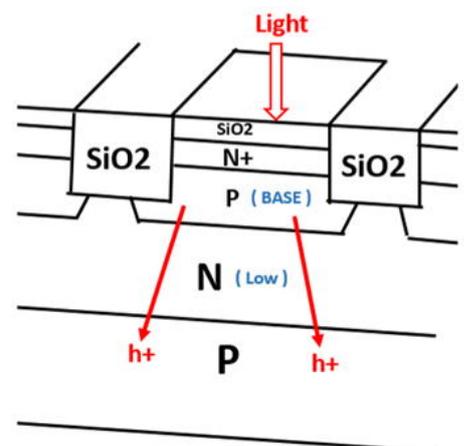
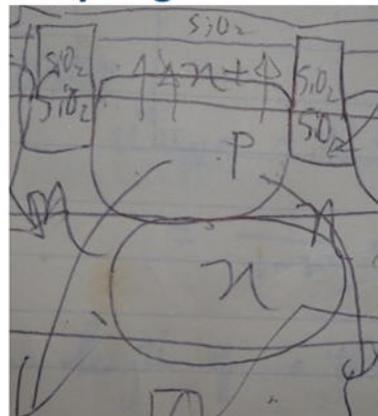
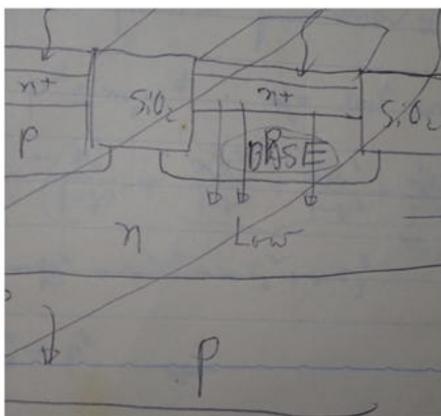
概要

撮像デバイスの研究開発は、19世紀後期のテレビジョン研究がスタートである。機械式、撮像管、固体撮像素子（以下「イメージセンサー」と呼ぶ）と発展し、社会に大きなインパクトを与えつつ、大きく発展してきた。

真空管の一種である撮像管は、サイズが大きい、割れ物である、消費電力が大きい、画像にゆがみがある、高価である、などの欠点があり、固体化が望まれていた。1960年代半ばにイメージセンサーの開発がスタートした。そのときは、MOS (Metal Oxide Semiconductor) 型が中心であった。

1970年にBoyleとSmith（当時Bell研究所）がCCD (Charge-Coupled Device、電荷結合素子) を発表した<sup>1</sup>。構造が単純であり、イメージセンサーのような大規模なアレイ構造を製造するのに適していること、矢継ぎ早にCCDに改善が加えられたことから、イメージセンサー開発の中心はCCDになった。1970年後半からは開発の中心は日本に移った。1978年、山田哲生（当時 東芝）は、強い光が入射したときに縦線の偽信号を発生させるブルーミングを抑制する縦型オーバーフローライン構造を発明した<sup>2</sup>。1979年には寺西信一（当時 NEC）が、白傷や暗電流を大幅に低減し、残像や転送ノイズを解消する埋込フォトダイオード (Pinned Photodiode) を発明した<sup>3</sup>。これらの結果、CCDはまずムービーを、引き続きコンパクトデジタルスチルカメラを主な市場として量産されていった。 ← **事実誤認？**

The N+PNP junction type Dynamic Photo Transistor Structure  
 Pinned Photodiode and Sony Hole Accumulation Diode (HAD)  
 with the vertical overflow drain (VOD) function  
 invented by Hagiwara at Sony in 1975



Hagiwara's Lab Note at Sony in February 1975

In 1975 at Sony, Yoshiaki Hagiwara filed three Japanese patents JPA1975-127646, JPA1975-127647 and JPA1975-134985 on the Pinned Surface Photodiode with the VOD function which is later called as Sony Hole Accumulation Diode (HAD).

Hagiwara did not file a patent on the SiO2 device isolation but this lab note shows that Hagiwara had an idea of forming the Shallow Trench Isolation by the Local Oxidation Method, which was hinted by the LOCOS isolation in 1970s.

 To search page

## 1975-80

### Improvement of photodiode for image sensor (Sony, Hitachi, NEC, Toshiba)

~ Discrete Semiconductor/Others ~

<https://www.shmj.or.jp/english/pdf/dis/exhibi1005E.pdf>

Photodiodes are used for photodetectors of image sensors. In 1987, Sony introduced a 2 / 3-inch, 380,000-pixel CCD image sensor (ICX022) using a new type of photodetector, now called a Pinned Photodiode (Sony named it HAD: Hole Accumulation Diode)[1].

The Pinned Photodiode is a photodiode in which the entire N layer is covered with a P layer. The part of the P layer on the light incident surface is heavily doped P+ (Fig-1). Kodak named this structure Pinned Photodiode in 1984 because the P + surface of the light incident surface was pinned to the substrate potential. This device has features such as high light sensitivity, wide dynamic range, image lag free, much smaller dark current due to reduced influence of GR center on the light receiving surface, and no white scars.

In 1975, Sony proposed using a PNP transistor as the photodetector [3]. By providing a P + layer (emitter) for the light incident section, the sensor electrode that covers the entire light receiving surface of the photodiode can be eliminated, greatly improving the light sensitivity. This P + layer was also a proposal to reduce the dark current and image lag which became the basis of the pinned photodiode.

In 1978, Sony presented a 93,000-pixel FT (Frame Transfer) -CCD image sensor compliant with the Analog TV Broadcasting Standard (SDTV) for the first time in the world [5], using the photodiode with the same structure as above. Sony succeeded in 1981 in trial production of a VTR-integrated color movie camera using a 2 / 3-inch 280,000-pixel FT-CCD image sensor by further improvement of this technology [6].

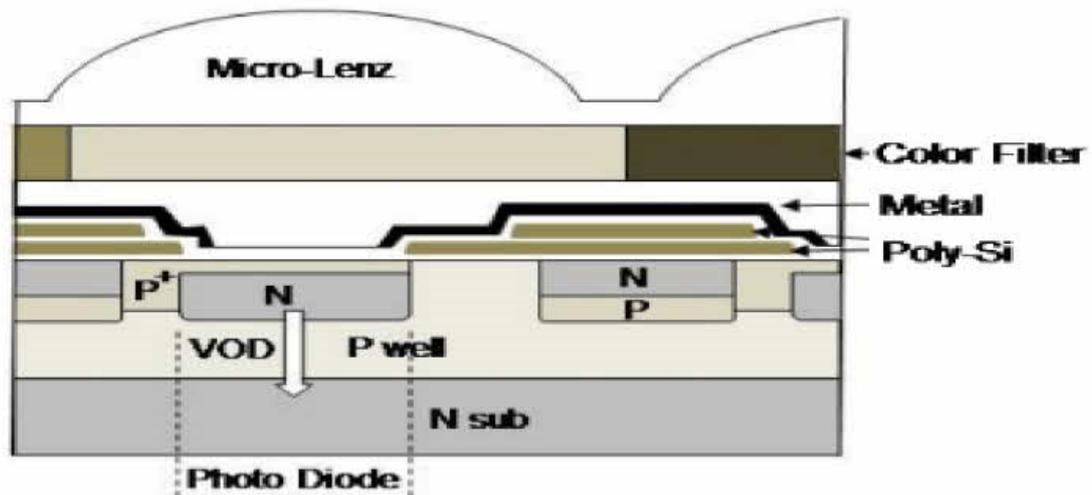


Fig-1 Recent Image Sensor with Pinned Photodiode

#### References:

- [1] M. Hamasaki, T. Suzuki, Y. Kagawa, K. Ishikawa, K. Miyata and H. Kambe, "An IT-CCD imager with electronically variable shutter speed", Technical Report of The Institute of Image Information and Television Engineers, vol. 12, no. 12, pp. 31-36, (1988)
- [3] Y. Hagiwara, Japanese Patent JP1975—134985
- [5] Y. Hagiwara, M. Abe, and C. Okada, "A 380H x 488V CCD imager with narrow channel transfer gates", Proc. The 10th Conference on Solid State Devices, Tokyo, (1978); Japanese Journal of Applied Physics, vol. 18, Supplements 18-1, pp. 335-340, (1979)
- [6] I. Kajino, M. Shimada, Y. Nakada, Y. Hirata and Y. Hagiwara, "Single Chip Color Camera Using Narrow channel CCD Imager with Over Flow Drain", Technical Report of The Institute of Image Information and Television Engineers, vol. 5, no. 29, pp.

\*\*\*\*\*

E-MAIL communication on Sony-Fairchild Patent War

February 6, 1996

Evidence of Hagiwara contribution in the Patent War  
on the PPD VOD patent (hagiwara 1975-134985)

\*\*\*\*\*

\*\*\*\*\*

(1) 当時のSONY中央研究所所長の  
山田敏之さんからのメッセージ

\*\*\*\*\*

Subject: CCD Patent Report

X-Mailer: Eurora-J(1.3.8.5-J13)

中研の山田です。

ずいぶん前になりますが、分厚いレポートを  
送って頂きありがとうございました。

CCD裁判は越智さんはじめ関係者の大きな努力に  
もかかわらず（一番での判決では）不本意な結果  
となりましたが（その後逆転勝利となり）アメリ  
カの裁判制度の問題点を如実に表しているような  
気がします。

それはそれとして、この過程で萩原さんのこの  
資料が越智さんにとっても大いに参考になった  
ようです。

ご協力ありがとうございました。

CCD開発史の一ページというか、読み物としても  
面白く読ませて頂きました。

裁判の方はまだこれから延々と（最高裁まで）続く  
でしょうが、引き続きご支援をお願いします。

萩原さんのことですから自分のやりたいことを  
やりたいようにやっておられることと推察します。

私も少しその爪の垢を煎じて飲みたいものです。  
すっかり遅くなりましたがひとこと御礼まで。

以上

\*\*\*\*\*  
(2) 当時のSONY中央研究所副所長の  
越智成之さんからのメッセージ  
\*\*\*\*\*

Date: Tue. 6 Feb 9608:51:07 JST

To: hagiwara@mica.semicon.sony.co.jp(NanaeSato)

From:nanae@avzna.av.crl.sony.co.jp

Subject:testimony3

Cc: msato@saccd.semicon.sony.co.jp,ochi@av.crl.sony.co.jp

X-Mailer: Eurora-J(1.3.8-J13)

おはようございます。

中央越智副所長からのe-mailをforwardします。

お忙しいのにもかかわらず、  
多大なご協力をごさいますして  
ありがとうございました。

2) SONYの森尾副社長、高橋専務、山田所長に対して  
米国滞在の越智さんから発信された裁判に関する報告

\*\*\*\*\*

>X-POP3-Rcpt: nanae@avzna

>Date: Tue. 6, Feb 96 06:48:53 JST

>To: m-morio@cv.sony.co.jp, takahasi@rd.sony.co.jp,  
>hashi@re.sony.co.jp,tyamada@dpo.crl.sony.co.jp

>Cc: ochi@av.crl.sony.jp,  
>msato@saccd.semioen.sony.co.jp,nanae@av.crl.sony.co.jp

>Subject: testimony3

>From: 越智 成之 <ochi@av.crl.sony.co.jp>

>X-Mailer: Winbiff[version 1.50 beta1]

>私に対する証人尋問が終わりました。

>direct exam は主に

>74年のAmelio (Apple Computerの社長になってしまいましたが)  
>特許や桑沢、松本レポートより前に、  
>既に two phase overlapping gate

>buried channel self aligned implanted barrier  
>が考えられていたことを、

>Caltech (Bower, McGill, Daimon-Hagiwaraほか)  
>と Hughes( Erb, Suほか) と Sony (三船,二神ほか)  
>等の資料を使い、実証致しました。

>cross examは米国政府の御用達と独禁法と衆議レポートに  
>対する先方からの攻撃が中心でしたがどれも不発に終わりました。

>特に、Caltechの Dr. Daimon(Hagiwara) が  
>75年2月20日にソニーに入社している事実が  
>ショックを与えたようで、質問が止まって  
>しまいました。

>Prof. Bowerからも、Dr. Daimon (Hagiwara)が Caltechから  
>Sonyに(埋め込み型)CCDの Ion Implantation 構造  
>(ISSCC1974で学会発表済みでその後中研時代には  
>P+NPNsub接合の Pinned Photo Diode 構造の特許を出願し  
>そのIon Implantation 構造解析に活用した) 解析技術を  
>持ち込んだ事実のStoryの流れがすばらしいとのことでした。

>佐藤真木さん佐藤七重さん恐れ入りますが、  
>感謝の気持ちを込めて、このe-mailを  
>萩原良昭さんにforwardしてください。

>萩原さんはこの2晩で100ページ以上にも  
>及ぶ個人資料をfaxで送ってくれました。

>馬橋さんの証言も成功裏に終わり、  
>今後弁護士と今後の相談を致します。

>越智

\*\*\*\*\*

\*\*\*\*\*

Albert supports that  
Yoshi had the Pinned Photodiode idea  
before Teranish 1980 Patent.

\*\*\*\*\*

FROM: hagiwara [mailto:hagiwara-yoshiaki@aiplab.com]

SENT: Tuesday, July 10, 2018 3:19 PM

TO: 'a.theuwissen'

SUBJECT: RE: NEC-SONY Patent War

\*\*\*\*\*

> Hi, Albert,  
>  
> how are you ?  
> I am very mad at Fossum's 2014 paper  
> which I found just a few weeks ago.  
> I am now 70 years and completely retired..  
> Fossum did not quote the very important  
> Pain's work at JPL CalTech  
> on the Global Shutter CMOS image sensor ...  
>  
> Yoshi

\*\*\*\*\*

On Tue, 10 Jul 2018 18:24:23 +0900, hagiwara wrote:

> Albert,  
>  
> I am sorry my previous e-mail title was in Japanese,  
> copying to many unrelated people.  
> But they are also my friends.  
> I am re-sending with more information  
> on the Pain's paper.  
> You know, I was also a visiting professor  
> at CalTech during 1998 to 1999  
> and frequently visiting Pain's Lab at JPL,  
> CalTech during the period.  
> I remember Pain and his team really hated  
> Fossum at that time.  
> I recall they called Fossum a thief.  
> Kind regards  
>  
> Yoshi

\*\*\*\*\*

From: albert theuwissen

Sent: Tuesday, July 10, 2018 6:55 PM

To: hagiwara-yoshiaki@aiplab.com

Re: How are you ? from Yoshi of Sony(Hagiwara180710)

\*\*\*\*\*

Dear Yoshi,

Good to hear from you, although it is not all good news you are sending to me.

Can you tell me the reference of the Pain paper ?

When and where was it published ?

Very interesting information !!

At the time Fossum started to write the overview paper about the PPD, he asked me to become a co-author and to help him out with the paper.

After some doubt I declined his invitation, because I do know that the discussion about the inventor of the PPD is very sensitive,

and I do agree with you that the structure you developed is indeed a PPD, maybe not called that way at that time and also invented for some other purpose.

But it still remains a PPD !

At Philips, in the late '70s a very similar structure was implemented in the CCDs, this was before I joined Philips in 1983.

So yes, there were several p<sup>+</sup>/n<sup>-</sup>/p<sup>-</sup> structures known by the time that Teranishi issued his patent.

I fully agree to that.

Looking forward to hear from you,

Regards,

Albert.

# SONY HAD Sensor に関する SONYとNECの特許戦争 (1994 ~ 2002)

SONYの1975年の HAD Sensor 特許 に対する NEC からの攻撃内容の詳細。

No. NEC-4

題名: HADセンサー完全空乏化固体撮像装置及びその駆動方法		
登録: JP1, 720, 783	出願番号: 昭55-138026	出願人: 日本電気株式会社
登録日:	出願日: 1980.10.02	発明者: 寺西, 石原, 白木
公告番号: P02-30189	公告日: 1990.07.04	満了日: 2000.10.02

対応出願 US 4484210-A (Ex. 2001.11.20)  
 特許 0956-37412  
 0957-24514 (8位 HAD)

1. HADセンサー構造で、かつ読み出し時にPN層に30V以下の逆バイアスをかけてセンサーを完全空乏化する固体撮像装置。

2. 上記1の固体撮像装置について、読み出しゲートのチャネル電位を上記PN逆バイアスとフェルミレベルとを絡めて規定した固体撮像装置の駆動方法。

(効果) 読取抑制

NECの1980年の埋め込みPhotodiode特許では BASE領域を完全空乏化することを特許請求しているが、すでに上記の2件の萩原1975年特許の実施図で完全空乏化が明示されている。また、その埋め込み層の電位は、CCDの埋め込みチャンネル層の濃度と同程度であることも明示している。1978年にSONYはこのPNP接合型 (SONY HAD = Pinned Photo Diode) の受光構造を採用した Imager で 20 volt 以下の埋め込み層の電圧を既に実現している。従って、周知情報であり、NECの1980年特許は無効である。

1 第1導電型の半導体基板と、この基板の表面に形成され光の入射による信号電荷を蓄積する第1導電性と逆導電型の第2導電型の蓄積領域と、この蓄積領域に対応して設けられた信号電荷転送手段と、前記蓄積領域と前記信号電荷転送手段との間に設けられ前記蓄積領域から前記信号電荷転送手段への信号電荷の転送を制御するトランスファゲートとを有する固体撮像装置の単位セルにおいて、前記蓄積領域の表面の全面に前記第1導電型の表面層が設けられ、1つ信号電荷を前記蓄積領域から前記信号電荷転送手段へ転送するとき前記蓄積領域が完全に空乏化ししかも空乏化するのに必要な前記基板と前記蓄積領域との間の逆バイアス電圧が30ボルト以下であることを満たすように構成されてなることを特徴とする固体撮像装置。

2 第1導電型の半導体基板と、

ことを満たすように構成された固体撮像装置において、前記トランスファゲートのチャネル部の電氣的に中性のときのフェルミ電位と真性フェルミ電位との差を $V_f$ としたとき、前記基板の内部の空乏化していない部分のフェルミ電位を基準とした前記トランスファゲートのチャネル電位の絶対値 $V_m$ を $V_{rev} + 2V_f$ 以上にするこゝによつて前記蓄積領域から前記信号電荷転送手段へ電荷を移し、前記蓄積領域が完全に空乏化することを特徴とする固体撮像装置の駆動方法。

全クレーム数 2 独立クレーム数 2

NOTE

OP 53-86516 (HAD)

NECの1980年の埋め込みPhotodiode特許では BASE領域を完全空乏化することを特許請求しているが、すでに上記の2件の萩原1975年特許の実施図で完全空乏化が明示されている。また、その埋め込み層の電位は、CCDの埋め込みチャンネル層の濃度と同程度であることも明示している。1978年にSONYはこのPNP接合型 (SONY HAD = Pinned Photo Diode) の受光構造を採用した Imager で 20 volt 以下の埋め込み層の電圧を既に実現している。従つて、周知情報であり、NECの1980年特許は無効である。

# Transistor の動作は、Diodeの動作を含む HADセンサーは Dynamic Phototransistor 動作である

## 4. HAD センサ

S 1 : 無効 (①公知4-1, 4-2 により)

N 1 : 有効 (<公知例4-1 >①バイポーラトランジスタの動作においてベース領域が全体にわたって空乏化されるという考えはない。②また、残像抑制、暗電流低減という作用効果について示唆されていない。<公知例4-2 >③表面層の開示がない。④4-1 は空乏化しない、4-2 は空乏化しようというもので、動作原理の異なる両者を組み合わせることは失当である。⑤4-1 の目的は青感度向上であるが4-2 はこの目的を達成しているため組み合わせる必然性がない。)

→ 維持

34.4

S 2 : 無効 (<公知例4-1 >①pnpトランジスタがバイポーラ動作するとの記載はなく、ベース領域を空乏化することは可能。②6図Bのポテンシャル図はベース領域が完全空乏化している様子を示している。③空乏化するにあたり4-2 のような電圧を選ぶことは容易である。)

34.5

N 2 : 有効 (<公知例4-1 >①~~ベース領域全体が完全に空乏化している~~とは異なる。②ボルツマン分布を仮定すると、空乏化していなくてもポテンシャルは下に凸になる。③不純物分布を上凸状とすると、空乏化していなくてもポテンシャルは下に凸になる。④両方を考慮するとこれがさらに顕著になる。⑤よって、6図Bからベース領域が完全空乏化しているとするのは誤り、①公知例4-1 と4-2 とはその課題が異なり、両者を結びつけるものはない。)

→ 取下げ

34.9

174.11  
S 3 : 無効 (①近似法〔ボルツマン分布や不純物分布〕についての議論は明細書に基づいていないから意義のないものである。② 6 図 B は空乏化を示すものである。〈公知例 4-1 〉③本特許発明の特徴とする構成要件をすべて具備。④残像抑制という目的は異なるが、公知例 4-4 に記載されているように残像抑制のために全ての電荷を読み出すことは公知。⑤公知例 4-3 に記載されているように、表面層を設けると完全空乏化電圧が 30 V 以下になることは公知。)

175.7.31  
N 3 : 有効 (〈公知例 4-1 〉①「電荷転送デバイス」図 2. 2. 2. 6 には空乏化している電位分布図が描かれているが、S 社が業界慣例と主張している「空乏化した井戸を描き、このなかに蓄積された電荷を表す」という形式になっていない。②不純物分布が記載されおらず、ベース領域が完全に空乏化しているということにはならない。③完全に空乏化したときの技術的效果について記載がない。〈公知例 4-4 〉④転送時に完全空乏化するとの記載がない。⑤ p n 接合ダイオードを蓄積部とする固体イメージセンサに関する記述がない。⑥本公知例当時に p n 接合ダイオードを蓄積部とする固体イメージセンサは報告されていない。⑦本特許出願当時、p n 接合ダイオードを蓄積部とする I T C C D イメージセンサには残像がないと信じられていた。〈公知例 4-3 〉⑧ D J C C D は M O S C C D の変形であり、p n ダイオードの改良とは異なる。⑨ D J C C D を蓄積部と呼ぶのは誤り。)

175.12  
★ Charge to TSCC の電荷の profile を示す。

#### 4. 特許第1、728、783号

貴社は平成7年7月31日付け書簡（以下単に、前回の書簡）において、「電荷転送デバイス、CCD、BBDの基礎と応用」の図2.2と図2.6には空乏化している電位分布図が描かれているが、弊社が業界慣例と主張している「空乏化した電位井戸を描き、このなかに電荷が蓄積されたときの電位を表す」という形式になっていない旨主張されています。確かにこの文献では「空乏化した電位井戸を描き、このなかに電荷が蓄積されたときの電位を表す」という形式になっていません。しかし、例えば"CHARGE COUPLED DEVICES IN SIGNAL PROCESSING SYSTEMS" VOL.I DIGITAL SIGNAL PROCESSING, pp.4-5~4-6, JULY 1974（参考例4-1）やUS P 3, 738, 485（参考例4-2）Fig. 2には「空乏化した電位井戸を描き、このなかに電荷が蓄積されたときの電位を表す」形式の電位分布図が描かれています。したがって、深さ方向の電位分布図を描く手法には2つの形式が存在していたこととなります。このことを承知したうえで、公知例4-1の6図Bを見たならば、この電位分布図がどちらの形式で描かれたものかは一目瞭然です。公知例4-1の6図Bは空乏化した井戸である実線とこのなかに電荷が蓄積されたときの電位を表していると

いう以外に解釈のしようがありません。

さらに、「電荷転送デバイス、CCD、BBDの基礎と応用」の第12頁16～19行には、「2つのダイオードを逆バイアスとし、可動電荷を排出し終わった後に、電位の井戸、したがって空乏バルクチャネルが形成される（図2.6b）。可動の信号電荷、この場合は電子、は電位の極大の近傍に存在し、図2.6cの平坦な部分を生じさせる。」と記載されています。これは、完全空乏化していればエネルギー準位図が下に凸になり、可動電荷が蓄積されていればエネルギー準位図に平坦な部分が生じることを明示しています。したがって、この文献を参照すれば、電位分布図が下に凸になっている公知例4-1の6図Bの実線が完全空乏化した電位井戸を示していることは明らかです。

貴社は前回の書簡において、公知例4-1には不純物分布が記載されおらず、ベース領域が完全に空乏化しているということにはならない旨主張されています。しかし、

れた部分において、1)残像がないとうたわれているのは「p n接合ダイオードを蓄積部とするインターライン転送CCD固体撮像素子」ではなく、単に「固体撮像素子」または「CCDイメージセンサ」です。2)また、残像がないとは撮像管との対比において述べられているにすぎません。したがって、これら文献より推定できるのは、「固体撮像素子やCCDイメージセンサは撮像管に比較して残像が少ないと信じられていた」ということだけです。このように、これら文献から「p n接合ダイオードを蓄積部とするインターライン型CCDイメージセンサには残像がないと信じられていた。」と結論づけることは不可能です。このことは、貴社の従業員によって著された参考例4-3（TV学会技術報告「CCD単板カラーカメラ」）の「とくに感度、低照度での残像についてはビジコンによる単板カラーカメラを凌駕することができたことは、固体撮像デバイスの将来が非常に明るくなったといえる。」（P. 88, 左欄3～6行）の記載からも読み取ることができます。すなわち、このくだりは固体撮像デバイスには残像はあるもののその大きさはビジコンよりも小さい（「凌駕することができた」）、ということの意味しており、残像がない（ゼロである）とは言いません。これは貴社自身が認めていることです。

さらに、CCDイメージセンサにおいて残像があったことは特開昭49-22869（公知例4-5）にありますように公知です。公知例4-5にはCCD固体撮像装置において転送効率が悪いと（＝不完全転送の場合には）残像が生じる点が記載されています。

・ 以上のとおり、「pn接合ダイオードを蓄積部とするインターライン型CCDイメージセンサには残像がないと信じられていた。」との貴社が主張には根拠がありません。

貴社は前回の書簡において公知例4-3に関し、DJCCDはMOSCCDの変形であり、pn接合ダイオードの改良とは異なる旨主張されています。しかし、本公知例4-3は公知例4-1に明確に記載されていない点（完全空乏化に必要な電圧が30ボルト以下である点）を補助する役割を果たす文献でありますから、pnp構造であって蓄積部を空乏化するのに必要な電圧が30V以下であるという事実さえ開示されていればよく、これがpn接合ダイオードの改良であるか否かは本特許の有効性を

います。例えば公知例 4 - 8 では光電変換素子を光感応 CCD 素子と称しています(P 2, 右下欄 19 行~ P 3, 左上欄 1 行)。

貴社は本特許審査経過において「一般の CCD において信号電荷は完全に転送され、転送後の蓄積領域は完全空乏状態となる」ことを認めています(特許異議答弁書 P. 9, 12~19 行)。これは、蓄積部としての CCD においても同様であり、よって、従来の IT 型固体撮像素子では蓄積部の信号電荷を完全転送しており、転送後の蓄積部は完全空乏化していたこととなります。この点は、公知例 4 - 11 の「フォト電極(10)下に形成される電位の井戸はシフトレジスタ(12)に形成される電位の井戸に比較して浅いので、信号電荷が全てシフトレジスタ(12)の方へ転送される。」(P. 3, 右上欄 12~15 行)との記載にも裏付けられています。この記載は CCD における完全転送を意味しています。これらより、上記公知例 4 - 1, 4 - 6~4 - 11 にありますような一般の固体撮像素子におきましては、信号電荷は電荷蓄積部から電荷転送部へ完全に転送され、転送後の電荷蓄積領域は完全空乏状態となります。

公知例 4 - 4 の全ての電荷を読み出すので固体撮像装置には残像がないとの記載より、上記公知例 4 - 1, 4 - 6 ~ 4 - 11 に記載されているような一般の固体撮像素子では残像がないことが周知です。

さらに、これら参考例の固体撮像素子は全て電荷蓄積部がBCCDで構成されておりますから、電荷蓄積部に本特許と同様にpn接合があり、また、インターライン転送型である点においても本特許と同様です。

ただし、本特許の信号電荷蓄積部がPNPで構成されているのに対し、これら一般の電荷結合素子の多くは信号電荷蓄積部がMOSCCDで構成されている点において両者は相違しています。しかしながら、MOSCCDがPNPCCDで置き換え可能であることは公知例 4 - 1, 4 - 3 等多くの文献に記載されていますように公知です。本特許は出願当時最も一般的であった、信号電荷蓄積部をMOSCCDで構成した固体撮像素子を上記公知例 4 - 1 や 4 - 3 に倣ってPNPCCDに置き換えたにすぎません。

MOSCCDをPNPCCDに置き換えることの根拠を以下に説明いたします。公知例 4 - 1 には、MOSCCDでは受光感度が悪いため、これを改善するためにPN

CDの説明として、"a totally depleted potential well is formed which can be used to store mobile charges."と記載されており、本公知例のDJCCDに可動電荷を蓄積する蓄積部があることは明らかです。

2000.2.2.

清水 雅彦

Sony HAD Sensor

萩原氏の持論 52-58414 の精求範囲

において 半導体基体と半導体領域は  
必ずしも同一とは限らないと理解し得る。

基体はあくまでも母体であり、領域とは  
ありません。 下記説明・詳細説明においては  
「2の例においては - 2の場合 - 」と強調し  
ている様に、あくまでも一例を示しているとして理解出来、  
精求範囲を拘束するものではないと解釈  
出来ます。

図6から、精求範囲ではないが、ベース/領域は  
完全空乏化しており、No. Lag の HAD センサ  
構造のベース(基本)を示していると考えられます。

2000.2.2. カマフライト事 鈴木直也

個人的な見解として  
構造に関して、

特開昭 52-58419

は、特許請求の範囲を以て、

現 HAD 構造を見ると、似ていると思います。

~~2000, 2, 2~~ 条 条 詳 査 部

基板とオシ領域が同じもので

あるかどうかは、判断できません。

(違うかも知れない)

2000, 2. 2 条 条 詳 査 部.

# JPA 1980-138026

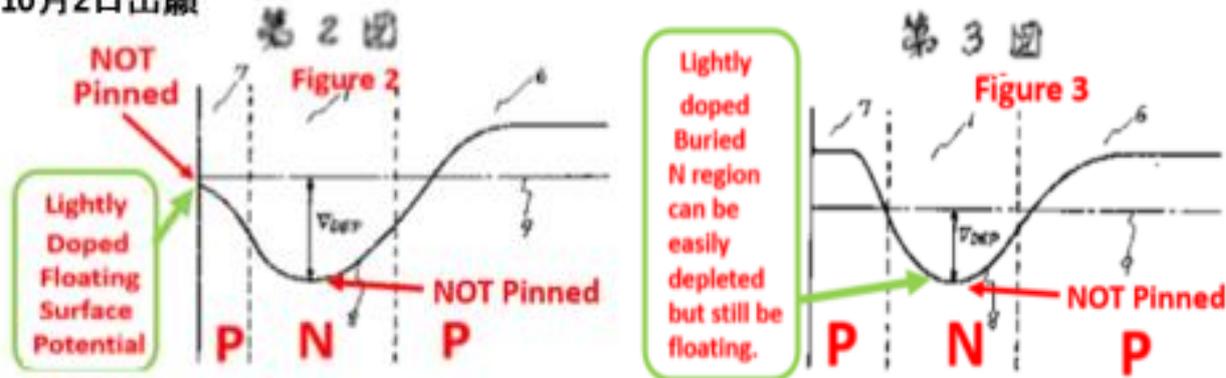
Japanese Patent on Buried Photodiode by Teranishi.

This is NOT a Pinned Photodiode Patent.

Buried Photodiode (BPD) is not always Pinned Photodiode (PPD).

This patent includes the Fig. 2 case of the completely depleted surface P region which is not by definition Pinned Photodiode (PPD).

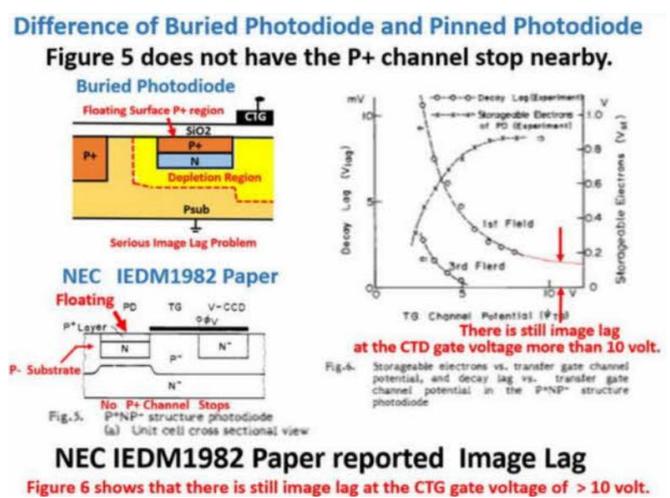
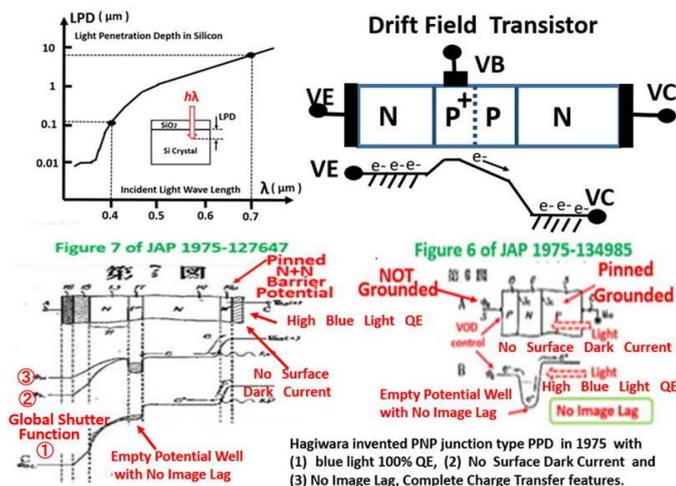
1980年10月2日出願



「N層を完全空乏化して動作させる」事が目的であるが、実際に完全空乏化できる為には更に条件が必要な事を理解していない。表面がピン留め固定されなければならない。実施例図では、表面P層が空乏化する可能性も特許範囲として明示している。表面P層の電位は完全にピン止め固定する必要がない事を明示している。この特許は自ら Pinned Photodiode でないことを明示した特許である。表面P層がピン止めされないと、理論的にN層の完全空乏化時(Empty Potential Well)の電位は固定不可能である事を理解していない。隣接する電荷転送電極(CTG)との酸化膜の寄生容量により、埋込みN層も浮遊状態となるので電位が振られてしまう。電荷転送電極(CTG)の電位が電荷転送時にプラスに深くなると埋込みN層もプラス方向に寄生容量により深くなる。完全電荷転送は難しい。CTGのゲート容量の影響を受け、埋込みN層が浮遊状態であるので完全にはN層の信号電荷は完全転送できない。必ず残像が生じる。また残像の生じる Photodiode は定義により Pinned Photodiode ではない。埋め込み Photodiode は必ずしも Pinned Photodiode ではない。結論として この NEC の特許は Pinned Photodiode の特許ではない。

## JPA1975-127646 and JPA1975-134985

## IEDM1982 NEC Paper has Image Lag



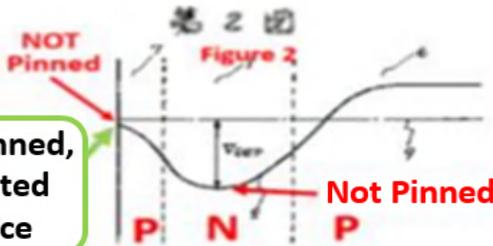
萩原は JPA1975-1247646、JPA1975-1247647、JPA1975-134985 特許で PPD の埋込み層の電位と電荷転送電極 (CTD) の間の相関的な電位 Profile 図を明記し、この受光面がピン留めされた埋込み型 Photodiode (Pinned Photodiode) が完全空乏化電荷転送をする事を実施図に明示している。図は数式や文より明確に動作を説明する。

# JPA 1980-138026

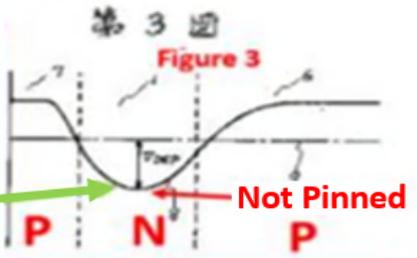
1980年10月2日出願

特 願 昭55-138026  
 出 願 昭55(1980)10月2日  
 発 明 者 寺西信一  
 発 明 者 石原保雄  
 発 明 者 白木廣光

This patent is on the PNP junction type Buried Photodiode but NOT Pinned Photodiode. The surface P region is not pinned and grounded. The surface potential can be of any value depending on the floating buried N region potential, which is actually controlled by the substrate Psub potential which is grounded in this case, but in case of a built-in VOD function P+NPNsub junction photodiode, the P region potential is controlled by the Nsub VOD voltage and can be any value. The surface P region must be pinned by the adjacent P+ channel Stops region or the adjacent metal contact wiring.



Not Pinned, Depleted Surface

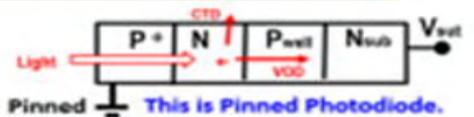


The surface P region is not Pinned. The Buried N region is still floating.

## Comparison of Various Light Detecting Photo Sensor Structures

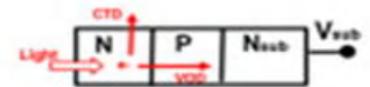
- P+NPNsub 接合型HAD受光素子 (JPA 1975-134985)

萩原(1975) 基板(Nsub)に P+NP 接合を形成する。



- NPNsub 接合型 VOD 受光素子 (JPA 1978-1971)

山田(1978) 基板(Nsub)に NP 接合を形成する。



- PNPsub 接合型埋込み型受光素子 (JPA 1980-138026)

寺西(1980) 基板(Psub)に PN 接合を形成する。



This is just a buried photodiode....

feature \ type	Classical N+Psub Photodiode	Surface Channel CCD	Buried Channel CCD	Yamada 1978 NPNsub	Teranishi 1980 PNPsub	Hagiwara 1975 PNPsub
Blue Light Sensitivity	○	X	X	○	○	○
Low Image Lag	X	○	○	X	○	○
Surface Dark Current	X	X	X	X	○	○
Surface Trap Noise	X	X	○	X	○	○
Vertical OFD (VOD)	X	X	X	○	X	○
Electrical Shutter	X	X	X	X	X	○

電子 shutter 機能は VOD付き Pinned Photodiodeのみが可能です。

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—62557

⑬ Int. Cl.<sup>3</sup>  
H 01 L 27/14  
29/76  
31/10

識別記号

庁内整理番号  
7021—5F  
6851—5F  
7021—5F

⑭ 公開 昭和57年(1982)4月15日

発明の数 2  
審査請求 未請求

(全 5 頁)

⑮ 固体撮像装置とその駆動方法

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑯ 特 願 昭55—138026

⑰ 発 明 者 白木廣光

⑱ 出 願 昭55(1980)10月2日

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑲ 発 明 者 寺西信一

⑳ 出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号日  
本電気株式会社内

東京都港区芝5丁目33番1号

㉑ 発 明 者 石原保雄

㉒ 代 理 人 弁理士 内原晋

明 細 書

発明の名称 固体撮像装置とその駆動方法

特許請求の範囲

1. 第1導電型の半導体基板と、この基板の主面に形成され光の入射による信号電荷を蓄積する第1導電型と逆導電性の第2導電型の蓄積領域と、この蓄積領域に対応して設けられた信号電荷転送手段と、前記蓄積領域と前記信号電荷転送手段との間に設けられ前記蓄積領域から前記信号電荷転送手段への信号電荷の転送を制御するトランスマフケットとを有する固体撮像装置の単位セルにおいて、前記蓄積領域の表面の全面に前記第1導電型の表面層が設けられ、かつ前記蓄積領域が完全に空乏化するのに必要な前記基板と前記蓄積領域との間の逆バイアス電圧が30ボルト以下であることを満たすように構成されてなることを特徴とする固体撮像装置。

2. 第1導電型の半導体基板と、この基板の主面に

に形成され光の入射による信号電荷を蓄積する前記第1導電型と逆導電性の第2導電型の蓄積領域と、この蓄積領域に対応して設けられた信号電荷転送手段と、前記蓄積領域と前記信号電荷転送手段との間に設けられ前記蓄積領域から前記信号電荷転送手段への信号電荷の転送を制御するトランスマフケットとを有する固体撮像装置の単位セルの、前記蓄積領域の表面の全面に前記第1導電型の表面層が設けられ、かつ前記蓄積領域が完全に空乏化するのに必要な前記基板と前記蓄積領域との間の逆バイアス電圧  $V_{DEP}$  が30ボルト以下であることを満たすように構成された固体撮像装置において、前記トランスマフケットのチャンネル部の電気的に中性のときのフェルミ電位と真性フェルミ電位との差を  $V_F$  としたとき、前記基板の内部の空乏化していない部分のフェルミ電位を基準とした前記トランスマフケットのチャンネル電位の絶対値  $V_{ch}$  を  $V_{DEP} + 2V_F$  以上にすることによって前記蓄積領域から前記信号電荷転送手段へ電荷を移すことを特徴とする固体撮像装置の駆動方法。

発明の詳細な説明

この発明は残像を小さくした固体撮像装置とその駆動方法に関する。

固体撮像装置の中でも電荷結合素子 (CCD) を用いた固体撮像装置は出力容量が小さいために雑音小さく、きわめて低照度での撮像が可能である。しかし、例えば、従来の p-n 接合を蓄積領域に用いたインターライン転送方式 CCD 固体撮像装置では低照度ほど残像が目立つようになり、再生画像は見るに耐えないものになってしまう。従って雑音が低照度撮像限界を決めるのではなく、残像が低照度限界を決めることになる。残像を減少すれば撮像可能な限界照度を低くすることが出来る。

第 1 図は p-n 接合を蓄積領域に用いたインターライン転送方式 CCD 2 次元固体撮像装置の平面模式図である。p 型半導体基板の受光側の主面にこの基板と p-n 接合し、入射光による信号電荷を蓄積する n 型の蓄積領域 1 が多数個複数列に配列形成されている。蓄積領域 1 の各列ごと

に近接した垂直 CCD レジスタ 2 の端部に転送し、さらに水平 CCD レジスタ 4 を通って出力装置 5 へ移動させる。

次に残像の原因を説明する。p 型の基板の内部のフェルミ電位を基準とした n 型の蓄積領域 1 の電位を  $V_A$ 、トランスフェゲート 3 がオン状態のときのチャンネル電位を  $V_{ch}$  とする。この  $V_A$  は p 型の基板と n 型の蓄積領域 1 との間の逆バイアス電圧である。また、トランスフェゲート 3 のチャンネル部の電気的に中性のときのフェルミ電位と真性フェルミ電位との差を  $V_F$  とする。すると  $V_F$  は、

$$V_F = \frac{kT}{q} \left| \ln \frac{N_B}{n_i} \right|$$

と表わされる。ただし  $k$  はボルツマン定数、 $T$  は絶対温度、 $q$  は単位電荷量、 $N_B$  はチャンネル部の不純物濃度、 $n_i$  は真性濃度である。n 型の蓄積領域 1 を完全に空乏化させるのに必要な  $V_A$  を  $V_{DEP}$  とする。従来の固体撮像装置では蓄積領域 1 のドナー濃度が大きく、 $V_{DEP}$  は通常の動作条件の  $V_A$  よりはるかに大きい。通常、MOS 型の集

成回路の最高電圧は p-n 接合の耐圧とゲート酸化膜の耐圧によって決まり、30V である。信号電荷蓄積時には、入射光に反応して蓄積領域 1 に信号電荷である電子が蓄積され、蓄積領域 1 中の空乏層は小さくなり、 $V_A$  は小さくなる。トランスフェゲート 3 がオン状態になり、チャンネル電位が  $V_{ch}$  となると、蓄積領域 1 より垂直 CCD レジスタ 2 へ信号電荷が移り始める。トランスフェゲート 3 を MOS 電界効果トランジスタ (MOSFET) とみなし、蓄積領域 1 をソースとし、垂直 CCD レジスタ 2 をドレインと考える。すると  $V_A < V_{ch} - 2V_F$  ならばこの MOSFET は強反転状態で動作し、電荷転送はすみやかに行なわれ、 $V_A$  は  $V_{ch} - 2V_F$  程度になる。しかし  $V_A > V_{ch} - 2V_F$  ではこの MOSFET は弱反転状態で動作するために、電荷転送は遅く、 $V_A$  は最終到達電位である  $V_{ch} - V_F$  になかなか到達しない、トランスフェゲート 3 をオン状態にするのは垂直帰線期間のうちの 1 部期間である。標準テレビジョン方式では垂直帰線期間は約 1110  $\mu\text{sec}$  であり、トランスフェゲート 3

対応して信号電荷転送手段としての垂直 CCD レジスタ 2 が形成されている。蓄積領域 1 と垂直 CCD レジスタ 2 との間にはトランスフェゲート 3 が設けられている。垂直 CCD レジスタ 2 の一方の端部は水平 CCD レジスタ 4 に接続されており、この水平 CCD レジスタ 4 の一方の端部は出力装置 5 に接続されている。光電変換を行なう蓄積領域 1 以外の部分はアルミニウムによって光遮蔽されている。

このようなインターライン転送方式 CCD 2 次元イメージセンサの駆動方法と動作の様子を説明する。信号電荷蓄積時に、入射光に反応して蓄積領域 1 に信号電荷が蓄積される。この信号電荷はトランスフェゲート 3 がオン状態になりチャンネルが形成されることによって、垂直 CCD レジスタ 2 に移される。トランスフェゲート 3 がオフ状態になりチャンネルがなくなると、垂直 CCD レジスタ 2 と蓄積領域 1 との間に電位障壁ができ、信号電荷の次の蓄積が始まる。垂直 CCD レジスタ 2 と水平 CCD レジスタ 4 はパルスによって駆動され、垂直 CCD レジ

をオン状態にする期間は通常  $1\mu\text{sec}$ 程度から  $500\mu\text{sec}$ 程度までである。例えばトランスフェグート3のチャンネル長を  $5\mu\text{m}$ 、チャンネル幅を  $5\mu\text{m}$ 、蓄積領域1の容量を  $0.03\text{pF}$ とすると、 $V_A$ が  $V_{ch} - 2V_F$ 程度から  $V_{ch} - V_F$ になるのに必要な時間は数十  $\text{msec}$ であり、トランスフェグート3がオン状態の期間に比較してはるかに大きい。このため、通常のトランスフェグート3のオン状態の期間では、信号電荷は蓄積領域1より垂直CCDレジスタ2へ完全には転送されず、一部の信号電荷が蓄積領域1に取り残されることになり、この取り残された信号電荷は以後のトランスフェグート3がオン状態になったときに蓄積領域1より垂直CCDレジスタ2へ転送され、再生画面上では残像となって表われる欠点があった。

この発明の目的は上記のような残像をなくした固体撮像装置とその駆動方法を提供することにある。

この発明によれば、第1導電型の半導体基板と、この基板の主面に形成され光の入射による信号電

特徴とする固体撮像装置の駆動方法が得られる。

以下この発明の実施例に基いて説明する。

この発明による残像をなくした固体撮像装置では、従来に比較して蓄積領域1のドナー濃度が低くなっており、かつ、蓄積領域1の表面の全面にp型の表面層が設けられている。このため蓄積領域1を完全に空乏化させるのに必要な逆バイアス電圧  $V_{DEP}$  は小さく、 $V_{DEP} + 2V_F$  は通常のMOS型集積回路の最高電圧  $30\text{V}$  より小さい。 $V_{DEP} + 2V_F < 30$  ボルトであるので、 $V_{ch}$  を  $V_{DEP} + 2V_F$  以上にすることができる。 $V_{ch} > V_{DEP} + 2V_F$  とした駆動方法では、トランスフェグート3がオン状態になり、チャンネル電位が  $V_{ch}$  になると、蓄積領域1より垂直CCDレジスタ2へ信号電荷が移り始める。トランスフェグート3をMOSFETとみなし、蓄積領域1をソースとし、垂直CCDレジスタ2をドレインと考える。すると、 $V_A$ の最終到達電位  $V_{DEP}$  においても  $V_A < V_{ch} - 2V_F$  であるので、このMOSFETは常に強反転状態で動作し、電荷転送はすみやかに行われ、蓄積領域1が完

荷を蓄積する第1導電型と逆導電性の第2導電型の蓄積領域と、この蓄積領域に対応して設けられた信号電荷転送手段と、前記蓄積領域と前記信号電荷転送手段との間に設けられ前記蓄積領域から前記信号電荷転送手段への信号電荷の転送を制御するトランスフェグートとを有する固体撮像装置の単位セルにおいて、前記蓄積領域の表面の全面に前記第1導電型の表面層が設けられ、かつ前記蓄積領域が完全に空乏化するのに必要な前記基板と前記蓄積領域との間の逆バイアス電圧が  $30$  ボルト以下であることを満たすように構成されてなることを特徴とする固体撮像装置が得られる。さらに前記この発明の固体撮像装置において、前記トランスフェグートのチャンネル部の電氣的に中性のときのフェルミ電位と真性フェルミ電位との差を  $V_F$  としたとき、前記基板の内部の空乏化していない部分のフェルミ電位を基準とした前記トランスフェグートのチャンネル電位の絶対値  $V_{ch}$  を  $V_{DEP} + 2V_F$  以上にすることによって前記蓄積領域から前記信号電荷転送手段へ電荷を移すことを

完全に空乏化し、 $V_A$ が最終到達電位  $V_{DEP}$  になる。例えばトランスフェグート3のチャンネル長が  $5\mu\text{m}$ 、チャンネル幅が  $5\mu\text{m}$ 、蓄積領域1の容量が  $0.03\text{pF}$ の場合に、 $V_A$ が  $V_{DEP} - 2V_F$ 程度から  $V_{DEP}$ になるのに必要な時間は高々  $100\text{nsec}$ 程度であり、トランスフェグートがオン状態にある時間  $1\mu\text{sec}$ 程度から  $500\mu\text{sec}$ 程度に比較して非常に速い。この結果、信号電荷は蓄積領域1より垂直CCDレジスタ2へ完全に転送され、蓄積領域1に信号電荷が取り残されることはなく、残像現象は起こらない。

n型の蓄積領域1の表面の全面に設けられたp型の表面層の効果を説明する。第2図と第3図はこの発明のそれぞれ異なる実施例において、蓄積領域1を表面と垂直方向に見たときの電位分布を示した図である。左側が表面であり、表面よりp型の表面層7とn型の蓄積領域1とp型の基板6がある。実線8は電子が感じるポテンシャルの分布である。1点鎖線9はp型の基板6の内部の空乏化していない領域でのフェルミ電位であり、電

位の規準とする。これらの図では n 型の蓄積領域 1 が完全に空乏化した場合を示している。第 2 図は表面層 7 のアクセプタ濃度が小さく、表面層 7 が完全に空乏化している場合であり、第 3 図は表面層 7 の表面付近が空乏化していない場合である。後者の場合、表面層 7 の空乏化していない部分の電位は基板 6 の内部の空乏化していない部分の電位と等しい。さて表面層 7 の第 1 の効果は、上述したように  $V_{DEP}$  を小さくすることである。n 型の蓄積領域 1 は p 型の基板 6 と p-n 接合するだけでなく、p 型の表面層 7 とも p-n 接合するために、両方の p-n 接合面から空乏層が広がるために  $V_{DEP}$  は小さくなるのである。第 2 の効果は、電位の最大点がシリコンとシリコン表面に設けられた酸化膜との界面に位置しないために、信号電荷が界面に接触しない。この結果、信号電荷が界面付近に分布しているトラップにトラップされないので、トラップによる残像が生じないということである。さらに第 3 図に示した実施例の場合、デバイス表面に設けられた酸化膜中や酸化膜

表面上の浮遊電荷の影響が表面層のうちの空乏化していない表面付近でシードされ、蓄積領域 1 には及ばず、ロットやデバイス間での特性のばらつきが小さくなるという効果がある。またシリコンと酸化膜の界面付近が空乏化していないので、暗電流が小さいという効果もある。

この発明は、垂直方向の信号電荷転送手段として信号線を用い、この信号線が 1 個または複数個の MOSFET を介して水平方向の信号電荷転送手段としての水平 CCDレジスタや水平バケットブリゲード (BBD) レジスタに接続されている、いわゆる MOS+CCD 型 2 次元固体撮像装置や MOS+BBD 型 2 次元固体撮像装置にも適用できる。また 2 次元固体撮像装置ばかりでなく、1 次元固体撮像装置にも適用できる。

以上 n チャネル型の場合の実施例について説明した。p チャネル型の場合は、n チャネル型の場合の p と n とを入れ替へ、符号のある電位は絶対値を用いればよい。例えば、蓄積領域 1 と基板との間の逆バイアス電圧  $V_A$  やトランスファゲート

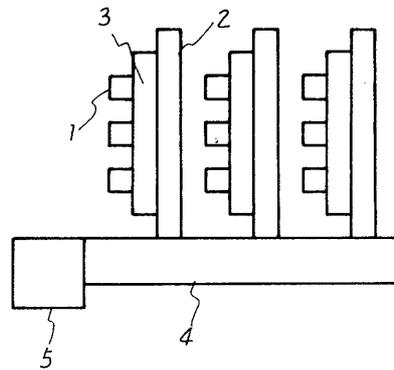
のチャネル部のフェルミ電位と真性フェルミ電位との差  $V_F$  は通常絶対値を用いるので、p チャネルでも絶対値を用いる。基板の内部の空乏化していない部分のフェルミ電位を基準としたトランスファゲートのチャネル電位は n チャネル型の場合には正であり、p チャネル型の場合には負なので、絶対値を用いる。

図面の簡単な説明

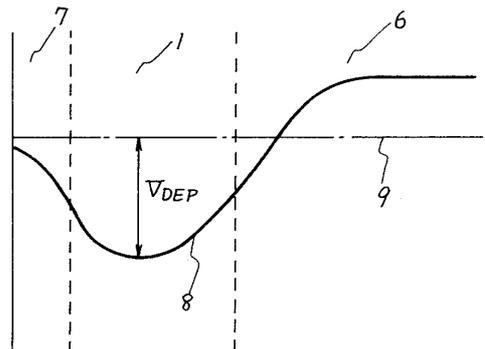
第 1 図は固体撮像装置の模式的平面図、第 2 図と第 3 図はこの発明のそれぞれ異なる実施例において、蓄積領域を表面と垂直方向に見たときの電位分布を示した図である。

1 ……蓄積領域、2 ……信号電荷転送手段 (垂直 CCDレジスタ)、3 ……トランスファゲート、6 ……基板、7 ……表面層、9 ……基板の内部の空乏化していない部分のフェルミ電位、 $V_{DEP}$  ……蓄積領域が完全に空乏化するのに必要な基板と蓄積領域との間の逆バイアス電圧。

第 1 図



第 2 図



第 3 図

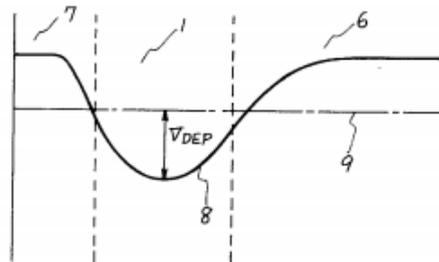
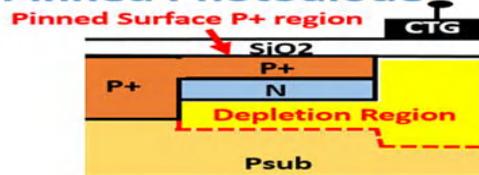


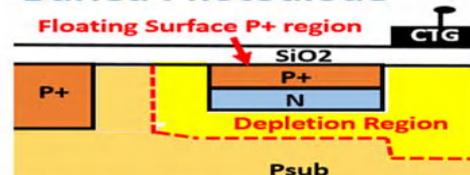
Figure 2 of this JPA 1978-138026 patent above shows that both of the surface P region and the Buried N region are completely depleted. The surface P region is evidently not pinned. The buried N region is not pinned by the surface potential. Figure 2 is not evidently Pinned Photodiode. Figure 3 shows that the surface P region has enough holes, more than the total impurity atoms in the total buried N region. However, the surface P region is not by necessity connected to the external voltage and can be floating evidently. There is no description about a pinned surface P region in this JPA 1978-138026 patent. Figure 3 is not by necessity Pinned Photodiode. This JPA 1978-138026 patent is not Pinned Photodiode patent. For Pinned Photodiode, the surface P region must be connected to the external wiring or by the adjacent P+ channel stops region.

### Difference of Buried Photodiode and Pinned Photodiode

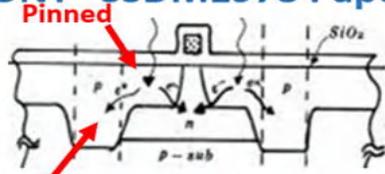
#### Pinned Photodiode



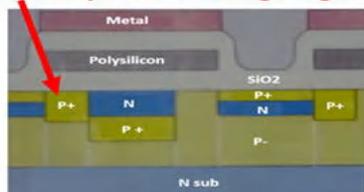
#### Buried Photodiode



#### SONY SSDM1978 Paper

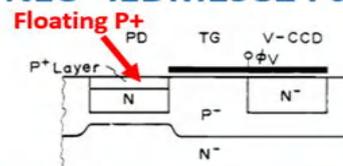


P+ Channel Stops and no Image Lag Problem

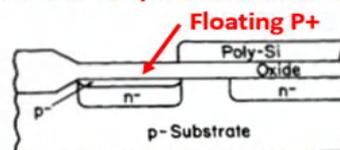


SONY 1987 HAD Sensor

#### NEC IEDM1982 Paper



No P+ Channel Stops and Serious Image Lag



KODAK IEDM1984 Paper

①日本国特許庁(JP)

①特許出願公開

③公開 昭和54年(1979)7月27日

④公開特許公報(A)

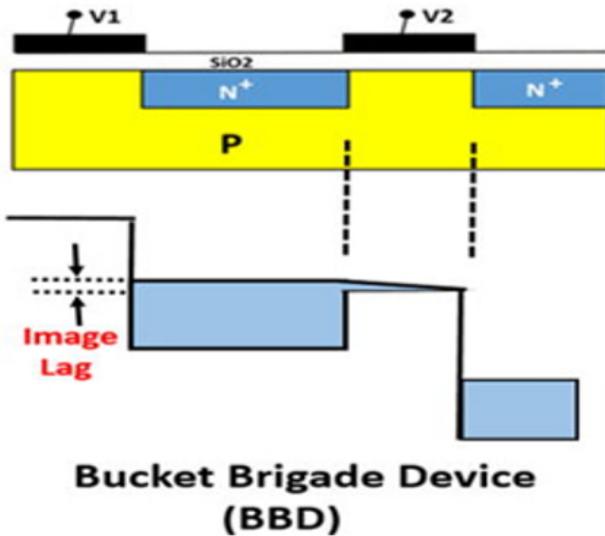
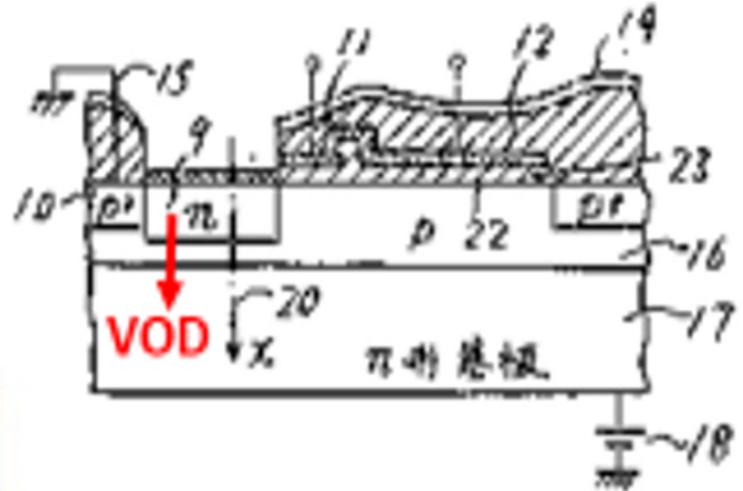
昭54-95116

⑤固体撮像装置

⑥特 願 昭53-1971

⑦出 願 昭53(1978)1月13日

⑧発 明 者 山田哲生

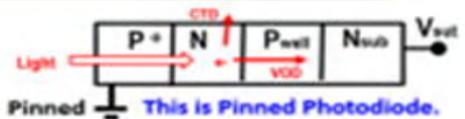


この東芝の山田さんの特許出願は、浮遊 floating 状態にある表面の N+層を受光部としています。これは残像がある受光素子です。残像のある受光素子では決して電子shutter 機能は不可能です。

**Comparison of Various Light Detecting Photo Sensor Structures**

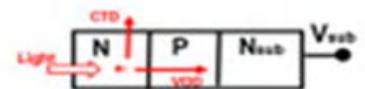
● P+NPNsub 接合型HAD受光素子 (JPA 1975-134985)

萩原(1975) 基板(Nsub)に P+NP 接合を形成する。



● NPNsub 接合型 VOD受光素子 (JPA 1978-1971)

山田(1978) 基板(Nsub)に NP 接合を形成する。



● PNPsub 接合型埋込み型受光素子(JPA 1980-138026)

寺西(1980) 基板(Psub)に PN 接合を形成する。



feature \ type	Classical N+Psub Photodiode	Surface Channel CCD	Buried Channel CCD	Yamada 1978 NPNsub	Teranishi 1980 PNPsub	Hagiwara 1975 PNPsub
Blue Light Sensitivity	○	X	X	○	○	○
Low Image Lag	X	○	○	X	○	○
Surface Dark Current	X	X	X	X	○	○
Surface Trap Noise	X	X	○	X	○	○
Vertical OFD (VOD)	X	X	X	○	X	○
Electrical Shutter	X	X	X	X	X	○

電子 shutter 機能は VOD付き Pinned Photodiodeのみが可能です。

①⑫ 特 許 公 報 (B 2) 昭59-17581

⑤① Int.Cl.<sup>3</sup> 識別記号 庁内整理番号 ②④④ 公告 昭和59年(1984) 4月21日  
 H 04 N 5/30 6940-5C  
 H 01 L 27/14 6819-5F 発明の数 1

(全 7頁)

1

2

⑤④ 固体撮像装置

②① 特 願 昭53-1971  
 ②② 出 願 昭53(1978) 1月13日  
 ⑥⑤ 公 開 昭54-95116  
 ④③ 昭54(1979) 7月27日  
 ⑦② 発 明 者 山田 哲生  
 川崎市幸区堀川町72 東京芝浦電  
 気株式会社堀川町工場内  
 ⑦① 出 願 人 東京芝浦電気株式会社  
 川崎市幸区堀川町72番地  
 ⑦④ 代 理 人 弁理士 井上 一男  
 ⑤⑥ 参考文献  
 特 開 昭51-60186 (JP, A)

⑤⑦ 特許請求の範囲

1 一導電形半導体基板に形成された複数個の光電変換素子と、この光電変換素子に蓄積された信号キャリアを読み出す手段とを有する固体撮像装置において、前記光電変換素子は前記基板上に形成された基板とは反対導電形不純物層内あるいは不純物層上に設けられてなり、前記基板又は前記基板とは反対導電形不純物層が前記光電変換素子の過剰キャリア吸収ドレインとして作用し、バイアス手段によつて前記光電変換素子の電荷蓄積層から前記過剰キャリア吸収ドレインに至る経路がパンチスルー状態となることを特徴とする固体撮像装置。  
 2 特許請求の範囲第1項記載の固体撮像装置において、光電変換素子として前記反対導電形の不純物層と接合するように形成したp-n接合素子を用い、電荷蓄積層が前記反対導電形の不純物層を通じて基板とパンチスルー状態となるようにし、前記p-n接合素子に蓄積された過剰キャリアをドレインとしての基板に流し出すことを特徴とする固体撮像装置。  
 3 特許請求の範囲第1項記載の固体撮像装置に

において、光電変換素子として前記反対導電形の不純物層上に設けた透明電極を備えたMOS構造を用い、前記透明電極に所定の電圧を印加して前記MOS構造の不純物層の界面に信号キャリアを蓄積し、前記MOS構造の不純物層と前記基板との間に逆バイアス電圧を印加して前記MOS構造の界面から前記基板にわたつてパンチスルー状態となるようにし、前記界面に蓄積したキャリアをドレインとしての基板に流し出すことを特徴とする固体撮像装置。

4 特許請求の範囲第1項記載の固体撮像装置において、基板上に基板とは反対導電形の埋込み層を設け、この埋込み層上に設けられた基板とは同一導電形の不純物層と接合するように形成したp-n接合素子を光電変換素子として用い、前記p-n接合素子の基板とは同一導電形の不純物層および前記埋込み層に対して逆バイアス電圧を印加してパンチスルー状態とし、前記p-n接合素子に蓄積された過剰キャリアをドレインとしての埋込み層に流し出すことを特徴とする固体撮像装置。  
 発明の詳細な説明

本発明は固体撮像装置の改良に係わり、特に光電変換部を狭めることなくブルーミングを防止できるようにしようとするものである。  
 従来の固体撮像装置に用いられているブルーミング防止法を第1図によつて説明する。同図aはP形シリコン基板を用いたnチャンネル電荷結合撮像装置の断面構造を示しており、1はn<sup>+</sup>不純物層によるブルーミング防止用ドレイン、2はP<sup>+</sup>不純物層によるチャンネルストップ領域、3は光電変換された信号キャリアを蓄積、転送する表面チャンネル部、4はSiO<sub>2</sub>等の絶縁層、5は例えば多結晶シリコンにリン等をドーブした導電性透明電極、6は適当な電圧を印加することによりP<sup>+</sup>層2の障害電位を適当に調節するためのバイアス電極をそれぞれ表わす。第1図bは電極5, 6に正電圧を印加した場合に基板表面に形成

される電位分布を示す。7はチャンネルストップの障壁電位、8は $n^+$ 層1を正電圧でバイアスした状態でのブルーミングドレインの電位、69はチャンネル電位をそれぞれ表わす。この状態において電極5、絶縁層4を透過して基板内に進入した光は電子-正孔対を発生させ、チャンネル部3に電子のみを蓄積させる。蓄積された電子によりそのチャンネル電位は $P^+$ 層2の障壁電位7に近づき、やがてこの電位を越えて過剰キャリアは $n^+$ 層1へ流出する。

このような構成によれば、確かにブルーミングを防ぐことができるが、 $n^+$ 層を形成する分だけ光電変換部の有効面積は狭くなり、装置の実効感度は低下し、さらに高集積化に対して不利になる欠点がある。

本発明はかかる事情に鑑みてなされたのであつて、ブルーミング防止用ドレインを光電変換素子と同一面上に設けるのではなく、光電変換素子の深部に設けることにより、有効受光面積を狭げることなくブルーミングを防止し、さらにバイアス電圧印加によりこの効果を一層高めようとするものである。

以下本発明の詳細をその一実施例を示す第2図によつて説明する。同図aは固体撮像装置の主要部分の平面略図であり、 $P-n$ 接合を光電変換素子として使用している場合を示す。9は $P-n$ 接合型光電変換素子の $n$ 形層、16は $P$ 形層、10は $P^+$ 不純物により形成されたチャンネルストップ領域、11は $n$ 形層9に蓄積された信号キャリアを讀出してレジスタ12に移動させるための移送ゲート、12は讀出しレジスタとして用いた電荷結合形レジスタの転送電極をそれぞれ表わす。

第2図bは第2図aの13-13'線に沿つた断面図を示し、第2図aと同じものには同一の符号が付してある。16は $P-n$ 接合型光電変換素子の一方に形成する $P$ 形不純物層であると同時に基板に対する障壁も形成する。15はチャンネルストップ10を基準電位に保つための配線、17は $n$ 形シリコン基板、18は16、17間を逆バイアスするための正電圧を印加する電源、23は $SiO_2$ 等の薄い絶縁膜をそれぞれ表わす。第2図cは第2図aの14-14'線に沿つた断面図であり、19は光電変換素子以外への光の漏洩を防ぐためのA1蒸着膜等で形成された光シールド、

22は信号キャリアを転送し読出しを行なうための電荷結合素子の表面チャンネル部をそれぞれ表わす。

次に第2図に示した本発明に係わる固体撮像装置の動作を概説し、その特徴を詳しく説明する。一般に信号キャリアの転送読出しレジスタを形成する転送電極12には信号キャリアを第2図cにおいて紙面に垂直な方向に転送するためにクロックパルス電圧が印加される。転送電極12に高電圧が印加されると同時に表面チャンネル22の表面電位は高くなり空乏層が形成される。この状態において移送電極11に正電圧を加えると絶縁膜23を介して $P$ 形不純物層16の移送ゲート11と対向する表面電位は高くなり、光電変換素子を形成する $n$ 形不純物層に存在する信号キャリアは移送ゲート11下の電位に応じて転送チャンネル部22へ移動する。しかる後移送ゲート11を閉じてほぼ零電位とすることにより、 $n$ 形不純物層9に再び光電変換された信号キャリアの蓄積を開始する状態に戻す。このように一定時間 $n$ 形不純物層9に蓄積したキャリアを繰返し読出しすることにより撮像動作を行なう。しかしながら一定時間内に入射する光量が非常に大きい場合には、第2図bにて示すように配列された光電変換素子の $n$ 形不純物層9内には最大蓄積可能なキャリアの量を越えたキャリアが発生し、その過剰なキャリアは $P^+$ チャンネルストップ10を越えて隣接した $n$ 形不純物層に流出するいわゆるブルーミング現象を起こす。第2図bの場合 $P-n$ 接合型光電変換素子の一方を形成する $P$ 形不純物層16は $n$ 形基板との間に第2の $P-n$ 接合を形成する構造を用い、 $P^+$ 形層により形成されたチャンネルストップ層10は配線15を通じて基準の零電位に保たれる。この状態では $P$ 形不純物層16も基準電位となるが、基板17を電源18により所定電位以上にバイアスすることにより、 $n$ 形不純物層9と $n$ 形基板17との間に存在する $P$ 形不純物層16が完全空乏化したいわゆるパンチスルー状態を実現することができる。この状態においては、 $n$ 形不純物層9と基板17との間に信号キャリア障壁として存在する $P$ 形不純物層16の電位は基準電位より切離されて正電位となり、信号キャリアである電子にとっては障壁が低くなることになる。この場合 $P^+$ チャンネルストップ層

10は依然として基準電位(零電位)であれば、過剰信号キャリアはこの層10で形成された障壁を越えることなくn形シリコン基板に流出することになる。

以上の原理を第3図に用いて更に詳細に説明すると、第3図aは第2図の20にて示したx方向に沿った本発明を適用した場合の電界分布を示し、第3図bはX方向20に沿った電位分布を示し、第3図cは第2図bの21で示したy方向にそつた電界分布を、第3図dは対応する電位分布をそれぞれ示す。なお説明を簡単にするために深さ方向に対する各不純物濃度を一定に近似し、かつ空乏層近似を用いる。

各図において符号は第2図と共通に使用されており、第3図aの24は少量の信号キャリアがP-n接合形光電変換素子の一方を形成するn形不純物層9に蓄積されている状態の電界分布を実線で示し、25はn形不純物層9からn形基板17に過剰信号キャリアがあふれ出る状態の電界分布を示したものである。第3図aに対応する電界分布は第3図bに示してあり、その48は少量の信号キャリアが存在する場合の電位分布を実線で示し、49は過剰キャリアがn形基板17に流出する状態の電位分布を破線で示したものである。なお電位は縦軸に沿つて下方が正電位となつている。

50は少量の信号キャリアを含んだn形不純物層9の最大電位を、26はP形不純物層16の障壁電位を、51は過剰キャリアの流出が起る状態でのn形不純物層9の最大電位を、52は対応する☆

☆障壁電位をそれぞれ示す。29はn形基板17に正のバイアス電圧として第2図b, cの18を印加した場合の基板電位を示す。

今n形基板17の不純物濃度を $N_{D1}$ 、P形不純物層の不純物濃度を $N_A$ 、n形不純物層9の不純物濃度を $N_{D2}$ 、基板のバイアス電圧18を $V_{SB}$ とすれば、基板17の電位29は $V_{SB} + V_{bi2}$ にて表わすことができる。たゞし

$$V_{bi2} = \frac{kT}{q} \ln \frac{N_{D1} N_A}{n_i^2} \quad \text{で、} k \text{ はボルツマン定数、} T \text{ は絶対温度、} n_i \text{ は真正キャリア密度単位電荷量をそれぞれ表わす。}$$

この場合前記のバイアス電圧 $V_{SB}$ によりP形不純物層16の最小障壁電位は基準電位、すなわちP<sup>+</sup>チャンネルストップスの電位より大きくなる。一方信号キャリア(この場合電子)で満たされているn形層9の最大電位30とP形層16の最小電位52との電位差27がP形層16とn形層9の拡散電位 $V_{bi1}$ より小さくなると、信号キャリアは障壁52を越えてn形基板17へ流出する。この場合 $V_{bi1}$ は次式にて与えられる。

$$V_{bi1} = \frac{kT}{q} \ln \frac{N_{D2} N_A}{n_i^2}$$

基準電圧に対してP形層16の障壁電位を $V_B$ 、n形層9の最大電位を $V_M$ として前記信号キャリア基板17への流出の条件を解析的に表わすと次式のようにになる。

$$V_M - V_B \geq \frac{kT}{q} \ln \frac{N_{D2} N_A}{n_i^2}$$

$$V_M = V_B + \frac{q N_{D2}}{2 \epsilon_s} \left( 1 + \frac{N_{D2}}{N_A} \right) \left( x_J - \frac{Q_{sig}}{N_{D2} \cdot q} \right)^2$$

$$V_B = V_{SB} + V_{bi2} - \frac{e N_A}{2 \epsilon_s} \left( 1 + \frac{N_A}{N_{D1}} \right) \left\{ x_B - \frac{V_{D2}}{N_A} \left( x_J - \frac{Q_{sig}}{N_{D2} \cdot q} \right) \right\}^2$$

ここで $\epsilon_s$ はシリコンの誘電率、 $x_J$ はn形層9の深さ、 $x_B$ はP形層16の厚さ、 $Q_{sig}$ は単位面積当りのn形層9に存在するキャリアの電荷量をそれぞれ表わす。

今実施例として $N_{D1} \approx N_{D2} \approx 10^{16} / \text{cm}^3$ 、

$N_A \approx 10^{16} / \text{cm}^3$ 、 $x_J = 1 \mu m$ 、 $x_B \approx 0.8 \mu m$ とすれば、 $V_{SB} \approx 5 V$ 程度以上でn形基板17はブルーミング防止用ドレインの条件を満たすことができる。なおP<sup>+</sup>チャンネルストップスは前記状態にわたつて少なくともその障壁電位が基

準電位または52より基準電位に近くなければならないが、この条件は第3図c, dに示すように容易に実現できる。第3図cの実線53はn形層9に少量の信号電荷が存在する場合の電界分布を示し、破線54はn形層9からn形基板へ信号キャリアが流出する状態でのP<sup>+</sup>チャンネルストツプス10を挟んだ電界分布を示す。さらに第3図dは同図cの電界分布に対応する電位分布を示し、実線55は少量の信号キャリアが存在する場合、破線56はn形基板17へ信号キャリアが流出する状態でのn形層9とP<sup>+</sup>チャンネルストツプス10の電位分布を示す。この実施例においてはP<sup>+</sup>チャンネルストツプス10はパンチスルー状態にはなく、その大部分の領域は多数キャリアである正孔によつて満され、常に基準電位となつて

いる。従つてn形層9の最大電位とP<sup>+</sup>チャンネルストツプス10との電位差によつて与えられる障壁電位差は第3図bの障壁電位差27より常に大きく、従つてP<sup>+</sup>チャンネルストツプス10を越えて信号キャリアが流出することはない。すなわちブルーミングは起らないことになる。本実施例ではP<sup>+</sup>チャンネルストツプス10としてY方向の長さ $\approx 5 \mu m$ 、不純物濃度 $\approx 10^{18}/cm^3$ を用いた。

次に本実施例に示した構造は、たとえばn形基板17上にP形層16をエピタキシャル成長により形成し、イオン注入法によりn形層9およびP<sup>+</sup>チャンネルストツプス10を形成することにより容易に実現できる。また熱拡散によつて形成することも可能である。

次に本発明の第2の実施例を第4図によつて説明するに、同図aはその構造を示す。固体撮像装置としての動作原理は例えば第2図に示した実施例と同様に与えることができるが、本実施例の特徴は光電変換素子としてMOS構造を用いたところにある。第4図aにおいて、32は34, 35と共にMOS形光電変換素子を形成するP形不純物層、34は透明電極、35はSiO<sub>2</sub>等の絶縁層、38はn形シリコン基板、33は複数個のMOS形光電変換素子の各々を分離するためのP<sup>+</sup>形不純物層で形成されたチャンネルストツプス層、37はこの層33およびP形層32を基準電位とするための配線、36はn形シリコン基板に逆バイアス電圧を印加するための電源をそれぞれ示す。

このような構造の第2実施例による固体撮像装置がブルーミングを防止するのにいかに有効であるかを第4図b, cによつて説明する。

第4図bは同図aのX方向31に沿つて形成される電界分布を示す。なおこの場合透明電極34には正電圧VGが加えられている。MOS構造では周知のようにゲート電極である透明電極34に正電圧を印加することによりP形層32の表面に空乏層が形成され、絶縁層35との界面に34, 35を通過して32に入射した光により発生した信号キャリアである電子が蓄積される。第4図bの実線39は前記少数の信号キャリアがP形層32の表面に蓄積された場合、破線40はP形層32の表面より信号キャリアがあふれ出すに十分な量に蓄積された状態での電界分布を示す。同図から判るようにP形層32からn形基板38にわたりパンチスルー状態が形成されるに十分な程逆バイアス電圧36が基板38に印加されている。第4図cはX方向31に沿つた電位分布を示し、実線41は信号キャリアが少数存在する場合の電位分布、破線42はP形層32の表面に蓄えられた信号キャリアがn形基板38に流出する十分な量で存在する場合の電位分布を示す。第2図、第3図にて説明したブルーミング防止法と同様な原理によりn型基板38へ印加する逆バイアス電圧39を十分高くしてP形層32からn形基板38にわたりパンチスルー状態を形成することにより、信号電荷が基板に流出すに当り障壁となるP形層内の最小電位40を基準電位より正電位にすることができ、従つて基準電位に保たれているP<sup>+</sup>チャンネルストツプス33を越えてブルーミングを起すことなく、過剰キャリアはn形基板42に流出する。すなわち第2の実施例においても基板38が過剰キャリア吸収ドレイン即ちブルーミング防止用ドレインの役割をする。

次に第5図aによつて本発明の第3の実施例を説明するに、同図9は光電変換と信号キャリアの蓄積とを行なうn形不純物層、43は9とP-n接合を形成して光電変換素子の一部を担うP形不純物層、44はブルーミング防止用ドレインとなるn形不純物層、45はP形シリコン基板、35は絶縁層、34は透明電極、10はP<sup>+</sup>形層で形成したチャンネルストツプス、46はブルーミング防止用ドレインに十分な正のバイアス電圧を印

加するための電極、47はP<sup>+</sup>チャンネルストップ  
 プス領域10およびP形層43を負または基準電  
 位にバイアスするための電極、67はP形シリ  
 コン基板45を基準電位に保つための手段をそれ  
 ぞれ表わす。

同図においては透明電極34は必ずしも必要な  
 く、さらに基準電位を必ずしも基板45の電位と  
 する必要はない。この第3実施例の特徴は、ブルー  
 ミング防止用ドレインを基板でなく埋込み層  
 44によつて形成したところにある。動作の原理、  
 方法は第1の実施例と同様である。第5図bはX  
 方向58に沿つた電界分布、第5図cは電位分布  
 をそれぞれ示す。同図cに示すように第1実施例  
 と同様に信号キャリアを蓄えたn形層9とブルー  
 ミング防止用埋込み層ドレイン44とは46、  
 47に印加された逆バイアス電圧により完全空乏  
 化したP形層43を介してパンチスルー状態とな  
 り、P形層43とn形層9との障壁電位差59は  
 小さくなり、n形層9内の信号キャリアの増加に  
 伴ない障壁電位差が拡散電位差以下になると、  
 ブルーミング防止用ドレインであるn形層44へ過  
 剰キャリアが流出する。一方P<sup>+</sup>チャンネルスト  
 プスは負または基準電圧に保たれているためブルー  
 ミング現象は起り得ない。このような第3実  
 施例の原理の詳細は第1実施例と同様である。

以上本発明を3つの実施例について説明したが、  
 本発明の適用はこれらに限られないのは勿論であ  
 つて、例えばn形不純物層とP形不純物層とを逆  
 に用い、バイアス電圧を逆に印加することによつ  
 ても実現できる。さらに固体撮像装置としての信号  
 読出し方法や蓄積方法も実施例のものに限られ  
 ず、一次元および二次元固体撮像装置のいずれに

も適用できるのは勿論である。

以上の説明から明らかなように、本発明を適用  
 することにより平面的な従来のブルーミング防止  
 法が固体撮像装置の有効面積の損失を伴うのに比  
 べ、全く有効面積を損なうことなく効率のよいブ  
 ルーミング防止が可能となる。なお本発明の付随  
 的效果として、基板内で発生し各光電変換素子間の  
 クロストークの原因となり、従つて解像度劣化を  
 もたらず長波長光、特に赤外線による不良信号キ  
 ャリアが各光電変換素子に流入せず、ブルーミ  
 ング防止用ドレインに吸収されるため、固体撮像  
 装置の解像度を向上させることができる。

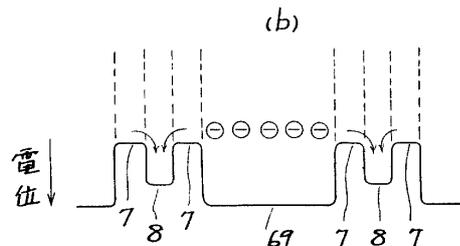
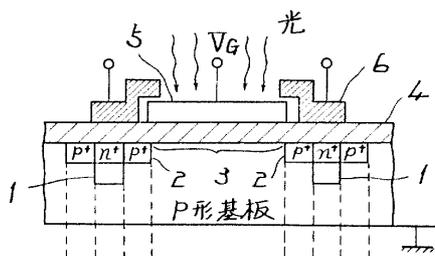
図面の簡単な説明

第1図aは従来の固体撮像素子の断面図で第1  
 図bはその基板表面における電位分布図、第2図  
 a, b, cは本発明に係わるP-n接合形光電変  
 換素子を用いた固体撮像装置の断面図で第3図a,  
 bはそのX方向に沿つた電界分布図、電位分布図、  
 第3図c, dはそのY方向に沿つた電界分布図、  
 対応する電位分布図、第4図aは本発明に係わる  
 MOS形光電変換素子を用いた固体撮像装置の断  
 面図で第4図b, cはそのX方向に沿つた電界分  
 布図、電位分布図、第5図aは本発明に係わる埋  
 込み層をブルーミング防止用ドレインとした固体  
 撮像装置の断面図で第5図b, cはそのX方向に  
 沿つた電界分布図、電位分布図である。

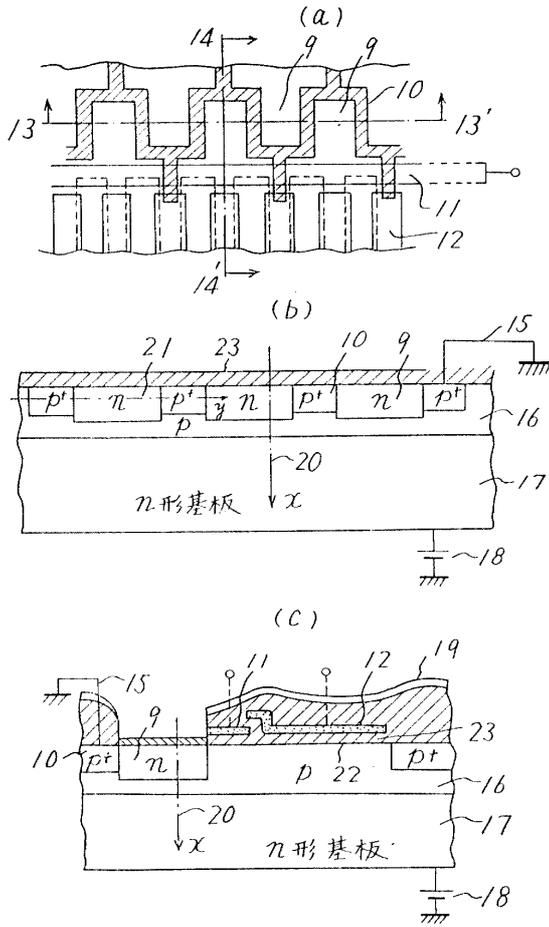
9, 16……P-n接合形光電変換素子のn形  
 層、P形層、10……チャンネルストップ層、  
 11……移送ゲート、12……転送電極、19…  
 …光シールド、33……チャンネルストップ層、  
 44……ブルーミング防止用埋込みドレイン。

(a)

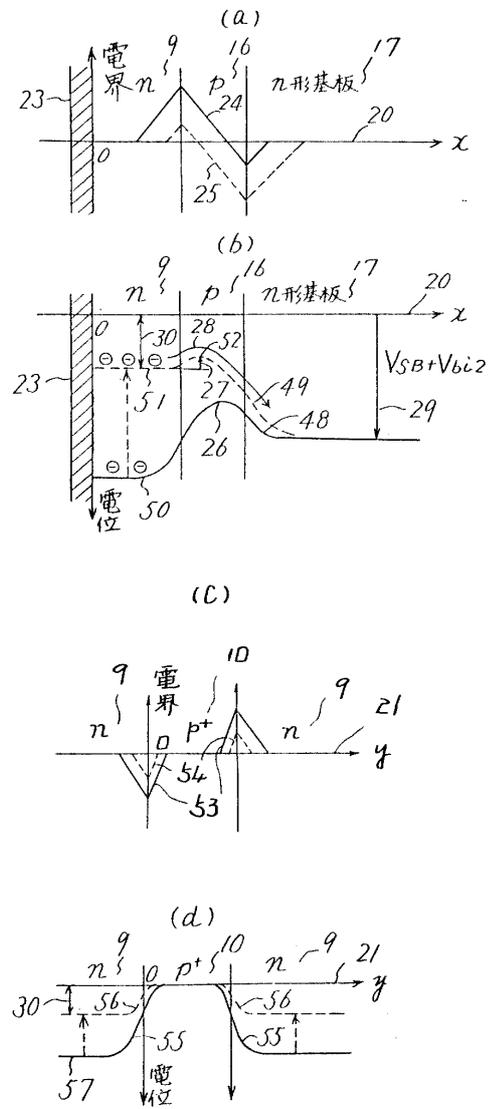
第1図



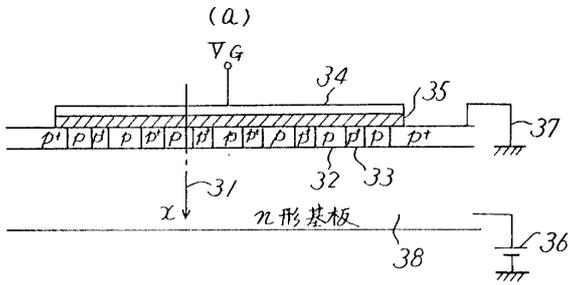
第2図



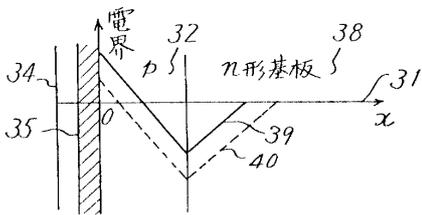
第3図



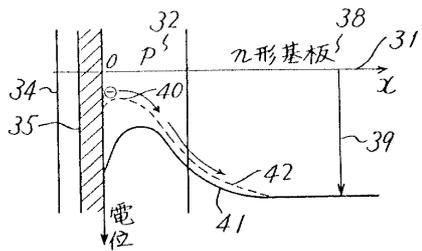
第4図



(b)

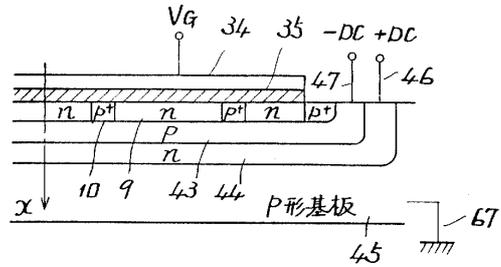


(c)

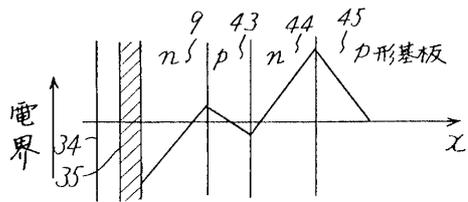


第5図

(a)



(b)



(c)

