

1 / 7

●記事の原文に解説図を追加、この詳細を Image Sensor Story と題して 本にまとめたいです。(萩原良昭)

第408回

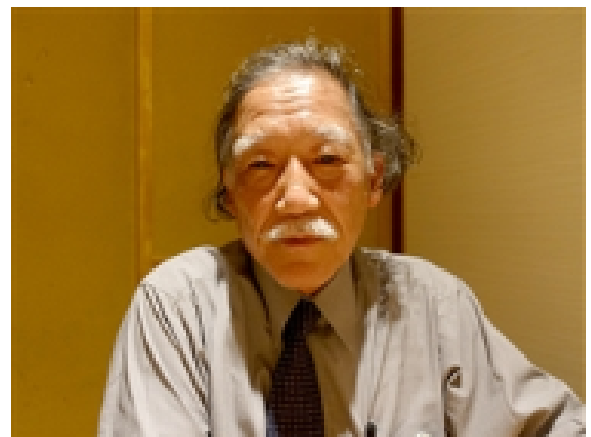
「鉄腕アトムを創りたい」という男が画像の新世界を切り開く

元ソニーの萩原良昭氏が開発したPPDは超優れものデバイス

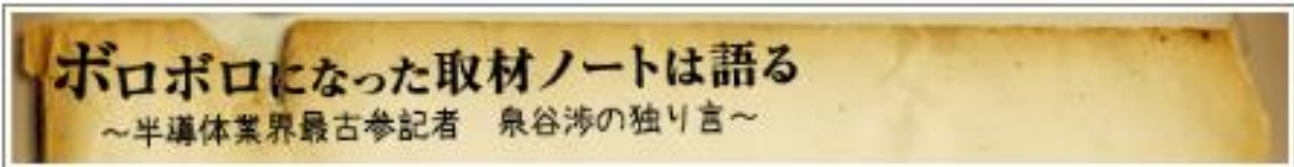
2020/11/13

「鉄腕アトムを創りたいというのが、ソニーに入社した動機であった。そしてまた、みんなが夢を共有していくというソニーの基本哲学は、自分にマッチングしていると考えた。IEEE主催の国際固体集積回路会議(ISSCC)の委員長をやらせていただくなど活躍の場を与えられ、今でもソニーには感謝している」(萩原氏)

眼光は炯炯として鋭く、口調も滑らかにこう語るのは、ソニーで半導体の中枢を駆け抜けた人物として知られる萩原良昭氏である。萩原氏は1948年に京都に生まれ、洛星高校を1965年に中退し、南カリフォルニアに在住してRiverside市立高校に編入。1967年にカリフォルニア工科大学に進む。1972年には、修士課程そして博士課程を終えて、1975年にソニーに入社する。大阪・枚方の酒屋の出身の父親は、大手映画会社の東映の美術監督であった。京都奈良の寺社や町屋を歩き、建築写真を撮る父親に小学校時代よくついて行った。



ソニーの半導体で活躍した萩原良昭氏



2 / 7

萩原氏を語るうえで何とんでもビカイチの業績は、ダブル接合型受光素子である PPD、別称 Hole Accumulation Diode (HAD) の開発に1978年に成功したことである。これはまさに快挙ともいふべき出来事であり、この原理が今日のソニーの半導体を支えている裏面照射型のCMOSイメージセンサーに結び付いていく。

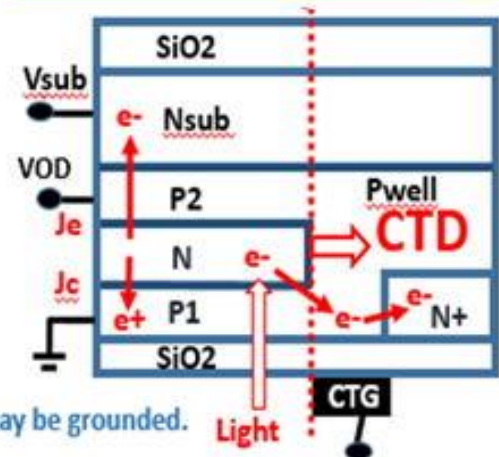
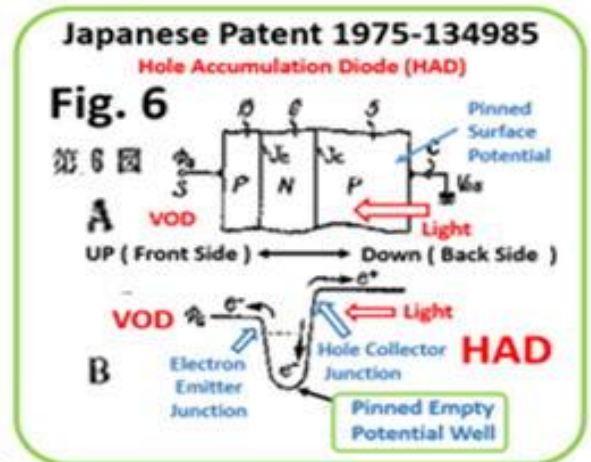
PNPN junction Transistor type Pinned Photodiode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

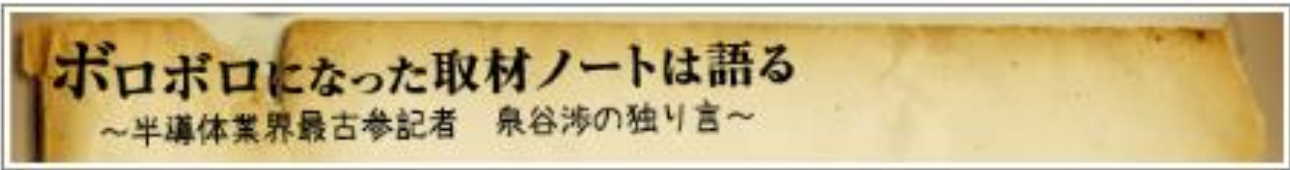
File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), the first region (P1) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) from the light collecting part (N) is transferred to the adjacent charge transfer device (CTD). (4) Both are placed along the main surface of the semiconductor substrate. (5) In the solid state image sensor so defined, a rectifying Emitter junction (Je) is formed on the second region (N) of the light collecting part (N). And (6) Collector junction (Jc) is formed by the second region (N) and the first region (P1), forming a transistor structure (P2NP1) (7) Photo charge is stored in the Base region (N) according to the illuminated light intensity, and transferred to the adjacent CTD. The solid state image sensor so defined is in the scope of this patent claim.



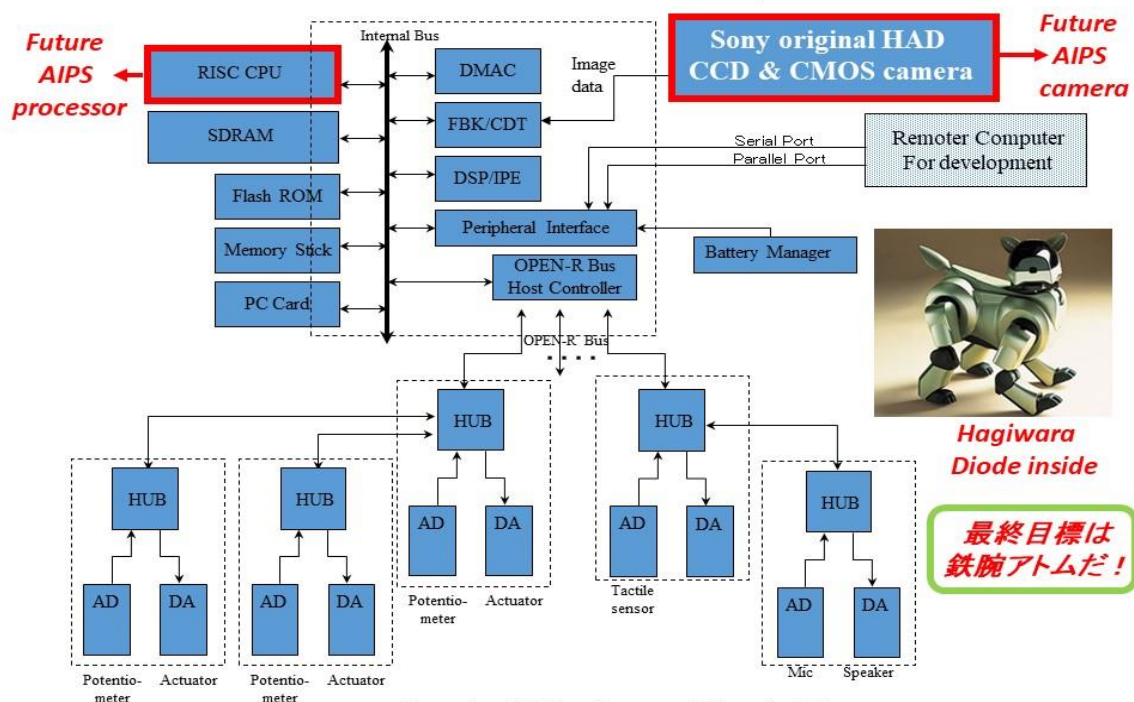
VOD may be grounded.



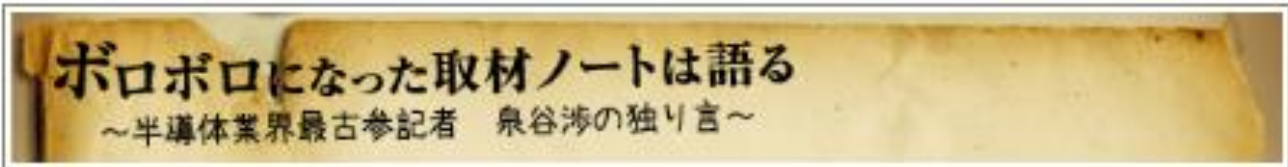
「1970年代、CCDカメラの登場は、フィルムとメカのシャッターの文化を排除し、電子映像の新しい技術革新を実現したことになり、ソニーはまたもとんでもないことをやってのけたと世間に言われた。しかし、私が思うに、実は本当の光超感度の主役はCCDではなく、PPDである。さらに、トリプル接合型PPDを採用することにより、SONYは世界初の高速電子シャッターをも実現した」(萩原氏)

このPPDのSONYでの開発背景のアナウンスが遅れたのは、発明者である萩原さん自身が1980年にこまイメージセンサーの仕事から離れ、SRAM、DRAM、ADC、マイコン、さらにはロボットのAIBOやPS2、PS3の半導体部品の開発・商品化に注力して超繁忙なためであったという。自らが開発したこのPPDの特許の存在、詳細を忘れていて、PRしなかったというのだ。

SONY AIBO 2nd Generation, ERS-210



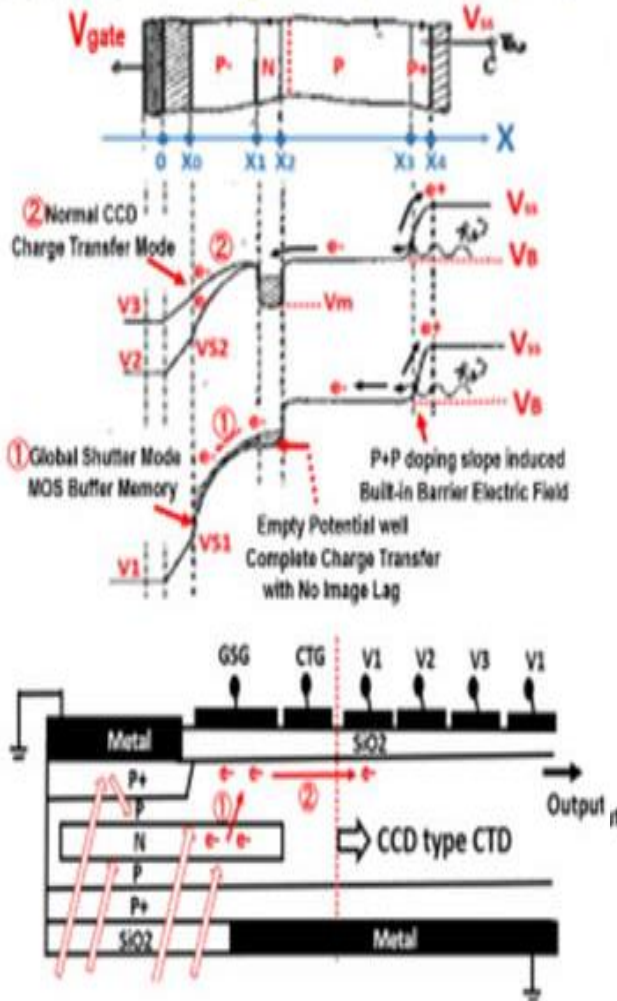
Logical Hardware Block Diagram



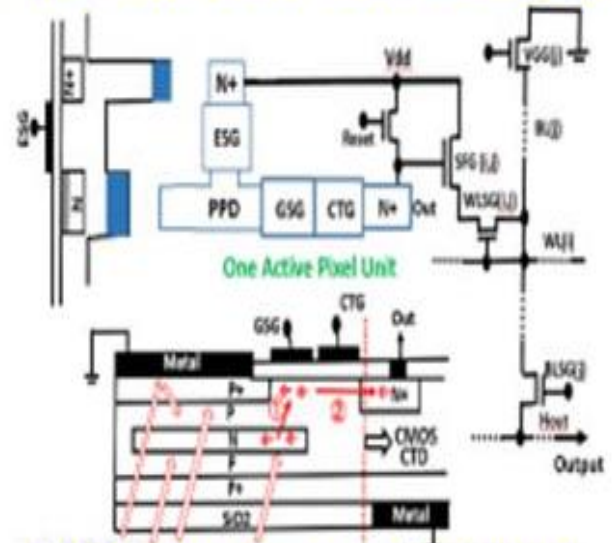
4 / 7

2019年に至って、萩原氏は仙台で開催された3次元集積回路の国際会議で初めて、IEEEの論文としてこの1975年の3つの特許を引用し、ダブル接合型とトリプル接合型のPPDの基本特許を世界の国際舞台で初めて、その詳細を紹介したのだ。

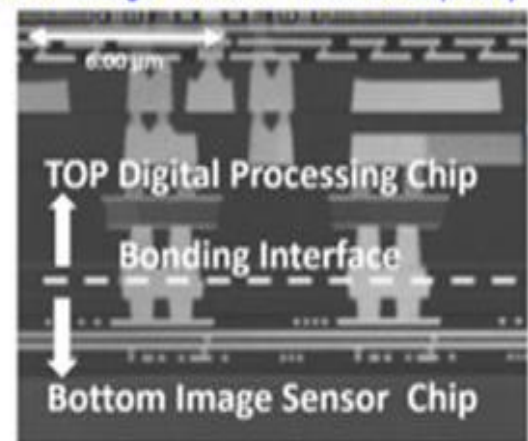
P+PNPP+接合型 Buried Pinned Photodiodeを採用した
裏面照射型 CCD Image Sensor (JAP 1975-127647)

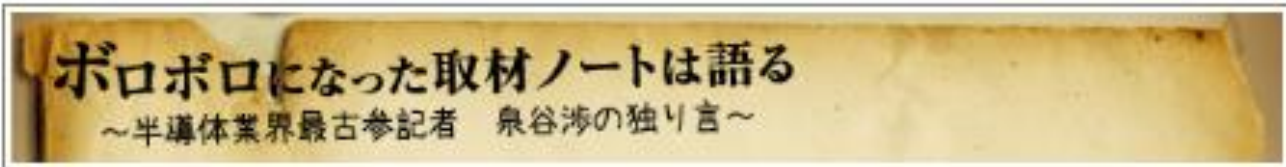


表面照射型 CMOS Image Sensor (2020)



CMOS Image Sensor の断面図(2020)

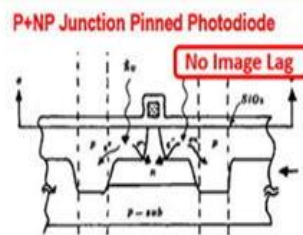
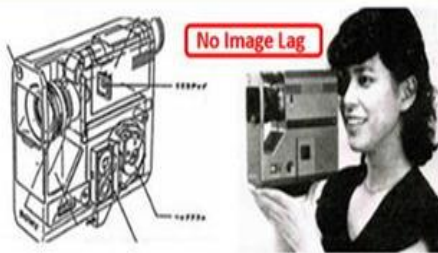




5 / 7

「PPDは超光感度で光電変換出力が非常に大きく、一方で表面暗電流ノイズが小さく、また残像がない。このことは、1975年に3つの特許で発明し、さらにそのPPDの試作開発に成功し、1978年のSSDM1978で学会発表した。ソニーはそのPPDを使って、それまでこない、超光感度で、超低雑音で、かつ残像がなく、高速アクション映像を可能にしたビデオムービーを1980年に試作し、岩間社長が東京で、盛田会長がニューヨークで同日新聞発表し、世界を驚かせた」(萩原氏)

Sony original 570H x 498 V one-chip FT CCD Image Sensor with Pinned Photodiode, July 1980



On July 1980, Iwama Kazuo at Sony Tokyo Press Conference and Morita Akio at New York Press Conference announced the one chip CCD video camera with the 8 mm VTR in one box.

See the Original 1978 Publication of the Pinned Photodiode Sensor

Y. Daimon-Hagiwara, M. Abe, and C. Okada, "A 380Hx488V CCD imager with narrow channel transfer gates," Proceedings of the 10th Conference on Solid State Devices, Tokyo, 1978; Japanese Journal of Applied Physics, vol. 18, supplement 18-1, pp. 335-340, 1979

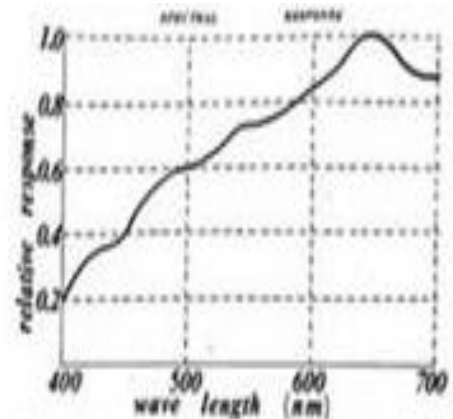
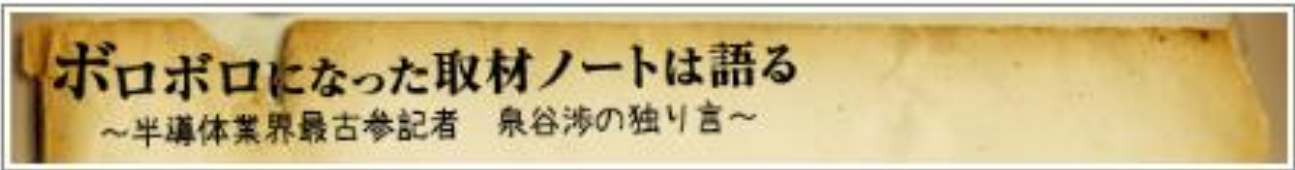


Figure 13 Spectral Response of the P+NP junction Pinned Photodiode (PPD) with the excellent blue light sensitivity

High quality picture of SONY CMOS Imager is also based on SONY HAD (Pinned Photodiode).

1970年代中頃には、イメージセンサー用のフォトダイオードの改良は日立、NEC、東芝なども躍起になって取り組んでいた。しかし、ソニーのやり方は、受光部をピン止め固定電位のPプラス層(エミッター)にすることで、従来のフォトダイオードのように表面電位を制御するのではなく、光透過率の悪いセンサー電極で受光面全面を覆う必要もないという優れたものであった。世界最高レベルの超光感度のイメージセンサーを創るということは、ソニーにとってCCD時代からの悲願であった。このブレークはこの1975年のマルチ接合型受光素子であるPPDの提案に貢献できた、と今でも考えていると萩原氏は言う。



「思い返せば、私がカリフォルニア工科大学の2年生の時に、あのインテルを創ったゴードン・ムーアが先輩としていた。ムーア氏は、これから新しいベンチャーを創るという意気込みを語っていた。200人で会社を創ることを誇りにしていた。そしてインテルができた。カリフォルニア工科大学の卒業生が集まって作ったのが、いまや半導体業界の世界チャンピオンに輝くインテルなのである」(萩原氏)

128-Bit Multicomparator Chip designed by Caltech Students and fabricated by Intel.

Ref: IEEE Journal of Solid State Circuits, VOL.SC11, No.4, October 1976

Prof. C. A. Mead and Yoshiaki Daimon Hagiwara working on the silicon chip design at Caltech in 1972

692

IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-11, NO. 4, OCTOBER 1976

128-Bit Multicomparator

CARVER A. MEAD, RICHARD D. PASHLEY, MEMBER, IEEE, LEE D. BRITTON, YOSHIKI T. DAIMON, AND STEWART F. SANDO, JR., MEMBER, IEEE

Abstract—A 128-bit multicomparator was designed to perform the search-sort function on arbitrary length data words. Devices can be cascaded for longer block lengths or paralleled for bit-parallel, word-level applications. The circuit utilizes a 3-phase static-dynamic shift register cell for data loading and a unique gated exclusive-or circuit to accomplish the compare function. The compare operation is performed bit parallel between a "data" register and a "key" register with a third "mask" register containing zero's mask bits that disable the comparator. The multicomparator was fabricated using p-channel silicon-gate metal-oxide-semiconductor (MOS) technology on a 107×150 mil chip containing 3350 devices. With combinator-translation logic (CTL) inputs, data rates in excess of 2 MHz have been attained. The average power dissipation was 250 mW in the dynamic mode and 300 mW in the static mode.

INTRODUCTION

OVER the past several years, there have been significant amounts of energy devoted to the fabrication of larger and faster semiconductor memories and conventional central processing units (CPU's) in chip form. In the process, many other applications of large-scale integration (LSI) to computer architectures have been neglected [1]. LSI has removed the technological distinction between logic and memory. It is now economically feasible to decentralize the CPU of a computer by replacing much of its microprocessor software with functional hardware to improve system efficiency. Presently, an inordinate amount of processing time is spent on organizing and accessing files in peripherals. Peripherals are usually controlled directly by the CPU and have little or no associated logic of their own. A great improvement in this situation can be made by developing peripheral logic units. This would allow each peripheral to accomplish its own internal processing and thus reduce CPU housekeeping duties. This paper describes a 128-bit multicomparator that is designed to perform the search-sort function.

The block diagram of the multicomparator is shown in Fig. 1. The circuit consists of three independently clocked static-dynamic shift registers with associated EXCLUSIVE-NOR gating. In operation, the device indicates a match between the data word and the masked bits of the key word. The multicomparator is loaded with a key word by serially shifting the word into the key register and locking the register in static mode. While the key word is being loaded, the comparator is enabled by entering zeros¹ in the appropriate locations of the

Manuscript received March 15, 1976; revised July 18, 1976.
C. A. Mead is with the California Institute of Technology, Pasadena, CA 91125.
R. D. Pashley and S. F. Sando, Jr., are with the Intel Corporation, Santa Clara, CA.
L. D. Britton is with the Hewlett-Packard Laboratories, Cupertino, CA.
Y. T. Daimon is with the Sanyo Corporation, Tokyo, Japan.

¹Values operation: high="1"= V_{DD} , low="0"= V_{CC} . Note that since V_{DD} is negative for p-channel MOS and positive for n-MOS, transistor-translation logic (CTL) levels may or may not have reverse polarity depending on the processing used.

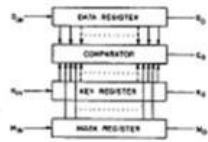


Fig. 1. Block diagram of multicomparator.

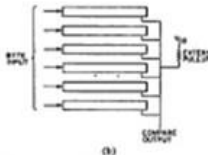
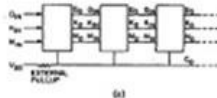


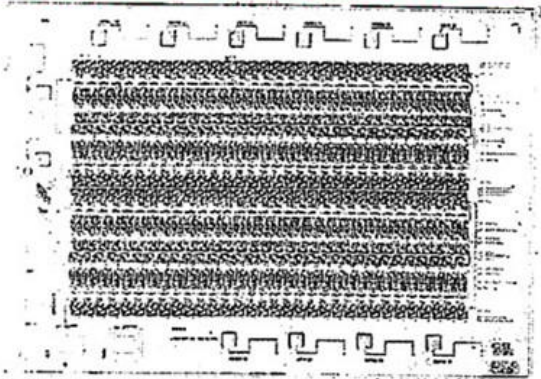
Fig. 2. Possible connections of multicomparator. (a) Cascaded. (b) Bit-parallel, word-wide.

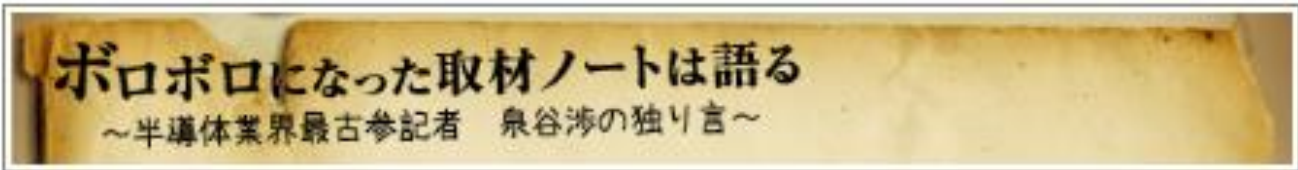
mask register. Masking allows the multicomparator to search for bit strings of varying length and composition. For example, assume it is necessary to search for all words containing a specific 113-bit code. By entering the 113-bit code in the key register and masking out the rest of the comparator, the multicomparator is confined to search for this code wherever it occurs in the data file. Once the multicomparator is loaded with "key" and "mask" words, the file being searched is serially shifted through the data register. The data words are compared in bit parallel with the masked bits of the key word as they pass through the data register. When a match is found, the compare output goes high.

Large multicomparators can be constructed of the 128-bit circuit. Cascaded [Fig. 2(a)], the comparator can be used to search for words longer than 128 bits. By implementing multicomparators in parallel [Fig. 2(b)], a word-wide, bit-parallel



128-bit Multicomparator chip, designed by Hagiwara in 1972-1973 and fabricated by Intel PMOS process.

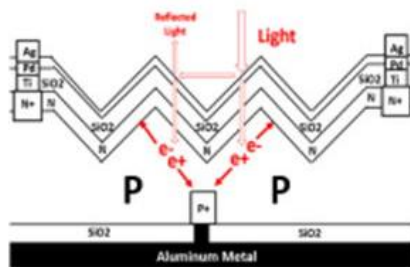




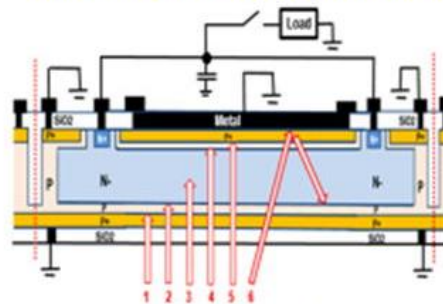
いまでも熱く語る萩原氏の脳裏にはまだまだ新しいアイデアがあるという。それは例えば「プロセッサ搭載のCMOSイメージセンサー」「可視光に頼らないCMOSイメージセンサー」「X線を検知するCMOSイメージセンサー」「太陽光に豊富な短波長紫外線を非常に効率よく電気エネルギーに変換する、超短波長光感度の太陽電池」などであり、これを開発できれば、それは素晴らしいことだと机を叩いて言う。今こそソニーは、あの死に物狂いの開発で、夢の製品、夢の工場を創ったころの原点に戻るべし、という萩原氏の指摘は、正鵠を得ているのかもしれない。

鉄腕アトムを創りたいという一心で、ソニーに入社した萩原氏の遙かなる夢の舞台はまだ終わらない。

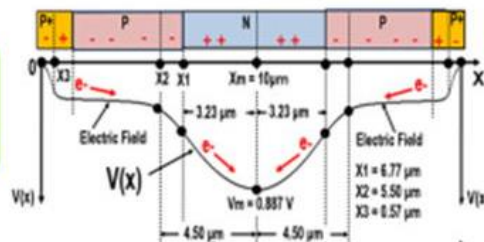
NP Single 接合型太陽電池 (従来構造)



PNP Double 接合型太陽電池(PPD構造)



PNP Double 接合型太陽電池の電位図



Double PNP 接合型太陽電池(PPD構造)では光電変換に必要な空乏層領域が、PN接合とNP接合の double になる。さらに表面の濃いP+P濃度勾配 Hole Accumulation Diode (HAD) 構造により、表面での短波長光電効率が向上。

■泉谷 渉(いづみや わたる)略歴

神奈川県横浜市出身。中央大学法学部政治学科卒業。35年以上にわたって第一線を走ってきた国内最古参の半導体記者であり、現在は産業タイムズ社 社長。著書には『自動車世界戦争』、『日・米・中IoT最終戦争』、(以上、東洋経済新報社)、『これが半導体の全貌だ』(かんき出版)、『心から感動する会社』(重紀書房)、『君はニッポン100年企業の底力を見たか!!』(産業タイムズ社)など27冊がある。一般社団法人日本電子デバイス産業協会 理事 副会長。全国各地を講演と取材で飛びまわる毎日が続く。