

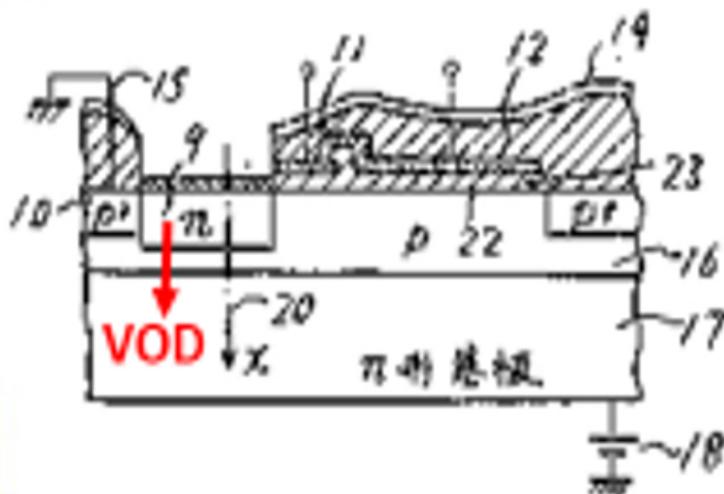
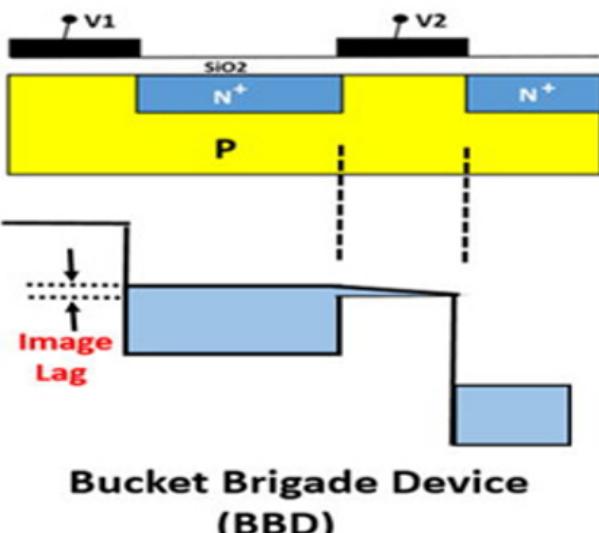
⑨日本国特許庁(JP)
⑩公開特許公報(A)

⑪特許出願公開
昭54-95116

⑫公開 昭和54年(1979)7月27日

⑬固体撮像装置

⑭特 晴 昭53-1971
⑮出 晴 昭53(1978)1月13日
⑯発明者 山田哲生

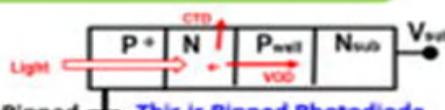


この東芝の山田さんの特許出願は、浮遊 floating 状態にある表面の N+層を受光部としています。これは残像がある受光素子です。残像のある受光素子では決して電子shutter機能は不可能です。

Comparison of Various Light Detecting Photo Sensor Structures

● P+NPNsub 接合型HAD受光素子 (JPA 1975-134985)

萩原(1975) 基板(Nsub)に P+NP 接合を形成する。 Pinned This is Pinned Photodiode.



● NPNsub 接合型VOD受光素子 (JPA 1978-1971)

山田(1978) 基板(Nsub)に NP 接合を形成する。



● PNPsub 接合型埋込み型受光素子 (JPA 1980-138026)

寺西(1980) 基板(Psub)に PN 接合を形成する。



This is just a buried photodiode....

feature \ type	Classical N+Psub Photodiode	Surface Channel CCD	Buried Channel CCD	Yamada 1978 NPNsub	Teranishi 1980 PNPsub	Hagiwara 1975 PNPNsub
Blue Light Sensitivity	○	✗	✗	○	○	○
Low Image Lag	✗	○	○	✗	○	○
Surface Dark Current	✗	✗	✗	✗	○	○
Surface Trap Noise	✗	✗	○	✗	○	○
Vertical OFD (VOD)	✗	✗	✗	○	✗	○
Electrical Shutter	✗	✗	✗	✗	✗	○

電子 shutter 機能は VOD付き Pinned Photodiodeのみが可能です。

⑫ 特許公報 (B2) 昭59-17581

⑬ Int.Cl.³H 04 N 5/30
H 01 L 27/14

識別記号

序内整理番号

6940-5C
6819-5F

⑭ ⑮ 公告 昭和59年(1984)4月21日

発明の数 1

(全7頁)

I

2

⑭ 固体撮像装置

⑮ 特願 昭53-1971

⑯ 出願 昭53(1978)1月13日

⑰ 公開 昭54-95116

⑱ 昭54(1979)7月27日

⑲ 発明者 山田 哲生

川崎市幸区堀川町72 東京芝浦電
気株式会社堀川町工場内

⑳ 出願人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

㉑ 代理人 弁理士 井上 一男

㉒ 参考文献

特開 昭51-60186 (JP, A)

㉓ 特許請求の範囲

1 一導電形半導体基板に形成された複数個の光電変換素子と、この光電変換素子に蓄積された信号キャリアを読み出す手段とを有する固体撮像装置において、前記光電変換素子は前記基板上に形成された基板とは反対導電形不純物層内あるいは不純物層上に設けられてなり、前記基板又は前記基板とは反対導電形不純物層が前記光電変換素子の過剰キャリア吸収ドレインとして作用し、バイアス手段によつて前記光電変換素子の電荷蓄積層から前記過剰キャリア吸収ドレインに至る経路がパンチスルー状態となることを特徴とする固体撮像装置。

2 特許請求の範囲第1項記載の固体撮像装置において、光電変換素子として前記反対導電形の不純物層と接合するように形成したp-n接合素子を用い、電荷蓄積層が前記反対導電形の不純物層を通じて基板とパンチスルー状態となるようにし、前記p-n接合素子に蓄積された過剰キャリアをドレインとしての基板に流し出すことを特徴とする固体撮像装置。

3 特許請求の範囲第1項記載の固体撮像装置に

おいて、光電変換素子として前記反対導電形の不純物層上に設けた透明電極を備えたMOS構造を用い、前記透明電極に所定の電圧を印加して前記MOS構造の不純物層の界面に信号キャリアを蓄積し、前記MOS構造の不純物層と前記基板との間に逆バイアス電圧を印加して前記MOS構造の界面から前記基板にわたつてパンチスルー状態となるようにし、前記界面に蓄積したキャリアをドレインとしての基板に流し出すことを特徴とする固体撮像装置。

4 特許請求の範囲第1項記載の固体撮像装置において、基板上に基板とは反対導電形の埋込み層を設け、この埋込み層上に設けられた基板とは同一導電形の不純物層と接合するように形成したp-n接合素子を光電変換素子として用い、前記p-n接合素子の基板とは同一導電形の不純物層および前記埋込み層に対して逆バイアス電圧を印加してパンチスルー状態とし、前記p-n接合素子に蓄積された過剰キャリアをドレインとしての埋込み層に流し出すことを特徴とする固体撮像装置。
発明の詳細な説明

本発明は固体撮像装置の改良に係わり、特に光電変換部を狭めることなくブルーミングを防止できるようにしようとするものである。

25 従来の固体撮像装置に用いられているブルーミング防止法を第1図によつて説明する。同図aはP形シリコン基板を用いたnチャンネル電荷結合撮像装置の断面構造を示しており、1はn⁺不純物層によるブルーミング防止用ドレイン、2はP⁺不純物層によるチャンネルストップ領域、3は光電変換された信号キャリアを蓄積、転送する表面チャンネル部、4はSiO₂等の絶縁層、5は例えれば多結晶シリコンにリン等をドープした導電性透明電極、6は適当な電圧を印加することによりP⁺層2の障害電位を適当地調節するためのバイアス電極をそれぞれ表わす。第1図bは電極5、6に正電圧を印加した場合に基板表面に形成

される電位分布を示す。7はチャンネルストップスの障壁電位、8はn+層1を正電圧でバイアスした状態でのブルーミングドレインの電位、69はチャンネル電位をそれぞれ表わす。この状態において電極5、絶縁層4を透過して基板内に進入した光は電子一正孔対を発生させ、チャンネル部3に電子のみを蓄積させる。蓄積された電子によりそのチャンネル電位はP+層2の障壁電位7に近づき、やがてこの電位を越えて過剰キャリアはn+層1へ流出する。

このような構成によれば、確かにブルーミングを防ぐことができるが、n+層を形成する分だけ光電変換部の有効面積は狭くなり、装置の実効感度は低下し、さらに高集積化に対して不利になる欠点がある。

本発明はかかる事情に鑑みてなされたのであつて、ブルーミング防止用ドレインを光電変換素子と同一面上に設けるのではなく、光電変換素子の深部に設けることにより、有効受光面積を狭めることなくブルーミングを防止し、さらにバイアス電圧印加によりこの効果を一層高めようとするものである。

以下本発明の詳細をその一実施例を示す第2図によつて説明する。同図aは固体撮像装置の主要部分の平面略図であり、P-n接合を光電変換素子として使用している場合を示す。9はP-n接合型光電変換素子のn形層、16はP形層、10はP+不純物により形成されたチャンネルストップス領域、11はn形層9に蓄積された信号キャリアを読出してレジスタ12に移動させるための移送ゲート、12は読出しレジスタとして用いた電荷結合形レジスタの転送電極をそれぞれ表わす。

第2図bは第2図aの13-13'線に沿つた断面図を示し、第2図aと同じものには同一の符号が付してある。16はP-n接合型光電変換素子の一方に形成するP形不純物層であると同時に基板に対する障壁も形成する。15はチャンネルストップス10を基準電位に保つための配線、17はn形シリコン基板、18は16、17間に逆バイアスするための正電圧を印加する電源、23はSiO₂等の薄い絶縁膜をそれぞれ表わす。第2図cは第2図aの14-14'線に沿つた断面図であり、19は光電変換素子以外への光の漏洩を防ぐためのA1蒸着膜等で形成された光シールド、

22は信号キャリアを転送し読出しを行なうための電荷結合素子の表面チャンネル部をそれぞれ表わす。

次に第2図に示した本発明に係わる固体撮像装置の動作を概説し、その特徴を詳しく説明する。一般に信号キャリアの転送読出しレジスタを形成する転送電極12には信号キャリアを第2図cにおいて紙面に垂直な方向に転送するためにクロックパルス電圧が印加される。転送電極12に高電圧が印加されると同時に表面チャンネル22の表面電位は高くなり空乏層が形成される。この状態において移送電極11に正電圧を加えると絶縁膜23を介してP形不純物層16の移送ゲート11と対向する表面電位は高くなり、光電変換素子を形成するn形不純物層に存在する信号キャリアは移送ゲート11下の電設に応じて転送チャンネル部22へ移動する。しかる後移送ゲート11を閉じてほぼ零電位とすることにより、n形不純物層9に再び光電変換された信号キャリアの蓄積を開始する状態に戻す。このように一定時間n形不純物層9に蓄積したキャリアを繰返し読出しすることにより撮像動作を行なう。しかしながら一定時間内に入射する光量が非常に大きい場合には、第2図bにて示すように配列された光電変換素子のn形不純物層9内には最大蓄積可能なキャリアの量を越えたキャリアが発生し、その過剰なキャリアはP+チャンネルストップス10を越えて隣接したn形不純物層に流出するいわゆるブルーミング現象を起こす。第2図bの場合P-n接合型光電変換素子の一方を形成するP形不純物層16はn形基板との間に第2のP-n接合を形成する構造を用い、P+形層により形成されたチャンネルストップス層10は配線15を通じて基準の零電位に保たれる。この状態ではP形不純物層16も基準電位となるが、基板17を電源18により所定電位以上にバイアスすることにより、n形不純物層9とn形基板17との間に存在するP形不純物層16が完全空乏化したいわゆるパンチスルー状態を実現することができる。この状態においては、n形不純物層9と基板17との間に信号キャリア障壁として存在するP形不純物層16の電位は基準電位より切離されて正電位となり、信号キャリアである電子にとつては障壁が低くなることになる。この場合P+チャンネルストップス層

10は依然として基準電位(零電位)であれば、過剰信号キャリアはこの層10で形成された障壁を越えることなくn形シリコン基板に流出することになる。

以上の原理を第3図に用いて更に詳細に説明すると、第3図aは第2図の20にて示したx方向に沿つた本発明を適用した場合の電界分布を示し、第3図bはX方向20に沿つた電位分布を示し、第3図cは第2図bの21で示したy方向にそつた電界分布を、第3図dは対応する電位分布をそれぞれ示す。なお説明を簡単にするために深さ方向に対する各不純物濃度を一定に近似し、かつ空乏層近似を用いる。

各図において符号は第2図と共に使用されており、第3図aの24は少量の信号キャリアがP-n接合形光電変換素子の一方を形成するn形不純物層9に蓄積されている状態の電界分布を実線で示し、25はn形不純物層9からn形基板17に過剰信号キャリアがあふれ出る状態の電位分布を示したものである。第3図aに対応する電位分布は第3図bに示してあり、その48は少量の信号キャリアが存在する場合の電位分布を実線で示し、49は過剰キャリアがn形基板17に流出する状態の電位分布を破線で示したものである。なお電位は縦軸に沿つて下方が正電位となつていて。25
50は少量の信号キャリアを含んだn形不純物層9の最大電位を、26はP形不純物層16の障壁電位を、51は過剰キャリアの流出が起る状態でのn形不純物層9の最大電位を、52は対応する☆

$$V_M - V_B \geq \frac{kT}{q} \ln \frac{N_{D2} N_A}{n_{i2}}$$

$$V_M = V_B + \frac{qN_{D2}}{2\epsilon_s} \left(1 + \frac{N_{D2}}{N_A} \right) \left(x_J - \frac{Q_{sig}}{N_{D2} \cdot q} \right)^2$$

$$V_B = V_{SB} + V_{bi2} - \frac{eN_A}{2\epsilon_s} \left(1 + \frac{N_A}{N_{D1}} \right) \left\{ x_B - \frac{V_{D2}}{N_A} \left(x_J - \frac{Q_{sig}}{N_{D2} \cdot q} \right) \right\}^2$$

ここで ϵ_s はシリコンの誘電率、 x_J はn形層9の深さ、 x_B はP形層16の厚さ、 Q_{sig} は単位面積当りのn形層9に存在するキャリアの電荷量をそれぞれ表わす。

今実施例として $N_{D1} \approx N_{D2} \approx 10^{16}/cm^3$ 、

☆ 障壁電位をそれぞれ示す。29はn形基板17に正のバイアス電圧として第2図b,cの18を印加した場合の基板電位を示す。

今n形基板17の不純物濃度を N_{D1} 、P形不純物層の不純物濃度を N_A 、n形不純物層9の不純物濃度を N_{D2} 、基板のバイアス電圧18を V_{SB} とすれば、基板17の電位29は $V_{SB} + V_{bi2}$ にて表わすことができる。たゞし

$$V_{bi2} = \frac{kT}{q} \ln \frac{N_{D1} N_A}{n_{i2}} \quad \text{で、} \quad k \text{はボルツマン定数、} \\ T \text{は絶対温度、} n_i \text{は真正キャリア密度単位電荷量をそれぞれ表わす。}$$

この場合前記のバイアス電圧 V_{SB} によりP形不純物層16の最小障壁電位は基準電位、すなわち $P+チャンネルストップス$ の電位より大きくなる。一方信号キャリア(この場合電子)で満たされているn形層9の最大電位30とP形層16の最小電位52との電位差27がP形層16とn形層9の拡散電位 V_{bi1} より小さくなると、信号キャリアは障壁52を越えてn形基板17へ流出する。この場合 V_{bi1} は次式にて与えられる。

$$V_{bi1} = \frac{kT}{q} \ln \frac{N_{D2} N_A}{n_{i2}}$$

基準電圧に対してP形層16の障壁電位を V_B 、n形層9の最大電位を V_M として前記信号キャリア基板17への流出の条件を解析的に表わすと次式のようになる。

40 $N_A \approx 10^{16}/cm^3$ 、 $x_J = 1\mu m$ 、 $x_B \approx 0.8\mu m$ とすれば、 $V_{SB} \approx 5 V$ 程度以上でn形基板17はブルーミング防止用ドレインの条件を満すことができる。なお $P+チャンネルストップス$ は前記状態にわたつて少なくともその障壁電位が基

準電位または52より基準電位に近くなければならないが、この条件は第3図c, dに示すように容易に実現できる。第3図cの実線53はn形層9に少量の信号電荷が存在する場合の電界分布を示し、破線54はn形層9からn形基板へ信号キャリアが流出する状態でのP+チャンネルストップス10を挟んだ電界分布を示す。さらに第3図dは同図cの電界分布に対応する電位分布を示し、実線55は少量の信号キャリアが存在する場合、破線56はn形基板17へ信号キャリアが流出する状態でのn形層9とP+チャンネルストップス10の電位分布を示す。この実施例においてはP+チャンネルストップス10はパンチスルー状態ではなく、その大部分の領域は多数キャリアである正孔によつて満され、常に基準電位となつてゐる。従つてn形層9の最大電位とP+チャンネルストップス10との電位差によつて与えられる障壁電位差は第3図bの障壁電位差27より常に大きく、従つてP+チャンネルストップス10を越えて信号キャリアが流出することはない。すなわちブルーミングは起らうことになる。本実施例ではP+チャンネルストップス10としてY方向の長さ $\approx 5 \mu m$ 、不純物濃度 $\approx 10^{18}/cm^3$ を用いた。

次に本実施例に示した構造は、たとえばn形基板17上にP形層16をエピタキシャル成長により形成し、イオン注入法によりn形層9およびP+チャンネルストップス10を形成することにより容易に実現できる。また熱拡散によつて形成することも可能である。

次に本発明の第2の実施例を第4図によつて説明するに、同図aはその構造を示す。固体撮像装置としての動作原理は例えば第2図に示した実施例と同様に与えることができるが、本実施例の特徴は光電変換素子としてMOS構造を用いたところにある。第4図aにおいて、32は34, 35と共にMOS形光電変換素子を形成するP形不純物層、34は透明電極、35はSiO₂等の絶縁層、38はn形シリコン基板、33は複数個のMOS形光電変換素子の各々を分離するためのP+形不純物層で形成されたチャンネルストップス層、37はこの層33およびP形層32を基準電位とするための配線、36はn形シリコン基板に逆バイアス電圧を印加するための電源をそれぞれ示す。

このような構造の第2実施例による固体撮像装置がブルーミングを防止するのにいかに有効であるかを第4図b, cによつて説明する。

第4図bは同図aのX方向31に沿つて形成される電界分布を示す。なおこの場合透明電極34には正電圧VGが加えられている。MOS構造では周知のようにゲート電極である透明電極34に正電圧を印加することによりP形層32の表面に空乏層が形成され、絶縁層35との界面に34, 35を通過して32に入射した光により発生した信号キャリアである電子が蓄積される。第4図bの実線39は前記少数の信号キャリアがP形層32の表面に蓄積された場合、破線40はP形層32の表面より信号キャリアがあふれ出すに十分な量に蓄積された状態での電界分布を示す。同図から判るようにP形層32からn形基板38にわたりパンチスルー状態が形成されるに十分な程逆バイアス電圧36が基板38に印加されている。第4図cはX方向31に沿つた電位分布を示し、実線41は信号キャリアが少数存在する場合の電位分布、破線42はP形層32の表面に蓄えられた信号キャリアがn形基板38に流出する十分な量で存在する場合の電位分布を示す。第2図、第3図にて説明したブルーミング防止法と同様な原理によりn型基板38へ印加する逆バイアス電圧39を十分高くしてP形層32からn形基板38にわたりパンチスルー状態を形成することにより、信号電荷が基板に流出するに当り障壁となるP形層内の最小電位40を基準電位より正電位にすることができ、従つて基準電位に保たれているP+チャンネルストップス33を越えてブルーミングを起すことなく、過剰キャリアはn形基板42に流出する。すなわち第2の実施例においても基板38が過剰キャリア吸収ドレイン即ちブルーミング防止用ドレインの役割をする。

次に第5図aによつて本発明の第3の実施例を説明するに、同図9は光電変換と信号キャリアの蓄積を行なうn形不純物層、43は9とP-n接合を形成して光電変換素子の一部を担うP形不純物層、44はブルーミング防止用ドレインとなるn形不純物層、45はP形シリコン基板、35は絶縁層、34は透明電極、10はP+形層で形成したチャンネルストップス、46はブルーミング防止用ドレインに十分な正のバイアス電圧を印

加するための電極、47はP+チャンネルストップス領域10およびP形層43を負または基準電位にバイアスするための電極、67はP形シリコン基板45を基準電位に保つための手段をそれぞれ表わす。

同図においては透明電極34は必ずしも必要なく、さらに基準電位を必ずしも基板45の電位とする必要はない。この第3実施例の特徴は、ブルーミング防止用ドレインを基板でなく埋込み層44によつて形成したところにある。動作の原理、方法は第1の実施例と同様である。第5図bはX方向58に沿つた電界分布、第5図cは電位分布をそれぞれ示す。同図cに示すように第1実施例と同様に信号キャリアを蓄えたn形層9とブルーミング防止用埋込み層ドレイン44とは46、47に印加された逆バイアス電圧により完全空乏化したP形層43を介してパンチスルー状態となり、P形層43とn形層9との障壁電位差59は小さくなり、n形層9内の信号キャリアの増加に伴ない障壁電位差が拡散電位差以下になると、ブルーミング防止用ドレインであるn形層44へ過剰キャリアが流出する。一方P+チャンネルストップスは負または基準電圧に保たれているためブルーミング現象は起り得ない。このような第3実施例の原理の詳細は第1実施例と同様である。

以上本発明を3つの実施例について説明したが、本発明の適用はこれらに限られないのは勿論であつて、例えばn形不純物層とP形不純物層とを逆に用い、バイアス電圧を逆に印加することによつても実現できる。さらに固体撮像装置としての信号読み出し方法や蓄積方法も実施例のものに限られず、一次元および二次元固体撮像装置のいずれに

も適用できるのは勿論である。

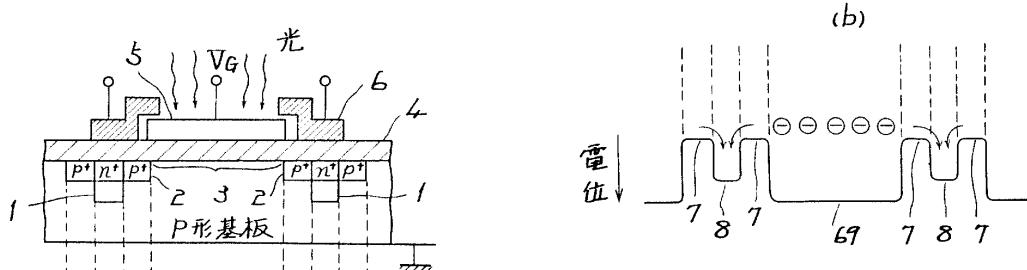
以上の説明から明らかなように、本発明を適用することにより平面的な従来のブルーミング防止法が固体撮像装置の有効面積の損失を伴うのに比べ、全く有効面積を損なうことなく効率のよいブルーミング防止が可能となる。なお本発明の付隨的効果として、基板内で発生し各光電変換素子間のクロストークの原因となり、従つて解像度劣化をもたらす長波長光、特に赤外線による不良信号キャリアが各光電変換素子に流入せず、ブルーミング防止用ドレインに吸収されるため、固体撮像装置の解像度を向上させることができる。

図面の簡単な説明

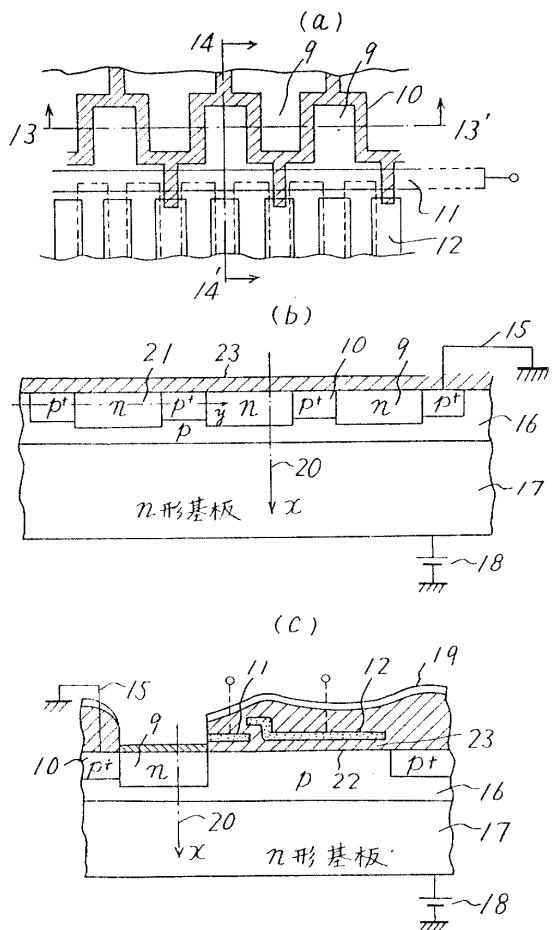
第1図aは従来の固体撮像素子の断面図で第15図bはその基板表面における電位分布図、第2図a, b, cは本発明に係わるP-n接合形光電変換素子を用いた固体撮像装置の断面図で第3図a, bはそのX方向に沿つた電界分布図、電位分布図、第3図c, dはそのY方向に沿つた電界分布図、電位分布図、第4図aは本発明に係わるMOS形光電変換素子を用いた固体撮像装置の断面図で第4図b, cはそのX方向に沿つた電界分布図、電位分布図、第5図aは本発明に係わる埋込み層をブルーミング防止用ドレインとした固体撮像装置の断面図で第5図b, cはそのX方向に沿つた電界分布図、電位分布図である。

9, 16……P-n接合形光電変換素子のn形層、P形層、10……チャンネルストップス層、11……移送ゲート、12……転送電極、19…30…光シールド、33……チャンネルストップス層、44……ブルーミング防止用埋込みドレイン。

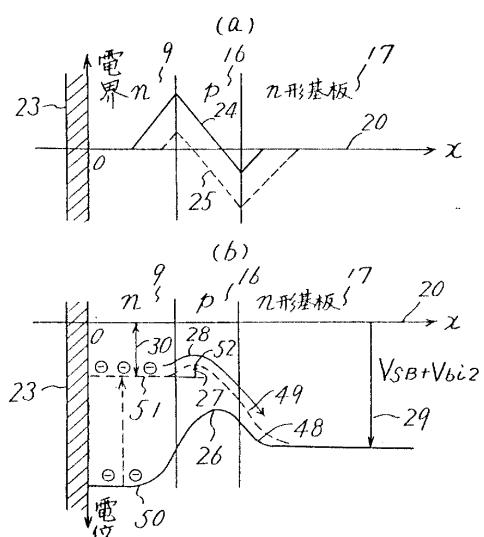
第1図



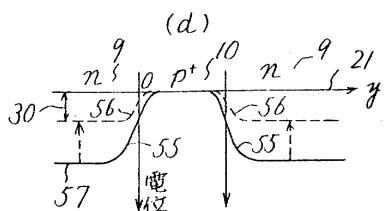
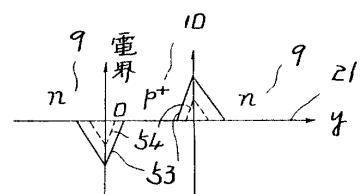
第2図



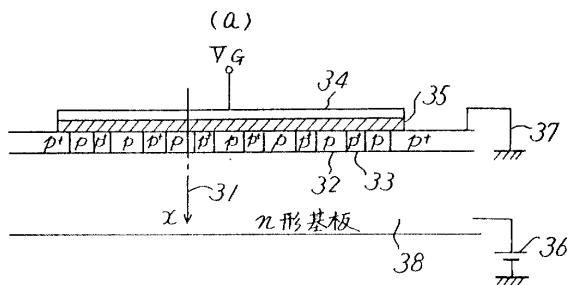
第3図



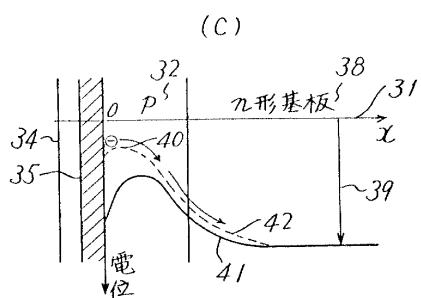
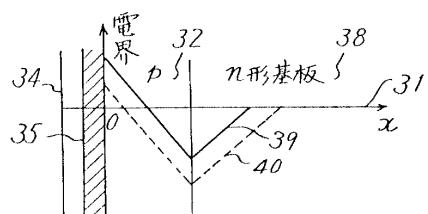
(c)



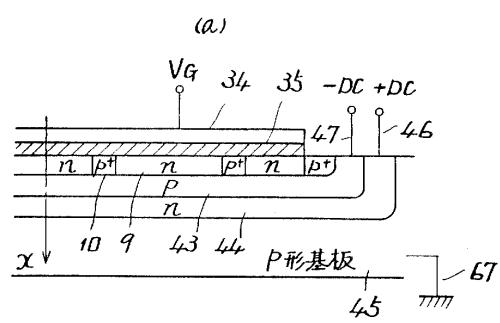
第4図



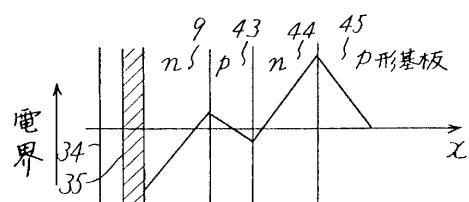
(b)



第5図



(b)



(c)

